



# デュアル・チャンネル、128 / 256ポジション I<sup>2</sup>Cインターフェース、不揮発性メモリ デジタル・ポテンシオメータ

## データシート

## AD5122A/AD5142A

### 機能ブロック図

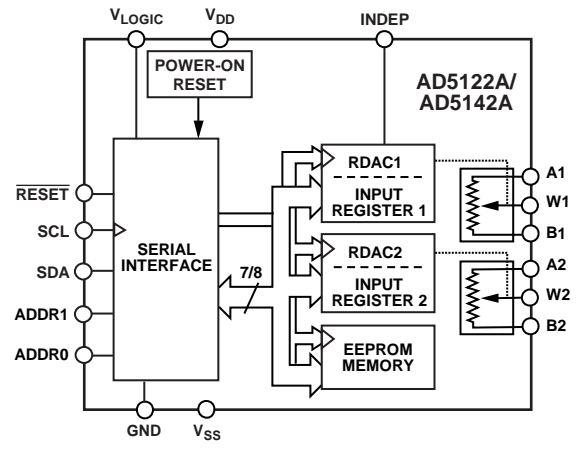


図 1.

### 特長

- 10kΩ と 100kΩ 抵抗値のオプション
- 抵抗値誤差: 最大 8%
- ワイパー電流: ±6mA
- 低温温度係数: 35ppm/°C
- 帯域幅: 3MHz
- 高速スタートアップ時間: <75μs
- リニア・ゲイン設定モード
- 単一電源動作または両電源動作が可能
- 独立したロジック電源: 1.8V~5.5V
- 広い動作温度範囲: -40~+125°C
- 3mmx3mm のパッケージ・オプション
- ESD 保護: 4kV

### アプリケーション

- ポータブル・デバイスのレベル調整
- LCD パネルの輝度とコントラストの調整
- プログラマブル・フィルタ、遅延、時定数
- プログラマブル電源

### 概要

AD5122A/AD5142A ポテンシオメータは、128/256 ポジションの調整機能が必要とするアプリケーションに対して、不揮発性ソリューションを提供し、±8%の低い抵抗許容誤差と、Ax、Bx および Wx ピンで最大±6mA の電流密度を提供します。この低い抵抗許容誤差と低い公称温度係数により、許容誤差のマッチングが重要なアプリケーションだけでなく、オープンループ（絶対誤差が重要）のアプリケーションも容易に実現できます。リニア・ゲインの設定モードでは、デジタル・ポテンシオメータの端子間、すなわち R<sub>AW</sub> と R<sub>WB</sub> の抵抗ストリングをそれぞれ独立してプログラムすることが可能ですので、非常に高精度な抵抗マッチングを得ることができます。広い帯域幅と低い THD（全高調波歪）は、AC 信号に対する最適な性能を与えるので、本製品はフィルタ設計にも最適です。抵抗アレイ末端位置のワイパー抵抗は 40Ω と低いため、ピン to ピン間の接続も可能です。ワイパー位置は、I<sup>2</sup>C 互換のデジタル・インターフェースで設定可能です。またこのインターフェースはワイパー・レジスタと EEPROM の内容のリードバックにも使えます。AD5122A/AD5142A は、3mm×3mm の 16 ピン LFCSP パッケージと 16 ピン TSSOP パッケージを採用しています。これらの製品は、拡張工業用温度範囲の-40°C~+125°C 動作を保証しています。

表 1. ファミリー・モデル一覧

モデル	チャンネル	ポジション	インターフェース	パッケージ
AD5123 <sup>1</sup>	4	128	I <sup>2</sup> C	LFCSP
AD5124	4	128	SPI/I <sup>2</sup> C	LFCSP
AD5124	4	128	SPI	TSSOP
AD5143 <sup>1</sup>	4	256	I <sup>2</sup> C	LFCSP
AD5144	4	256	SPI/I <sup>2</sup> C	LFCSP
AD5144	4	256	SPI	TSSOP
AD5144A	4	256	I <sup>2</sup> C	TSSOP
AD5122	2	128	SPI	LFCSP/TSSOP
AD5122A	2	128	I <sup>2</sup> C	LFCSP/TSSOP
AD5142	2	256	SPI	LFCSP/TSSOP
AD5142A	2	256	I <sup>2</sup> C	LFCSP/TSSOP
AD5121	1	128	SPI/I <sup>2</sup> C	LFCSP
AD5141	1	256	SPI/I <sup>2</sup> C	LFCSP

<sup>1</sup> 2 つのポテンシオメータと可変抵抗器。

## 目次

特長.....	1	動作原理.....	20
アプリケーション.....	1	RDAC レジスタと EEPROM.....	20
概要.....	1	入力シフト・レジスタ.....	20
機能ブロック図.....	1	I <sup>2</sup> C シリアル・データ・インターフェイス.....	20
改訂履歴.....	2	I <sup>2</sup> C アドレス.....	20
仕様.....	3	高度な制御モード.....	24
電気的特性—AD5122A.....	3	EEPROM や RDAC のレジスタ保護.....	23
電気的特性—AD5142A.....	6	INDEP ピン.....	23
インターフェースのタイミング特性.....	9	RDAC アーキテクチャ.....	26
シフト・レジスタとタイミング図.....	10	可変抵抗のプログラミング.....	26
絶対最大定格.....	11	ポテンショメータ・デバイダのプログラミング.....	27
熱抵抗.....	11	端子の動作電圧範囲.....	27
ESD に関する注意.....	11	電源投入シーケンス.....	27
ピン配置と機能の説明.....	12	レイアウトと電源のバイパス処理.....	27
代表的な性能特性.....	14	外形寸法.....	28
テスト回路.....	19	オーダー・ガイド.....	29

## 改訂履歴

12/12—Rev. 0 to Rev. A	
Changes to Table 9.....	20
10/12—Revision 0: Initial Version	

## 仕様

### 電気的特性-AD5122A

特に記載がない限り、 $V_{DD}=2.3V\sim 5.5V$ 、 $V_{SS}=0V$  で  $V_{DD}=2.25V\sim 2.75V$ 、 $V_{SS}=-2.25V\sim -2.75V$  で  $V_{LOGIC}=1.8V\sim 5.5V$ 、 $-40^{\circ}C < T_A < +125^{\circ}C$  です。

表 2.

パラメータ	記号	テスト条件/備考	Min	Typ <sup>1</sup>	Max	単位
DC 特性: レオスタット・モード (すべての RDAC)						
分解能	N		7			Bits
抵抗器積分非直線性 <sup>2</sup>	R-INL	$R_{AB}=10k\Omega$ $V_{DD}\geq 2.7V$ $V_{DD}< 2.7V$	-1 -2.5	$\pm 0.1$ $\pm 1$	+1 +2.5	LSB LSB
抵抗器微分非直線性 <sup>2</sup>	R-DNL	$R_{AB}=100k\Omega$ $V_{DD}\geq 2.7V$ $V_{DD}< 2.7V$	-0.5 -1	$\pm 0.1$ $\pm 0.25$	+0.5 +1	LSB LSB
抵抗値公称許容誤差	$\Delta R_{AB}/R_{AB}$		-8	$\pm 1$	+8	%
抵抗値温度係数 <sup>3</sup>	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	コード=フルスケール		35		ppm/ $^{\circ}C$
ワイパー抵抗 <sup>3</sup>	$R_W$	コード=ゼロスケール $R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$			55 125 130 400	$\Omega$ $\Omega$
ワイパートップ及びボトム抵抗	$R_{BS}$ または $R_{TS}$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		40 60	80 230	$\Omega$ $\Omega$
公称抵抗値マッチング	$R_{AB1}/R_{AB2}$	コード=0xFF	-1	$\pm 0.2$	+1	%
DC 特性: ポテンショメータ・デバイダ・モード (すべての RDAC)						
積分非直線性 <sup>4</sup>	INL	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$	-0.5 -0.25	$\pm 0.1$ $\pm 0.1$	+0.5 +0.25	LSB LSB
微分非直線性 <sup>4</sup>	DNL		-0.25	$\pm 0.1$	+0.25	LSB
フルスケール誤差	$V_{WFSE}$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$	-1.5 -0.5	-0.1 $\pm 0.1$	+0.5	LSB LSB
ゼロスケール誤差	$V_{WZSE}$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		1 0.25	1.5 0.5	LSB LSB
デバイダ比温度係数 <sup>3</sup>	$(\Delta V_W/V_W)/\Delta T \times 10^6$	コード=ハーフスケール		$\pm 5$		ppm/ $^{\circ}C$

パラメータ	記号	テスト条件/備考	Min	Typ <sup>1</sup>	Max	単位
抵抗端子						
最大連続電流	$I_A$ 、 $I_B$ 、および $I_W$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$	-6 -1.5		+6 +1.5	mA mA
端子電圧範囲 <sup>5</sup>			$V_{SS}$		$V_{DD}$	V
A 端子容量、B 端子容量 <sup>3</sup>	$C_A$ 、 $C_B$	$f=1MHz$ 、グラウンドに対して測定、 コード=ハーフスケール $R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		25 12		pF pF
W 端子容量 <sup>3</sup>	$C_W$	$f=1MHz$ 、グラウンドに対して測定、 コード=ハーフスケール $R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		12 5		pF pF
コモン・モード・リーク電流 <sup>3</sup>		$V_A=V_W=V_B$	-500	$\pm 15$	+500	nA
デジタル入力						
ロジック入力 <sup>3</sup>						
High	$V_{INH}$	$V_{LOGIC}=1.8V\sim 2.3V$ $V_{LOGIC}=2.3V\sim 5.5V$	$0.8\times V_{LOGIC}$ $0.7\times V_{LOGIC}$			V V
Low	$V_{INL}$				$0.2\times V_{LOGIC}$	V
入力ヒステリシス <sup>3</sup>	$V_{HYST}$		$0.1\times V_{LOGIC}$			V
入力電流 <sup>3</sup>	$I_{IN}$				$\pm 1$	$\mu A$
入力容量 <sup>3</sup>	$C_{IN}$			5		pF
デジタル出力						
High 出力電圧 <sup>3</sup>	$V_{OH}$	$R_{PULL-UP}=2.2k\Omega\sim V_{LOGIC}$		$V_{LOGIC}$		V
Low 出力電圧 <sup>3</sup>	$V_{OL}$	$I_{SINK}=3mA$ $I_{SINK}=6mA$ 、 $V_{LOGIC}>2.3V$			0.4 0.6	V V
スリーステート・リーク電流			-1		+1	$\mu A$
スリーステート出力容量				2		pF
電源						
単一電源範囲		$V_{SS}=GND$	2.3		5.5	V
両電源範囲			$\pm 2.25$		$\pm 2.75$	V
ロジック電源範囲		単一電源、 $V_{SS}=GND$ 両電源、 $V_{SS}<GND$	1.8		$V_{DD}$	V V
正側電源電流	$I_{DD}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$ $V_{DD}=5.5V$ $V_{DD}=2.3V$		0.7 400	5.5	$\mu A$ nA
負側電源電流	$I_{SS}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$	-5.5	-0.7		$\mu A$
EEPROM 保存動作時電流 <sup>3, 6</sup>	$I_{DD\_EEPROM\_STORE}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		2		mA
EEPROM 読出し時電流 <sup>3, 6</sup>	$I_{DD\_EEPROM\_READ}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		320		$\mu A$
ロジック電源電流	$I_{LOGIC}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		1	120	nA
消費電力 <sup>7</sup>	$P_{DISS}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		3.5		$\mu W$
電源電圧変動除去比	PSRR	$\Delta V_{DD}/\Delta V_{SS}=V_{DD}\pm 10\%$ 、 コード=フルスケール		-66	-60	dB

パラメータ	記号	テスト条件/備考	Min	Typ <sup>1</sup>	Max	単位
ダイナミック特性 <sup>8</sup>						
帯域幅	BW	-3dB R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		3 0.43		MHz MHz
全高調波歪み	THD	V <sub>DD</sub> /V <sub>SS</sub> =±2.5V、V <sub>A</sub> =1V <sub>rms</sub> 、 V <sub>B</sub> =0V、f=1kHz R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		-80 -90		dB dB
抵抗性ノイズ密度	e <sub>N, WB</sub>	コード=ハーフスケール、 T <sub>A</sub> =25°C、 f=10kHz R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		7 20		nV/√Hz nV/√Hz
V <sub>W</sub> セトリング・タイム	t <sub>s</sub>	V <sub>A</sub> =5V、V <sub>B</sub> =0V、 ゼロスケールからフルス ケール ±0.5LSB エラー帯域 R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		2 12		μs μs
クロストーク (C <sub>W1</sub> /C <sub>W2</sub> )	C <sub>T</sub>	R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		10 25		nV-sec nV-sec
アナログ・クロストーク 書換え回数 <sup>9</sup>	C <sub>TA</sub>	R <sub>AB</sub> =100kΩ T <sub>A</sub> =25°C		-90 1		dB M サイ クル
データ保持 <sup>10</sup>			100	50		k サイ クル 年

<sup>1</sup> パラメータに対する Typ 値は、25°C、V<sub>DD</sub>=5V、V<sub>SS</sub>=0V、V<sub>LOGIC</sub>=5V における平均値です。

<sup>2</sup> 抵抗器の非直線性誤差である R-INL は、ワイパー位置に対する最大抵抗値と最小抵抗値の間で測定された理想値からの誤差です。R-DNL は、隣接する理想的な 2 つのタップ位置の間の変化に対する相対的なステップ変化を測定したものです。最大ワイパー電流は、(0.7×V<sub>DD</sub>)/R<sub>AB</sub> に制限されています。

<sup>3</sup> 設計と評価によって保証されていますが、出荷テストは行っていません。

<sup>4</sup> INL および DNL は、RDAC を電圧出力の DAC に類似するポテンショメータ・デバイダとして設定した状態で V<sub>WB</sub> を測定したものです。ここで、V<sub>A</sub>=V<sub>DD</sub>、V<sub>B</sub>=0V です。DNL の最大±1LSB の仕様規定により単調性が保証されます。

<sup>5</sup> A、B、W の各抵抗端子の極性は相互に制約を受けません。両電源動作によってグラウンドをリファレンスにしたバイポーラ信号の調整が可能になります。

<sup>6</sup> 動作電流によって異なります。EEPROM 読出しの電源電流は約 20μs 後に停止します。

<sup>7</sup> P<sub>DISS</sub> は、(I<sub>DD</sub>×V<sub>DD</sub>) + (I<sub>LOGIC</sub>×V<sub>LOGIC</sub>) の式により算出されます。

<sup>8</sup> すべてのダイナミック特性は、V<sub>DD</sub>/V<sub>SS</sub>=±2.5V、および V<sub>LOGIC</sub>=2.5V におけるものです。

<sup>9</sup> 書換え回数は、JEDEC Standard 22 Method A117 に準拠し、-40°C~+125°C で測定し 100,000 サイクルが保証されています。

<sup>10</sup> データ保持の寿命は、JEDEC Standard 22 Method A117 のデータ保持期間の寿命に準拠し、ジャンクション温度 (T<sub>J</sub>) =125°C の時の期間と同等です。アクティブにするためのエネルギーを 1eV とした場合に、フラッシュ/EE メモリのジャンクション温度によっては低下することがあります。

電気的特性-AD5142A

特に記載がない限り、 $V_{DD}=2.3V\sim 5.5V$ 、 $V_{SS}=0V$  で  $V_{DD}=2.25V\sim 2.75V$ 、 $V_{SS}=-2.25V\sim -2.75V$  で  $V_{LOGIC}=1.8V\sim 5.5V$ 、 $-40^{\circ}C < T_A < +125^{\circ}C$  です。

表 3.

パラメータ	記号	テスト条件/備考	Min	Typ <sup>1</sup>	Max	単位
DC 特性： レオスタット・モード (すべての RDAC)						
分解能	N		8			Bits
抵抗器積分非直線性 <sup>2</sup>	R-INL	$R_{AB}=10k\Omega$ $V_{DD}\geq 2.7V$ $V_{DD}< 2.7V$	-2 -5	$\pm 0.2$ $\pm 1.5$	+2 +5	LSB LSB
		$R_{AB}=100k\Omega$ $V_{DD}\geq 2.7V$ $V_{DD}< 2.7V$	-1 -2	$\pm 0.1$ $\pm 0.5$	+1 +2	LSB LSB
抵抗器微分非直線性 <sup>2</sup>	R-DNL		-0.5	$\pm 0.2$	+0.5	LSB
抵抗値公称許容誤差	$\Delta R_{AB}/R_{AB}$		-8	$\pm 1$	+8	%
抵抗値温度係数 <sup>3</sup>	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	コード=フルスケール		35		ppm/ $^{\circ}C$
ワイパー抵抗 <sup>3</sup>	$R_W$	コード=ゼロスケール $R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		55 130	125 400	$\Omega$ $\Omega$
ワイパートップ及びボトム抵抗	$R_{BS}$ または $R_{TS}$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		40 60	80 230	$\Omega$ $\Omega$
公称抵抗値マッチング	$R_{AB1}/R_{AB2}$	コード=0xFF	-1	$\pm 0.2$	+1	%
DC 特性： ポテンショメータ・ディバイダ・モード (すべての RDAC)						
積分非直線性 <sup>4</sup>	INL	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$	-1 -0.5	$\pm 0.2$ $\pm 0.1$	+1 +0.5	LSB LSB
微分非直線性 <sup>4</sup>	DNL		-0.5	$\pm 0.2$	+0.5	LSB
フルスケール誤差	$V_{WFSE}$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$	-2.5 -1	-0.1 $\pm 0.2$		LSB LSB
ゼロスケール誤差	$V_{WZSE}$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		1.2 0.5	3 1	LSB LSB
ディバイダ比温度係数 <sup>3</sup>	$(\Delta V_W/V_W)/\Delta T \times 10^6$	コード=ハーフスケール		$\pm 5$		ppm/ $^{\circ}C$

パラメータ	記号	テスト条件/備考	Min	Typ <sup>1</sup>	Max	単位
抵抗端子						
最大連続電流	$I_A$ 、 $I_B$ 、および $I_W$	$R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$	-6 -1.5		+6 +1.5	mA mA
端子電圧範囲 <sup>5</sup>			$V_{SS}$		$V_{DD}$	V
A 端子容量、B 端子容量 <sup>3</sup>	$C_A$ 、 $C_B$	$f=1MHz$ 、グラウンドに対して測定、 コード=ハーフスケール $R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		25 12		pF pF
W 端子容量 <sup>3</sup>	$C_W$	$f=1MHz$ 、グラウンドに対して測定、 コード=ハーフスケール $R_{AB}=10k\Omega$ $R_{AB}=100k\Omega$		12 5		pF pF
コモン・モード・リーク電流 <sup>3</sup>		$V_A=V_W=V_B$	-500	$\pm 15$	+500	nA
デジタル入力						
ロジック入力 <sup>3</sup>						
High	$V_{INH}$	$V_{LOGIC}=1.8V\sim 2.3V$ $V_{LOGIC}=2.3V\sim 5.5V$	$0.8\times V_{LOGIC}$ $0.7\times V_{LOGIC}$			V V
Low	$V_{INL}$				$0.2\times V_{LOGIC}$	V
入力ヒステリシス <sup>3</sup>	$V_{HYST}$		$0.1\times V_{LOGIC}$			V
入力電流 <sup>3</sup>	$I_{IN}$				$\pm 1$	$\mu A$
入力容量 <sup>3</sup>	$C_{IN}$			5		pF
デジタル出力						
High 出力電圧 <sup>3</sup>	$V_{OH}$	$R_{PULL-UP}=2.2k\Omega\sim V_{LOGIC}$		$V_{LOGIC}$		V
Low 出力電圧 <sup>3</sup>	$V_{OL}$	$I_{SINK}=3mA$ $I_{SINK}=6mA$ 、 $V_{LOGIC}>2.3V$			0.4 0.6	V V
スリーステート・リーク電流			-1		+1	$\mu A$
スリーステート出力容量				2		pF
電源						
単一電源範囲		$V_{SS}=GND$	2.3		5.5	V
両電源範囲			$\pm 2.25$		$\pm 2.75$	V
ロジック電源範囲		単一電源、 $V_{SS}=GND$ 両電源、 $V_{SS}=GND$	1.8		$V_{DD}$	V V
正側電源電流	$I_{DD}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$ $V_{DD}=5.5V$ $V_{DD}=2.3V$		0.7 400	5.5	$\mu A$ nA
負側電源電流	$I_{SS}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$	-5.5	-0.7		$\mu A$
EEPROM 保存動作時電流 <sup>3, 6</sup>	$I_{DD\_EEPROM\_STORE}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		2		mA
EEPROM 読出し時電流 <sup>3, 6</sup>	$I_{DD\_EEPROM\_READ}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		320		$\mu A$
ロジック電源電流	$I_{LOGIC}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		1	120	nA
消費電力 <sup>7</sup>	$P_{DISS}$	$V_{IH}=V_{LOGIC}$ または $V_{IL}=GND$		3.5		$\mu W$
電源電圧変動除去比	PSR	$\Delta V_{DD}/\Delta V_{SS}=V_{DD}\pm 10\%$ 、 コード=フルスケール		-66	-60	dB

パラメータ	記号	テスト条件/備考	Min	Typ <sup>1</sup>	Max	単位
ダイナミック特性 <sup>8</sup>						
帯域幅	BW	-3dB R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		3 0.43		MHz MHz
全高調波歪み	THD	V <sub>DD</sub> /V <sub>SS</sub> =±2.5V、V <sub>A</sub> =1Vrms、 V <sub>B</sub> =0V、f=1kHz R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		-80 -90		dB dB
抵抗性ノイズ密度	e <sub>N,WB</sub>	コード=ハーフスケール、 T <sub>A</sub> =25°C、 f=10kHz R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		7 20		nV/√Hz nV/√Hz
V <sub>W</sub> セトリング・タイム	t <sub>s</sub>	V <sub>A</sub> =5V、V <sub>B</sub> =0V、 ゼロスケールからフルス ケール ±0.5LSB エラー帯域 R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		2 12		μs μs
クロストーク (C <sub>W1</sub> /C <sub>W2</sub> )	C <sub>T</sub>	R <sub>AB</sub> =10kΩ R <sub>AB</sub> =100kΩ		10 25		nV-sec nV-sec
アナログ・クロストーク 書換え回数 <sup>9</sup>	C <sub>TA</sub>	R <sub>AB</sub> =100kΩ T <sub>A</sub> =25°C		-90 1		dB M サイ クル
データ保持 <sup>10</sup>			100	50		k サイ クル 年

<sup>1</sup> パラメータに対する Typ 値は、25°C、V<sub>DD</sub>=5V、V<sub>SS</sub>=0V、V<sub>LOGIC</sub>=5V における平均値です。

<sup>2</sup> 抵抗器の非直線性誤差である R-INL は、ワイパー位置に対する最大抵抗値と最小抵抗値の間で測定された理想値からの誤差です。R-DNL は、隣接する理想的な 2 つのタップ位置の間の変化に対する相対的なステップ変化を測定したものです。最大ワイパー電流は、(0.7×V<sub>DD</sub>)/R<sub>AB</sub> に制限されています。

<sup>3</sup> 設計と評価によって保証されていますが、出荷テストは行っていません。

<sup>4</sup> INL および DNL は、RDAC を電圧出力の DAC に類似するポテンシオメータ・デバイダとして設定した状態で V<sub>WB</sub> を測定したものです。ここで、V<sub>A</sub>=V<sub>DD</sub>、V<sub>B</sub>=0V です。DNL の最大±1LSB の仕様規定により単調性が保証されます。

<sup>5</sup> A、B、W の各抵抗端子の極性は相互に制約を受けません。両電源動作によってグラウンドをリファレンスにしたバイポーラ信号の調整が可能になります。

<sup>6</sup> 動作電流によって異なります。EEPROM プログラムの電源電流は約 30ms 後に停止します。

<sup>7</sup> P<sub>DISS</sub> は、(I<sub>DD</sub>×V<sub>DD</sub>) + (I<sub>LOGIC</sub>×V<sub>LOGIC</sub>) の式により算出されます。

<sup>8</sup> すべてのダイナミック特性は、V<sub>DD</sub>/V<sub>SS</sub>=±2.5V、および V<sub>LOGIC</sub>=2.5V におけるものです。

<sup>9</sup> 書換え回数は、JEDEC Standard 22 Method A117 に準拠し、-40°C~+125°C で測定し 100,000 サイクルが保証されています。

<sup>10</sup> データ保持の寿命は、JEDEC Standard 22 Method A117 のデータ保持期間の寿命に準拠し、ジャンクション温度 (T<sub>J</sub>) =125°C の時の期間と同等です。アクティブにするためのエネルギーを 1eV とした場合に、フラッシュ/EE メモリのジャンクション温度によっては低下することがあります。



## インターフェースのタイミング特性

特に記載のない限り、 $V_{\text{LOGIC}}=1.8\text{V}\sim 5.5\text{V}$ 、すべての仕様は、 $T_{\text{MIN}}\sim T_{\text{MAX}}$ です。

表 4.

パラメータ <sup>1</sup>	テスト条件/備考	Min	Typ	Max	単位	説明
$f_{\text{SCL}}$ <sup>2</sup>	標準モード			100	kHz	シリアル・クロック周波数
	高速モード			400	kHz	
$t_1$	標準モード	4.0			$\mu\text{s}$	SCL High 時間、 $t_{\text{HIGH}}$
	高速モード	0.6			$\mu\text{s}$	
$t_2$	標準モード	4.7			$\mu\text{s}$	SCL Low 時間、 $t_{\text{LOW}}$
	高速モード	1.3			$\mu\text{s}$	
$t_3$	標準モード	250			ns	データ・セットアップ時間、 $t_{\text{SU:DAT}}$
	高速モード	100			ns	
$t_4$	標準モード	0		3.45	$\mu\text{s}$	データ・ホールド時間、 $t_{\text{SH:DAT}}$
	高速モード	0		0.9	$\mu\text{s}$	
$t_5$	標準モード	4.7			$\mu\text{s}$	くり返しスタートのセットアップ時間、 $t_{\text{SU:STA}}$
	高速モード	0.6			$\mu\text{s}$	
$t_6$	標準モード	4			$\mu\text{s}$	くり返しスタートのホールド時間、 $t_{\text{HD:STA}}$
	高速モード	0.6			$\mu\text{s}$	
$t_7$	標準モード	4.7			$\mu\text{s}$	ストップとスタート間のバス空き時間、 $t_{\text{BUF}}$
	高速モード	1.3			$\mu\text{s}$	
$t_8$	標準モード	4			$\mu\text{s}$	ストップとスタート間のセットアップ時間、 $t_{\text{SU:STA}}$
	高速モード	0.6			$\mu\text{s}$	
$t_9$	標準モード			1000	ns	SDA 信号の立上がり時間、 $T_{\text{RDA}}$
	高速モード	$20+0.1C_L$		300	ns	
$t_{10}$	標準モード			300	ns	SDA 信号の立下がり時間、 $T_{\text{RDA}}$
	高速モード	$20+0.1C_L$		300	ns	
$t_{11}$	標準モード			1000	ns	SDA 信号の立上がり時間、 $t_{\text{RCL}}$
	高速モード	$20+0.1C_L$		300	ns	
$t_{11A}$	標準モード			1000	ns	くり返しスタート後とアクノレッジ・ビット後の SCL 信号の立上がり時間、 $t_{\text{RCL}}$ (図 3 には示していません。)
	高速モード	$20+0.1C_L$		300	ns	
$t_{12}$	標準モード			300	ns	SDA 信号の立下がり時間、 $t_{\text{FCL}}$
	高速モード	$20+0.1C_L$		300	ns	
$t_{\text{SP}}$ <sup>3</sup>	高速モード	0		50	ns	抑制されたスパイク・ノイズのパルス幅 (図 3 には示していません。)
$\overline{t_{\text{RESET}}}$	0.1			10	$\mu\text{s}$	$\overline{\text{RESET}}$ Low 時間 (図 3 には示していません。)
$t_{\text{EEPROM\_PROGRAM}}$ <sup>4</sup>			15	50	ms	メモリ・プログラム時間 (図 3 には示していません。)
$t_{\text{EEPROM\_READBACK}}$			7	30	$\mu\text{s}$	メモリ・リードバック時間 (図 3 には示していません。)
$t_{\text{POWER\_UP}}$ <sup>5</sup>				75	$\mu\text{s}$	パワーオン EEPROM 復帰時間 (図 3 には示していません。)
$t_{\text{RESET}}$			30		$\mu\text{s}$	リセット EEPROM 復帰時間 (図 3 には示していません。)

<sup>1</sup> バスの最大静電容量は 400pF に制限されています。

<sup>2</sup> SDA と SCL のタイミングは入力フィルタを有効にして測定しています。入力フィルタをスイッチ・オフすることで、転送レートは改善されますが、本製品の EMC 性能に悪影響を与えます。

<sup>3</sup> SCL と SDA 入力の入力フィルタ処理により高速モードで 50ns より短いスパイク・ノイズを抑制します。

<sup>4</sup> EEPROM の書き込み時間は温度と EEPROM の書き込みサイクルによって変化します。低い温度ではより早いタイミングとなりより早い書き込みサイクルとなります。

<sup>5</sup>  $V_{\text{DD}}-V_{\text{SS}}$  が 2.3V に達した後の最大時間。

シフト・レジスタとタイミング図

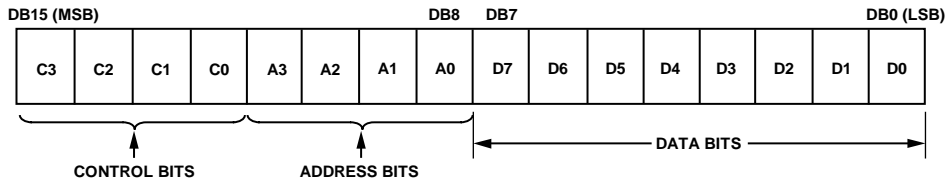


図 2. 入力シフト・レジスタの内容

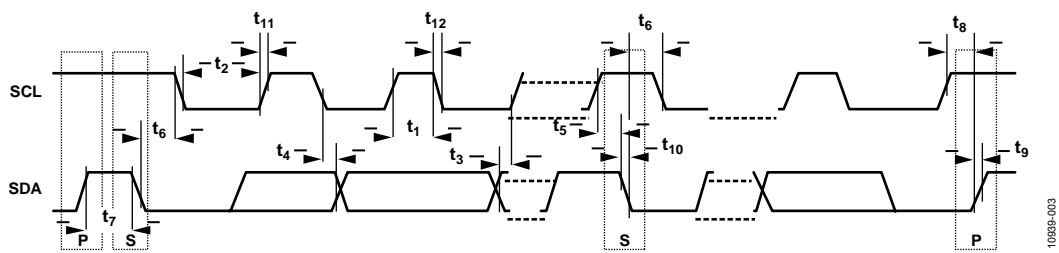


図 3. I<sup>2</sup>C シリアル・インターフェイス・タイミング図 (一般的な書込みシーケンス)

## 絶対最大定格

特に記載のない限り、 $T_A=25^\circ\text{C}$ 。

表 5.

パラメータ	定格値
$V_{DD}\sim\text{GND}$	-0.3V $\sim$ +7.0V
$V_{SS}\sim\text{GND}$	+0.3V $\sim$ -7.0V
$V_{DD}\sim V_{SS}$	7V
$V_{\text{LOGIC}}\sim\text{GND}$	-0.3V から $V_{DD}+0.3\text{V}$ もしくは +7.0V (いずれか小さいほう)
$V_A, V_W, V_B\sim\text{GND}$	$V_{SS}-0.3\text{V}, V_{DD}+0.3\text{V}$ +7.0V (いずれか小さいほう)
$I_A, I_W, I_B$ パルス <sup>1</sup>	
周波数>10kHz $R_{Ay}=10\text{k}\Omega$	$\pm 6\text{mA}/d^2$
$R_{Ay}=100\text{k}\Omega$	$\pm 1.5\text{mA}/d^2$
周波数 $\leq 10\text{kHz}$ $R_{Ay}=10\text{k}\Omega$	$\pm 6\text{mA}/\sqrt{d^2}$
$R_{Ay}=100\text{k}\Omega$	$\pm 1.5\text{mA}/\sqrt{d^2}$
デジタル入力	-0.3V から $V_{\text{LOGIC}}+0.3\text{V}$ もしくは +7V (いずれか小さいほう)
動作温度範囲、 $T_A$ <sup>3</sup>	-40 $\sim$ +125 $^\circ\text{C}$
最大ジャンクション温度、 $T_J$ 最大値	150 $^\circ\text{C}$
保存温度範囲	-65 $^\circ\text{C}\sim$ +150 $^\circ\text{C}$
リフロー・ハンダ処理	
ピーク温度	260 $^\circ\text{C}$
ピーク温度での時間	20 $\sim$ 40 秒
パッケージ消費電力	$(T_{J\text{max}}-T_A) / \theta_{JA}$
ESD <sup>4</sup>	4kV
FICDM	1.5kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

$\theta_{JA}$  は JEDEC の JESD51 規格に準拠していますが、実測値はテスト・ボードやテスト環境によって異なります。

表 6.熱抵抗

パッケージ・タイプ	$\theta_{JA}$	$\theta_{JC}$	単位
16 ピン LFCSP	89.5 <sup>1</sup>	3	$^\circ\text{C}/\text{W}$
16 ピン TSSOP	150.4 <sup>1</sup>	27.6	$^\circ\text{C}/\text{W}$

<sup>1</sup>JEDEC の 2S2P テスト・ボードを使用し自然空冷 (0m/sec 気流) で測定しています。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

<sup>1</sup> 最大端子電流は、スイッチの最大電流処理能力、パッケージの最大消費電力、および任意の抵抗での A 端子、B 端子、W 端子のうちいずれか 2 本の端子間に印加される最大電圧によって制限されます。

<sup>2</sup>  $d$ =パルス・デューティ率。

<sup>3</sup> EEPROM のプログラミング時の温度も含まれます。

<sup>4</sup> 人体モデル (HBM 法) による等級です。

ピン配置と機能の説明

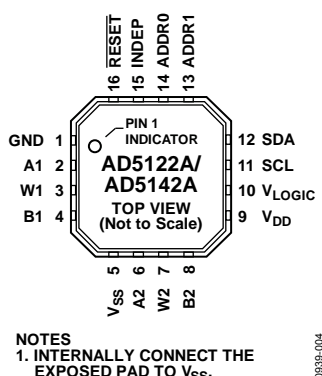


図 4. 16 ピン LFCSP のピン配置

表 7. 16 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	GND	グラウンド・ピン、ロジック・グラウンド・リファレンス
2	A1	RDAC1 の A 端子 $V_{SS} \leq V_A \leq V_{DD}$
3	W1	RDAC1 のワイパー端子 $V_{SS} \leq V_W \leq V_{DD}$
4	B1	RDAC1 の B 端子 $V_{SS} \leq V_B \leq V_{DD}$
5	V <sub>SS</sub>	負側電源。0.1μF のセラミック・コンデンサと 10μF のコンデンサでこのピンをデカップリングしてください。
6	A2	RDAC2 の A 端子 $V_{SS} \leq V_A \leq V_{DD}$
7	W2	RDAC2 のワイパー端子 $V_{SS} \leq V_W \leq V_{DD}$
8	B2	RDAC2 の B 端子 $V_{SS} \leq V_B \leq V_{DD}$
9	V <sub>DD</sub>	正側電源。0.1μF のセラミック・コンデンサと 10μF のコンデンサでこのピンをデカップリングしてください。
10	V <sub>LOGIC</sub>	ロジック電源 1.8V ~ V <sub>DD</sub> 。0.1μF のセラミック・コンデンサと 10μF のコンデンサでこのピンをデカップリングしてください。
11	SCL	シリアル・クロック・ライン
12	SDA	シリアル・データ入出力
13	ADDR1	複数素子のデコーディング用のプログラマブル・アドレス (ADDR1)
14	ADDR0	複数素子のデコーディング用のプログラマブル・アドレス (ADDR0)
15	INDEP	パワーアップ時のリニア・ゲイン設定モード。各レジスタの値が対応するメモリ番地からロードされます。INDEP ピンが有効になっているとソフトウェア的に無効化できません。
16	RESET	ハードウェア・リセット・ピン。EEPROM から RDAC レジスタをリフレッシュします。 $\overline{\text{RESET}}$ がロジック Low で有効化されます。このピンを使用しない場合は、 $\overline{\text{RESET}}$ ピンを V <sub>LOGIC</sub> に接続してください。
	EPAD	このパッドは内部で V <sub>SS</sub> に接続されています。

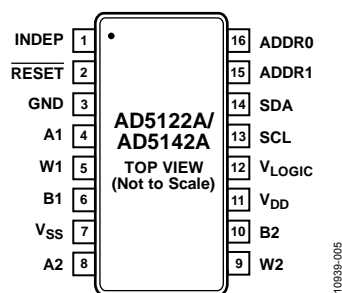


図 5.16 ピン LTSSOP のピン配置

表 8.16 ピン TSSOP のピン機能説明

ピン番号	記号	説明
1	INDEP	パワーアップ時のリニア・ゲイン設定モード。各レジスタの値が対応するメモリ番地からロードされます。INDEP ピンが有効になっているとソフトウェア的に無効化できません。
2	RESET	ハードウェア・リセット・ピン。EEPROMからRDACレジスタをリフレッシュします。RESETがロジックLowで有効化されます。 このピンを使用しない場合は、RESETピンをV <sub>LOGIC</sub> に接続してください。
3	GND	グラウンド・ピン、ロジック・グラウンド・リファレンス
4	A1	RDAC1 の A 端子 $V_{SS} \leq V_A \leq V_{DD}$
5	W1	RDAC1 のワイパー端子 $V_{SS} \leq V_W \leq V_{DD}$
6	B1	RDAC1 の B 端子 $V_{SS} \leq V_B \leq V_{DD}$
7	V <sub>SS</sub>	負側電源。0.1μFのセラミック・コンデンサと 10μFのコンデンサでこのピンをデカップリングしてください。
8	A2	RDAC2 の A 端子 $V_{SS} \leq V_A \leq V_{DD}$
9	W2	RDAC2 のワイパー端子 $V_{SS} \leq V_W \leq V_{DD}$
10	B2	RDAC2 の B 端子 $V_{SS} \leq V_B \leq V_{DD}$
11	V <sub>DD</sub>	正側電源。0.1μFのセラミック・コンデンサと 10μFのコンデンサでこのピンをデカップリングしてください。
12	V <sub>LOGIC</sub>	ロジック電源 1.8V~V <sub>DD</sub> 。0.1μFのセラミック・コンデンサと 10μFのコンデンサでこのピンをデカップリングしてください。
13	SCL	シリアル・クロック・ライン
14	SDA	シリアル・データ入出力
15	ADDR1	複数素子のデコーディング用のプログラマブル・アドレス (ADDR1)
16	ADDR0	複数素子のデコーディング用のプログラマブル・アドレス (ADDR0)

代表的な性能特性

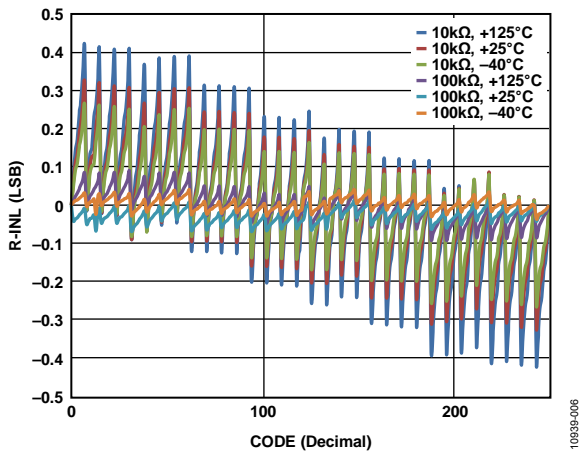


図 6. コード 対 R-INL (AD5142A)

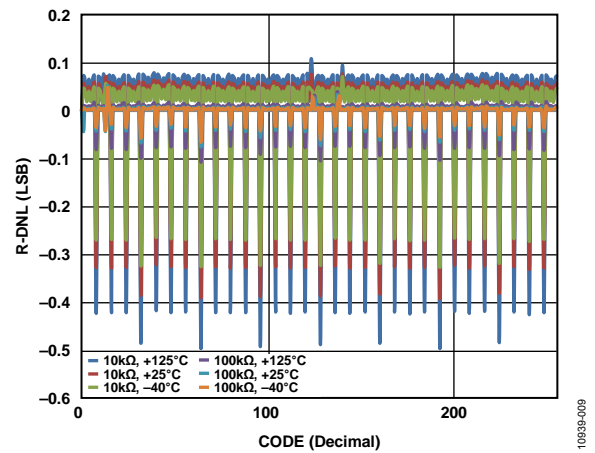


図 9. コード 対 R-INL (AD5142A)

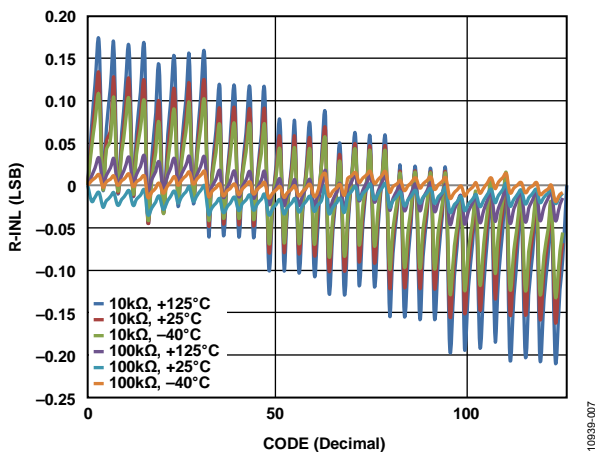


図 7. コード 対 R-INL (AD5122A)

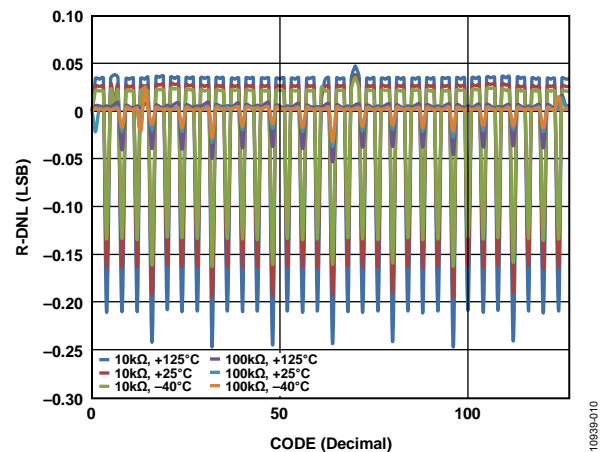


図 10. コード 対 R-INL (AD5122A)

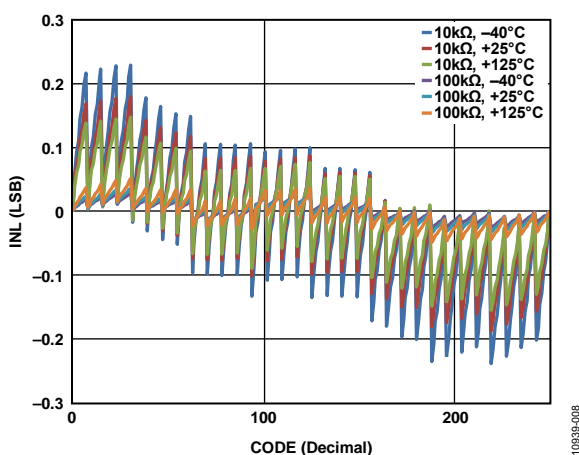


図 8. コード 対 INL (AD5142A)

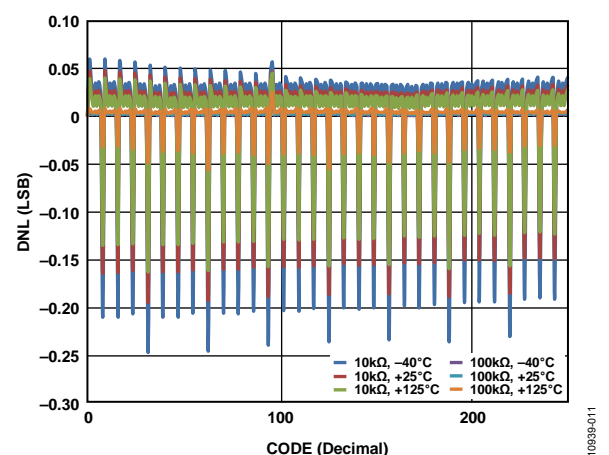


図 11. コード 対 DNL (AD5142A)

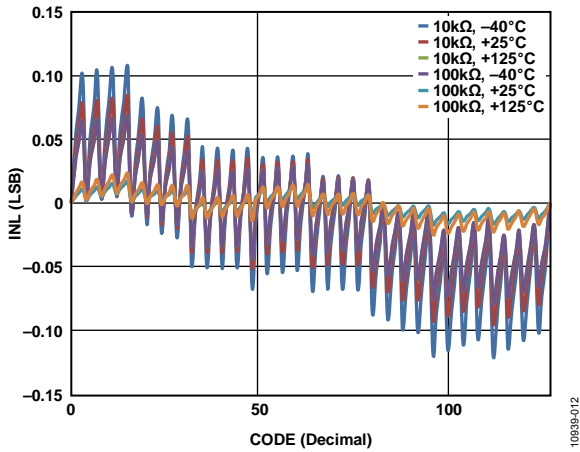


図 12. コード対 INL (AD5122A)

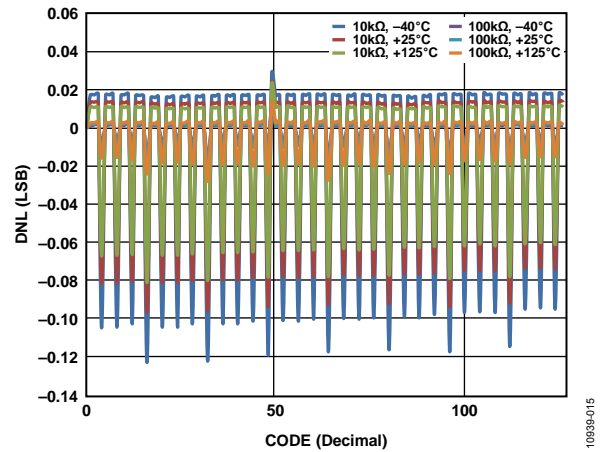


図 15. コード対 DNL (AD5122A)

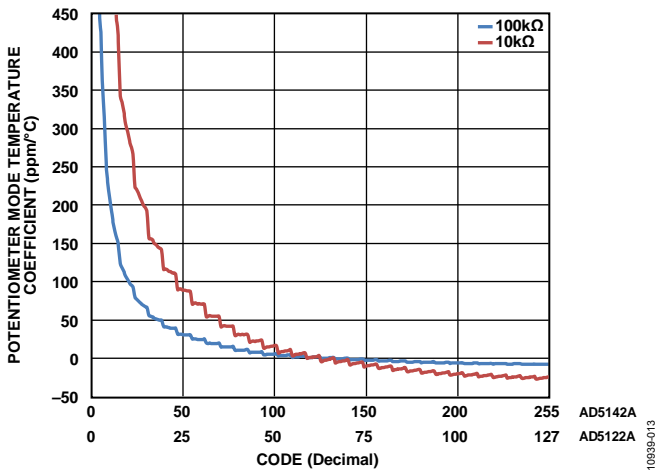


図 13. コード対ポテンショメータ・モード温度係数  
( $\Delta V_W/V_W$ ) /  $\Delta T \times 10^6$

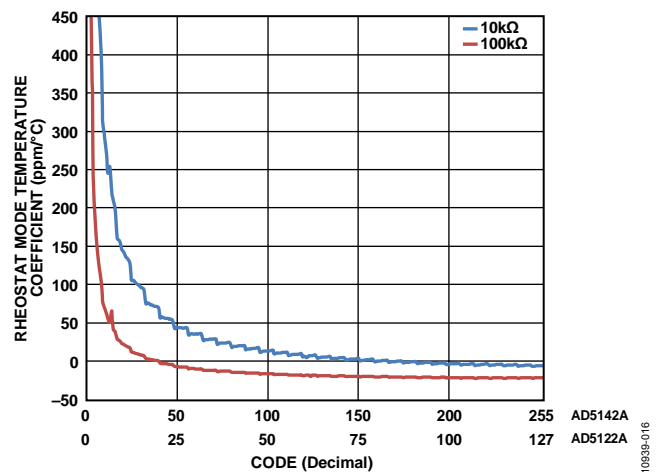


図 16. コード対レオスタット・モード温度係数  
( $\Delta R_{WB}/R_{WB}$ ) /  $\Delta T \times 10^6$

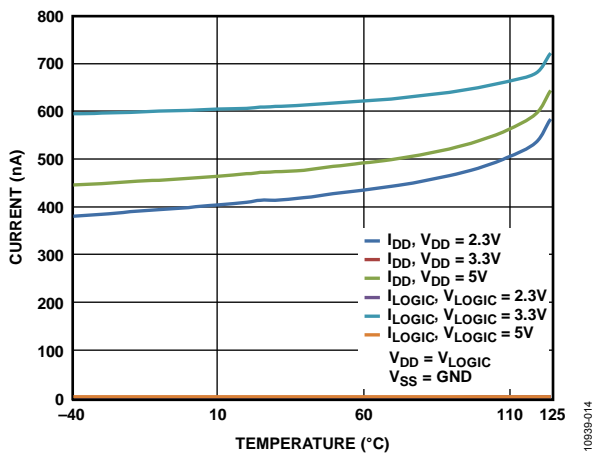


図 14. 温度対電源電流

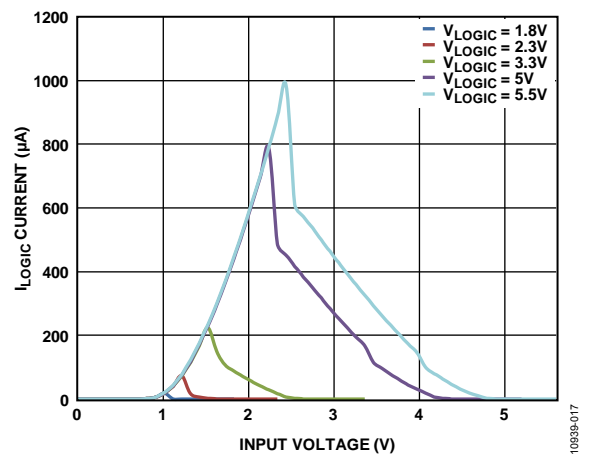


図 17. デジタル入力対電圧 I<sub>LOGIC</sub> 電流

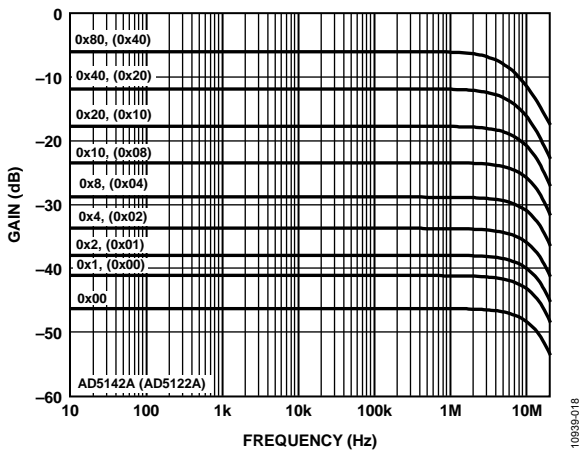


図 18. 周波数とコード 対 10kΩ ゲイン設定

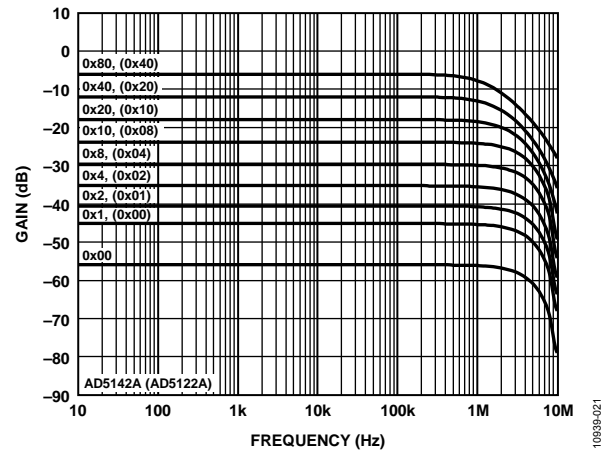


図 21. 周波数とコード 対 100kΩ ゲイン設定

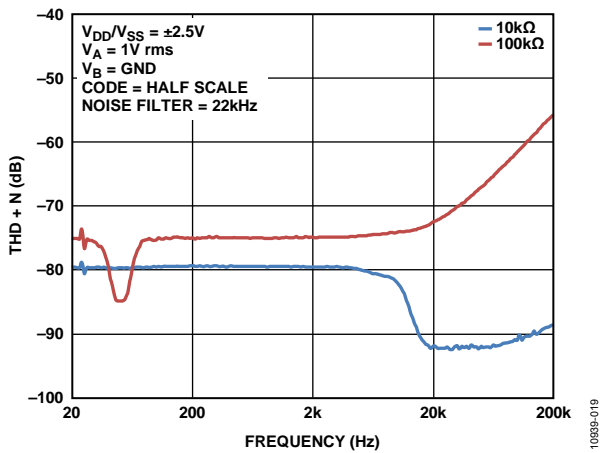


図 19. 周波数 対 全高調波歪みとノイズ (THD+N)

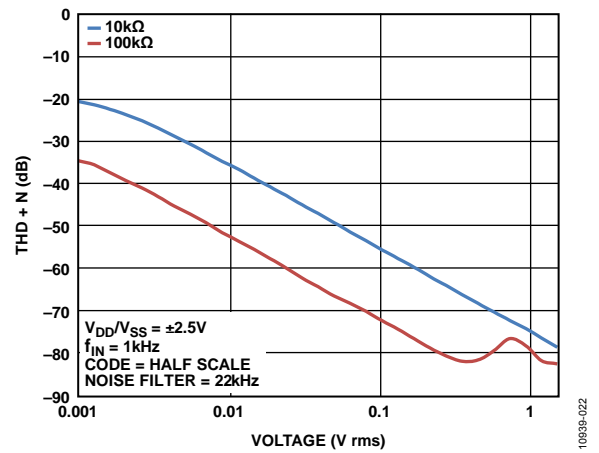


図 22. 振幅 対 全高調波歪みとノイズ (THD+N)

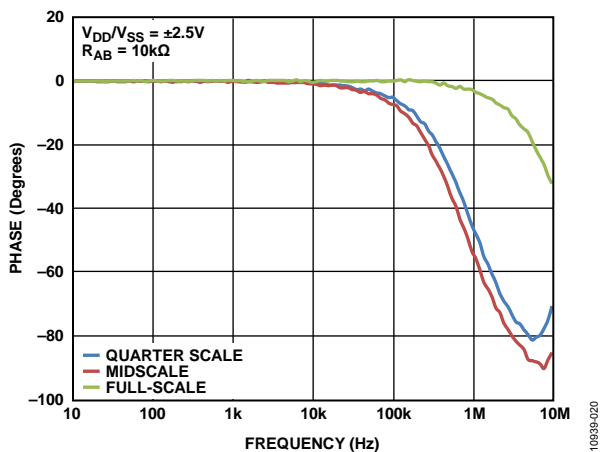


図 20. 周波数  $R_{AB}=10k\Omega$  対 正規化位相平坦性

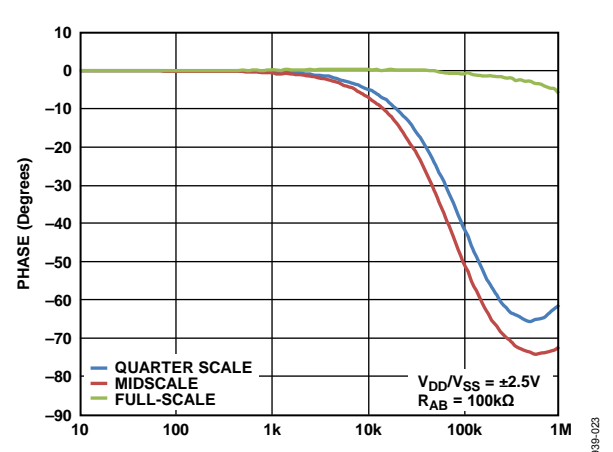


図 23. 周波数  $R_{AB}=100k\Omega$  対 正規化位相平坦性



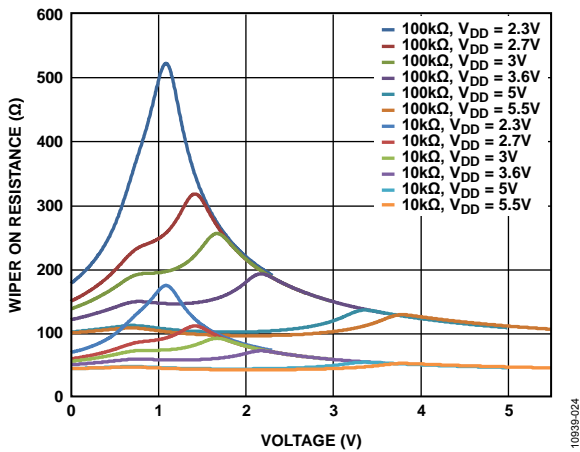


図 24.  $V_{DD}$  対 インクリメンタル・ワイパーのオン抵抗

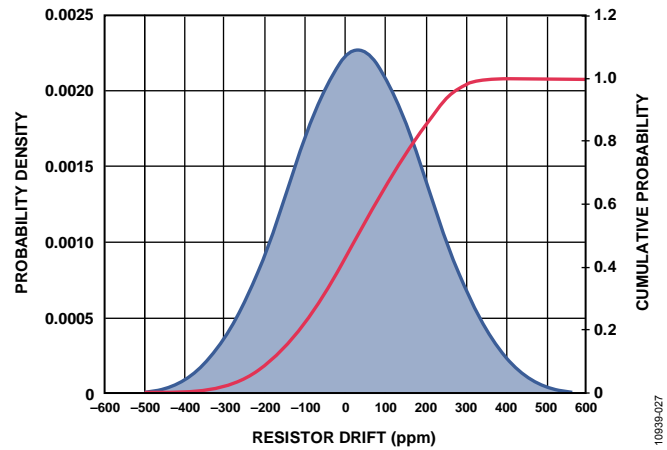


図 27. 長時間抵抗ドリフトの分布

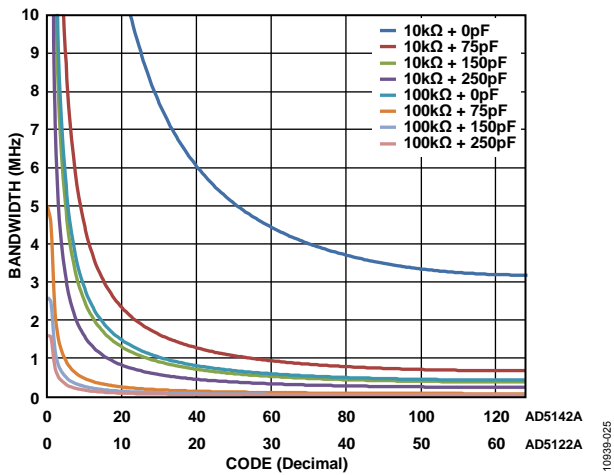


図 25. コードとネット容量対最大帯域幅

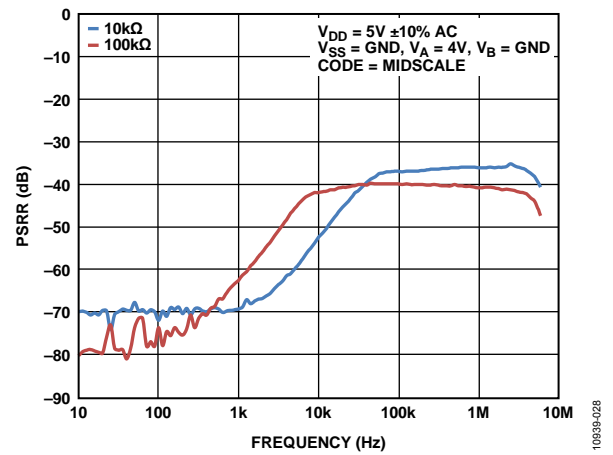


図 28. 周波数対電源電圧変動除去比 (PSRR)

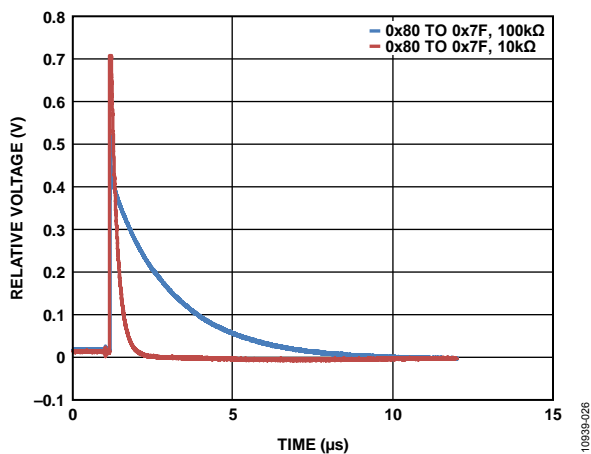


図 26. 最大トランジショングリッチ

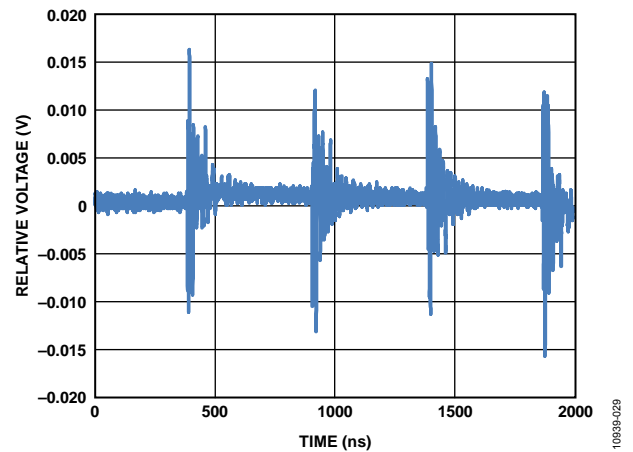


図 29. デジタル・フィードスルー

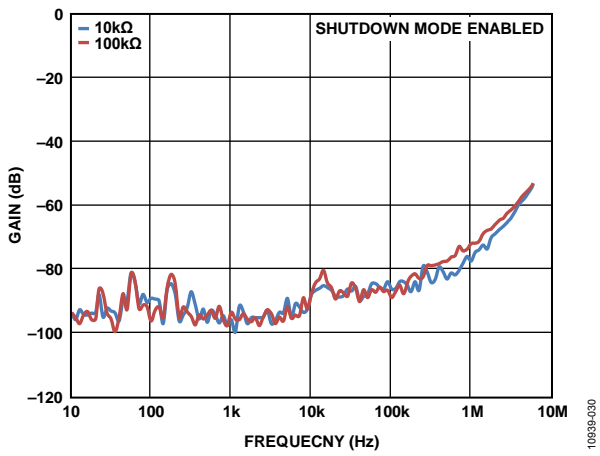


図 30. 周波数 対 シャットダウン・アイソレーション

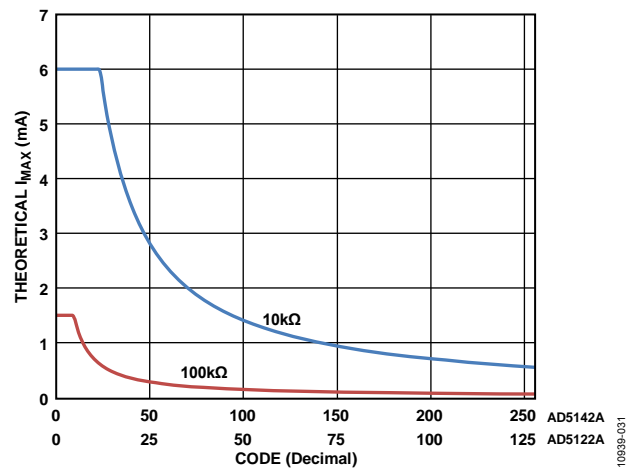


図 31. コード 対 理論上の最大電流

## テスト回路

図 32 から図 36 は、仕様のセクション内容のテスト条件を示しています。

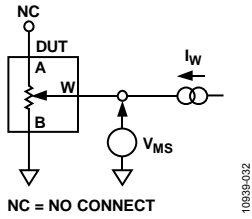


図 32. 抵抗積分非直線性 (INL) エラー  
(レオスタット動作 R-INL、R-DNL)

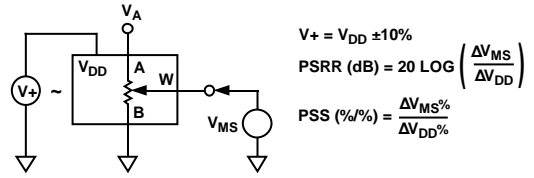


図 35. 電源電圧変動感度と  
電源電圧変動除去比 (PSS、PSRR)

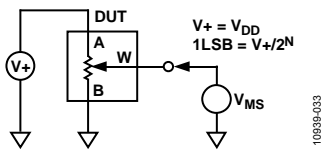


図 33. ポテンショメータ・デバイダ非直線性エラー (INL、DNL)

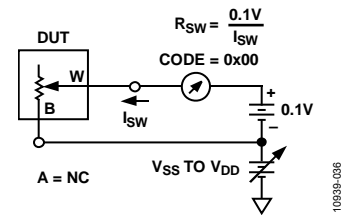


図 36. インクリメンタル・オン抵抗

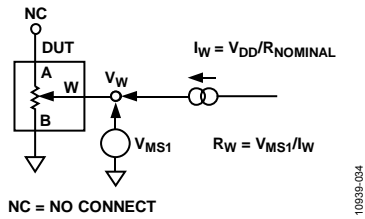


図 34. ワイパー抵抗

## 動作原理

**AD5122A/AD5142A** デジタル・プログラマブル・ポテンショメータは、 $V_{SS} < V_{TERM} < V_{DD}$  の端子電圧レンジのアナログ信号用の可変抵抗器として忠実に動作するように設計されています。抵抗のワイパー位置は、RDAC レジスタの内容によって決まります。RDAC レジスタが、スクラッチパッド・レジスタとして動作するので、抵抗値の設定値を自由に変更することができます。セカンダリ・レジスタ（入力シフト・レジスタ）を、RDAC レジスタのプリロードに使用することができます。

I<sup>2</sup>C インターフェースを使用して RDAC レジスタに任意のワイパー位置設定をプログラムできます。設定したいワイパー位置が確定したら、その値を EEPROM メモリに保存しておくことができます。これによって、次に電源を入れた時に常にワイパー位置を元の位置に復帰させることができます。EEPROM データの保存には、約 15ms かかります。その間、本デバイスはロックされ、新たなコマンドを受付せずに不用意な設定の変更を防ぎます。

### RDAC レジスタと EEPROM

RDAC レジスタが、デジタル・ポテンショメータのワイパー位置を直接制御します。例えば、RDAC レジスタに 0x80 をロードした場合（256 タップの **AD5142A** の場合）、ワイパーが可変抵抗のハーフスケール位置に接続されます。RDAC レジスタは標準的なロジック・レジスタなので、変更回数に制限なく内容を変更することが可能です。

デジタル・インターフェース（表 10）を使って RDAC レジスタの内容の読み出し/書き込みを行うことが可能です。

RDAC レジスタの内容はコマンド 9（表 10）を使って EEPROM に保存することができます。これによって、その後電源の On/Off/On を行っても記憶された RDAC レジスタの内容が常にワイパーを同じ位置に設定します。EEPROM に保存した内容はコマンド 3（表 10）を使ってリードバックすることができます。これとは別に、EEPROM の内容は、個別にコマンド 11（表 16）を使って書き込みをすることができます。

### 入力シフト・レジスタ

**AD5122A/AD5142A** の入力シフト・レジスタは図 2 の通り 16 ビット幅です。この 16 ビット・ワードは、4 桁の制御ビットの後に、4 桁のアドレス・ビットと 8 桁のデータビットという構成です。

**AD5122A** の RDAC や EEPROM のレジスタでは、LSB（ビット 0）の読み出し/書き込みは無視されます。

データは MSB ファースト（15 ビット）でロードされます。4 桁の制御ビットは、表 10 と表 16 に記載したソフトウェア・コマンド機能を規定しています。

### I<sup>2</sup>C シリアル・データ・インターフェイス

**AD5122A/AD5142A** には 2 ワイヤの I<sup>2</sup>C 互換シリアル・インターフェースがあります。本デバイスは、マスター・デバイスの制御下のスレーブ・デバイスとして I<sup>2</sup>C バスに接続することが可能です。書き込みシーケンスのタイミング図については、図 3 を参照してください。

**AD5122A/AD5142A** は、標準モード（100kHz）と高速モード（400 kHz）のデータ転送モードをサポートしています。10 ビット・アドレッシングや一般的なコール・アドレッシングはサポートしていません。

2 ワイヤのシリアル・バス・プロトコルは次のように動作します。

1. マスターがスタート条件を確立させてデータ転送を開始します。これは、SCL が High の間に SDA ラインに High-Low 遷移が発生した時点です。次のバイトは、アドレス・バイトです。7 ビットのスレーブ・アドレスと R/W ビットで構成されています。送信先アドレスに対応するスレーブ・デバイスは、9 番目のクロック・パルスで SDL を Low に引き下げることによって応答します。この段階では、バス上のすべての他のデバイスはアイドル状態です。そして選択したデバイスがシフト・レジスタのデータの読み出し/書き込みを待機している状態です。  
R/W ビットが High に設定されている場合は、次の動作でマスターがスレーブ・デバイスから読み出します。また、R/W ビットが Low に設定されている場合は、マスターがスレーブ・デバイスに書き込みします。
2. データは、シリアルバスを介して 9 クロック・パルス（8 ビットのデータビット列の後にアクノリッジ・ビット）のシーケンスで送信されます。SDA 上のデータの切り替わりは、SCL が Low の間に起こらなければなりません。そして SCL が High の間は確定して動いてはいけません。
3. すべてのデータビットの読み出し/書き込みが行われてから、ストップ条件が確立されます。書き込みモードでは、10 番目のクロック・パルスでストップ条件を確立する際に、マスターが SDA ラインを High にします。読み出しモードでは、9 番目のクロック・パルスでマスターがノー・アクノレッジ信号を送信します（SDA ラインは High のままです）。次に、マスターは、10 番目のクロック・パルスの前に、SDA ラインを Low にします。そして、10 番目のクロック・パルスでストップ条件を確立するよう再度 High に戻ります。

### I<sup>2</sup>C アドレス

ADDR に配線変更を行う機能によって、表 9 に記載された通り、お客様は 1 つのバス上に本デバイスを最大 9 個まで統合させることができます。

表 9. デバイス・アドレスの選択

ADDR0 ピン	ADDR1 ピン	7 ビット I <sup>2</sup> C デバイス・アドレス
V <sub>LOGIC</sub>	V <sub>LOGIC</sub>	0100000
接続なし <sup>1</sup>	V <sub>LOGIC</sub>	0100010
GND	V <sub>LOGIC</sub>	0100011
V <sub>LOGIC</sub>	接続なし <sup>1</sup>	0101000
接続なし <sup>1</sup>	接続なし <sup>1</sup>	0101010
GND	接続なし <sup>1</sup>	0101011
V <sub>LOGIC</sub>	GND	0101100
接続なし <sup>1</sup>	GND	0101110
GND	GND	0101111

<sup>1</sup> バイポーラ・モードにはありません。（V<sub>SS</sub> < 0V）もしくは低電圧モード（V<sub>Logic</sub> = 1.8V）

表 10. 短縮コマンド・オペレーション真理値表

コマンド 番号	制御ビット [DB15:DB12]				アドレス・ビット [DB11:DB8] <sup>1</sup>				データビット [DB7:DB0] <sup>1</sup>								動作		
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0			
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP : 何もしない		
1	0	0	0	1	0	0	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	RDAC へのシリアル・レジスタの書き込み内容		
2	0	0	1	0	0	0	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	入力レジスタへのシリアル・レジスタ・データの書き込み内容		
3	0	0	1	1	0	0	A1	A0	X	X	X	X	X	X	D1	D0	リードバック内容		
																	D1	D0	データ
																	0	1	EEPROM
																	1	RDAC	
9	0	1	1	1	0	0	0	A0	X	X	X	X	X	X	X	X	1	EEPROM への RDAC レジスタのコピー	
10	0	1	1	1	0	0	0	A0	X	X	X	X	X	X	X	X	0	RDAC への EEPROM のコピー	
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	ソフトウェア・リセット	
15	1	1	0	0	A3	0	0	A0	X	X	X	X	X	X	X	D0	ソフトウェア・シャットダウン		
																	D0	条件	
																	0	ノーマル・モード	
																	1	シャットダウン・モード	

<sup>1</sup>X=ドント・ケア

表 11. 短縮アドレス・ビット表

A3	A2	A1	A0	チャンネル	保存されたチャンネル・メモリ
1	x <sup>1</sup>	x <sup>1</sup>	x <sup>1</sup>	すべてのチャンネル	適用外
0	0	0	0	RDAC1	RDAC1
0	0	0	1	RDAC2	適用外
0	0	1	0	適用外	RDAC2

<sup>1</sup>X=ドント・ケア

## 高度な制御モード

AD5122A/AD5142A は、さまざまなアプリケーションに向けてユーザー・プログラミング機能を備え、あらゆるデバイスの可変抵抗調整に利用可能なデジタル・ポテンショメータです。(表 16 と表 18 を参照してください。) 主要なプログラミング機能には次のようなものがあります。

- 入力レジスタ
- リニア・ゲイン設定モード
- 低ワイパー抵抗
- リニアなインクリメント/デクリメント命令
- $\pm 6\text{dB}$  のインクリメント/デクリメント命令
- バースト・モード
- リセット
- シャットダウン・モード

## 入力レジスタ

AD5122A/AD5142A には各 RDAC レジスタ毎に 1 つずつ入力レジスタがあります。このレジスタに対応する RDAC レジスタの値をプリロードできます。レジスタにはコマンド 2 で書込み、コマンド 3 で読出しができます(表 16)この特長によって、RDAC の両方かどちらか一方を同期させて同時にアップデートができます。コマンド 8 で入力レジスタからの RDAC レジスタへの同期転送ができます(表 16)。新しいデータが RDAC レジスタにロードされると、RDAC レジスタは自動的に対応する入力レジスタを上書きします。

## リニア・ゲイン設定モード

AD5122A/AD5142A は、各レジスタの  $R_{AW}$  と  $R_{WB}$  の値を独立して制御することができます。リニア・ゲイン設定モードを有効化するには、コマンド 16 (表 16) を使って、コントロール・レジスタのビット D2 (表 18) を設定します。

この動作モードでは、W 端子の単一接点で接続されている 2 つの独立したレオスタット (可変抵抗器) としてポテンショメータを制御することができます。これとは逆に、ポテンショメータ・モードでは各抵抗が  $R_{AW} = R_{AB} - R_{WB}$  でコンプリメンタリ関係になります。

このモードではふたつ目の入力許され、表 16 に示すようにチャンネルごとに RDAC レジスタに書込まれますが、実際の RDAC の内容は変わりません。同様の動作が、ポテンショメータ・モードとリニア・ゲイン設定モードで有効です。

NDEP ピンが High にされている場合は、リニア・ゲイン設定モードで起動し、メモリに格納されている各チャンネルの値 (表 17) をロードします。INDEP ピンと D2 ビットが内部的に OR ゲートのロジックに接続されています。両方かどちらか一方が 1 に設定されている場合は、ポテンショメータ・モードで動作しません。

## 低ワイパー抵抗

AD5122A/AD5142A には、デバイスがフルスケールか、ゼロスケールになった時に端子間のワイパー抵抗を減少させる 2 つのコマンドがあります。これらのポジションは、ボトムスケール (BS)、トップスケール (TS) と呼ばれています。トップスケールの A 端子と W 端子の間の抵抗が  $R_{TS}$  に定められています。同様に、B 端子と W 端子の間のボトムスケールの抵抗が  $R_{BS}$  に定められています。

これらのポジションで入力しても RDAC レジスタの内容は変更されていません。トップスケールとボトムスケールを終了するには、次の 3 つの方法があります。コマンド 12 かコマンド 13 (表 16) を使う方法、RDAC のレジスタにインクリメント/デクリメント動作を含む新しいデータをロードする方法、コマンド 15 (表 16) を使ってシャットダウン・モードに入る方法です。

表 12 と表 13 は、それぞれトップスケール・ポジションとボトムスケールの真理値表です。それぞれ、ポテンショメータ・モードとリニア・ゲイン設定モードが有効になっている場合を示しています。

表 12. トップスケールの真理値表

リニア・ゲイン設定モード		ポテンショメータ・モード	
$R_{AW}$	$R_{WB}$	$R_{AW}$	$R_{WB}$
$R_{AB}$	$R_{AB}$	$R_{TS}$	$R_{AB}$

表 13. ボトムスケールの真理値表

リニア・ゲイン設定モード		ポテンショメータ・モード	
$R_{AW}$	$R_{WB}$	$R_{AW}$	$R_{WB}$
$R_{TS}$	$R_{BS}$	$R_{AB}$	$R_{BS}$

## リニアなインクリメントとデクリメント命令 (コマンド)

インクリメント/デクリメント命令 (表 16 のコマンド 4 とコマンド 5) はリニアにステップ調整を行うアプリケーションに有用です。マイクロコントローラは本デバイスにインクリメント/デクリメント命令を送信することで、マイクロコントローラのソフトウェア・コーディングを簡素化できます。ポテンショメータの調整は、個別に行なうかギャング動作にできます。ギャング動作にするとすべてのワイパー位置を同時に変更することができます。

インクリメント命令では、コマンド 4 を実行することで自動的に、ワイパーを次の RDAC ポジションに移動させます。このコマンドは、単一チャンネルか複数チャンネルで実行することができます。

## ±6dB のインクリメントとデクリメント命令

2つのプログラミング命令が対数傾斜のインクリメントやデクリメントでワイパー位置を制御します。制御できるのは、単一のポテンショメータか、RDACの位置レジスタが同時に変更される対になったポテンショメータの配列です。コマンド6で+6dBインクリメントし、コマンド7で-6dBデクリメントします（表16）。例えば、ゼロスケール・ポジションから開始して、コマンド6を10回実行すると、ワイパーが6dBステップ移動してフルスケール・ポジションに達します。ワイパー・ポジションが最大設定に近づいている場合には、6dBのインクリメント命令によって、ワイパーがフルスケール・ポジションに移動します（表14）。

ワイパー・ポジションを+6dBずつインクリメントするという事は、基本的にRDACレジスタ値を倍にするという事です。また、ワイパー・ポジションを-6dBずつデクリメントすると、レジスタ値は半分になっていきます。内部的には、AD5122A/AD5142Aは、レジスタのビットを左右にシフトして±6dBインクリメントかデクリメントさせています。これらの機能は、さまざまなオーディオ/ビデオ機器のレベル調整に適しています。特に白色LEDの輝度設定に有用です。人間の視覚が小さな変化よりも大きな変化に対して敏感だからです。

表 14. ±6dB ステップのインクリメント/デクリメントの左右のシフト機能の詳細

左シフト (+6dB/ステップ)	右シフト (-6dB/ステップ)
0000 0000	1111 1111
0000 0001	0111 1111
0000 0010	0011 1111
0000 0100	0001 1111
0000 1000	0000 1111
0001 0000	0000 0111
0010 0000	0000 0011
0100 0000	0000 0001
1000 0000	0000 0000
1111 1111	0000 0000

## バースト・モード

バースト・モードを有効にすることにより複数のデータ・バイトを連続して送信することができます。本製品は、コマンド・バイトの後のバイト列をその命令のデータとして解釈します。新たなコマンドは、リピート・スタートを生成するか、ストップとスタート条件によって送信できます。バースト・モードは、コントロール・レジスタのビット D3 を設定すること（表 18）で起動されます。

## リセット

AD5122A/AD5142Aのリセットは、ソフトウェア的にコマンド 14（表 16）を実行するか、ハードウェア的にRESETピンをローに落とすことで可能です。リセット・コマンドによって、RDACレジスタにEEPROMの内容がロードされます。これには約 30μsの時間がかかります。工場出荷時にミッドスケール設定がEEPROMにプリロードされています。従って最初の電源投入時にはミッドスケール設定になります。RESETピンを使わない場合は、RESETピンをV<sub>Logic</sub>に接続してください。

## シャットダウン・モード

AD5122A/AD5142Aは、ソフトウェア的にシャットダウンができます。この命令はコマンド 15（表 16）です。シャットダウン・モードを実行するにはLSB（D0）を1に設定します。これによりRDACは消費電力ゼロ状態に設定され、本デバイスはポテンショメータ・デバイス・モードで動作します。そして、A端子はオープンとなり、ワイパーW端子はB端子と接続されます。ただし最大ワイパー抵抗は40Ωのままです。本デバイスがリニア・ゲイン設定モードに設定されている場合は、抵抗 R<sub>AW</sub>または R<sub>WB</sub>は内部的に高インピーダンスに設定されます。表 15 に、デバイスの動作モードに応じた真理値表を示します。RDACレジスタの内容は、シャットダウン・モードに入っても変更されません。ただし、表 16 に記載されているすべてのコマンドがシャットダウン・モードでサポートされています。コマンド 15（表 16）を実行して、LSB（D0）を0に設定するとシャットダウン・モードを終了します。

表 15. シャットダウン・モードの真理値表

リニア・ゲイン設定モード		ポテンショメータ・モード	
R <sub>AW</sub>	R <sub>WB</sub>	R <sub>AW</sub>	R <sub>WB</sub>
高インピーダンス	高インピーダンス	高インピーダンス	R <sub>BS</sub>

## EEPROM や RDAC のレジスタ保護

EEPROM と RDAC レジスタの内容は、レジスタのアップデートを無効にすることで保護することが可能です。これは、ソフトウェア的にも、ハードウェア的にも設定できます。これらのレジスタの保護をソフトウェア的に設定するには、ビット D0/ビット D1（表 18）を設定します。これによってRDACとEEPROMのレジスタがそれぞれ個別に保護できます。

RDACが保護されている時は、EEPROMの内容をRDACレジスタにコピーする動作のみが許されます。

## INDEP ピン

INDEPピンが電源投入時に上にHighに設定されている場合、本製品はリニア・ゲイン設定モードで動作します。EEPROMに格納されている各抵抗列、R<sub>AWX</sub>、R<sub>WBX</sub>の値（表 17）をロードします。電源投入時にピンがLowに設定されている場合は、ポテンショメータ・モードで起動します。

INDEPピンとD2ビットが内部的にORゲートのロジックに接続されています。両方がどちらか一方が1（表 18）に設定されている場合は、ポテンショメータ・モードで動作しません。

表 16. アドバンスド・コマンド・オペレーション真理値表

コマンド 番号	コマンド・ビット [DB15:DB12]				アドレス・ビット [DB11:DB8] <sup>1</sup>				データビット [DB7:DB0] <sup>1</sup>								動作		
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0			
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP : 何もしない		
1	0	0	0	1	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	シリアル・レジスタの内容を RDAC へ書き込み		
2	0	0	1	0	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	シリアル・レジスタの内容を入力レジスタへ書き込み		
3	0	0	1	1	X	A2	A1	A0	X	X	X	X	X	X	D1	D0	リードバック内容		
																	D1	D0	データ
																	0	0	入力レジスタ
																	0	1	EEPROM
																	1	0	コントロール・レジスタ
1	1	RDAC																	
4	0	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	X	1	リニア RDAC インクリメント	
5	0	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	X	0	リニア RDAC デクリメント	
6	0	1	0	1	A3	A2	0	A0	X	X	X	X	X	X	X	X	1	+6dB RDAC インクリメント	
7	0	1	0	1	A3	A2	0	A0	X	X	X	X	X	X	X	X	0	-6dB RDAC デクリメント	
8	0	1	1	0	0	A2	0	A0	X	X	X	X	X	X	X	X	X	RDAC への入力レジスタのコピー (ソフトウェア LRDAC)	
9	0	1	1	1	0	A2	0	A0	X	X	X	X	X	X	X	X	1	EEPROM への RDAC レジスタのコピー	
10	0	1	1	1	0	A2	0	A0	X	X	X	X	X	X	X	X	0	RDAC への EEPROM のコピー	
11	1	0	0	0	0	0	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	シリアル・レジスタの内容を EEPROM へ書き込み		
12	1	0	0	1	A3	A2	0	A0	1	X	X	X	X	X	X	X	D0	トップスケール D0 = 0; ノーマル・モード D0 = 1; シャットダウン・モード	
13	1	0	0	1	A3	A2	0	A0	0	X	X	X	X	X	X	X	D0	ボトムスケール D0 = 1; enter D0 = 0; exit	
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	ソフトウェア・リセット	
15	1	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	X	D0	ソフトウェア・シャットダウン D0 = 0; ノーマル・モード D0 = 1; デバイスがシャットダウン・モードに入る	
16	1	1	0	1	X	X	X	X	X	X	X	X	D3	D2	D1	D0	シリアル・レジスタのデータをコントロール・レジスタへコピー		



'X=ドント・ケア

表 17. アドレス・ビット

A3	A2	A1	A0	ポテンショメータ・モード		リニア・ゲイン設定モード		保存されたチャンネル・メモリ
				入力レジスタ	RDAC レジスタ	入力レジスタ	RDAC レジスタ	
1	x <sup>1</sup>	x <sup>1</sup>	x <sup>1</sup>	すべてのチャンネル	すべてのチャンネル	すべてのチャンネル	すべてのチャンネル	定義せず
0	0	0	0	RDAC1	RDAC1	R <sub>WB1</sub>	R <sub>WB1</sub>	RDAC1/R <sub>WB1</sub>
0	1	0	0	定義せず	定義せず	R <sub>AW1</sub>	R <sub>AW1</sub>	定義せず
0	0	0	1	RDAC2	RDAC2	R <sub>WB2</sub>	R <sub>WB2</sub>	R <sub>AW1</sub>
0	1	0	1	定義せず	定義せず	R <sub>AW2</sub>	R <sub>AW2</sub>	定義せず
0	0	1	0	定義せず	定義せず	定義せず	定義せず	RDAC2/R <sub>WB2</sub>
0	0	1	1	定義せず	定義せず	定義せず	定義せず	R <sub>AW2</sub>

'X=ドント・ケア

表 18. コントロール・レジスタのビットの説明

ビット名	説明
D0	RDAC レジスタ書き込み保護 0 = ワイパー位置を EEPROM メモリの値に固定 1 = デジタル・インターフェース経由でワイパー位置の更新を許可 (デフォルト)
D1	EEPROM プログラムをイネーブル 0 = EEPROM プログラムをディスエーブル 1 = EEPROM プログラムに対してデバイスをイネーブル (デフォルト)
D2	リニア・ゲイン設定モード/ポテンショメータ・モード 0 = ポテンショメータ・モード (デフォルト) 1 = リニア・ゲイン設定モード
D3	バースト・モード (I <sup>2</sup> C のみ) 0 = ディスエーブル (デフォルト) 1 = イネーブル (ストップまたはディスエーブル不可もしくは反復スタート条件)

### RDAC アーキテクチャ

最適なパフォーマンスを達成するために、アナログ・デバイゼズ社では、すべてのデジタル・ポテンシオメータに特許を取得済の RDAC セグメンテーション・アーキテクチャを採用しています。特に、AD5122A/AD5142A では、図 37 にある通り、3-ステージ・セグメンテーションのアプローチを採用しています。AD5122A/AD5142A のワイパー・スイッチは、トランスミッション・ゲート CMOS トポロジー方式を採用し、V<sub>DD</sub> と V<sub>SS</sub> から生成されるゲート電圧で動作するように設計されています。

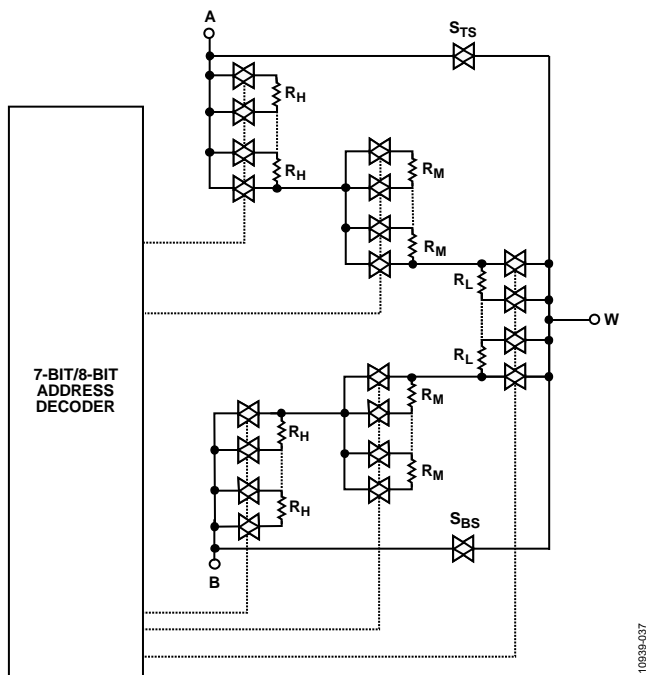


図 37. AD5122A/AD5142A RDAC 回路間略図

### トップスケール/ボトムスケール・アーキテクチャ

加えて、AD5122A/AD5142A には、端子間の抵抗を減少させる新たなポジションが搭載されています。これらのポジションは、ボトムスケール (BS)、トップスケール (TS) と呼ばれています。ボトムスケールの代表的なワイパー抵抗は 130Ω ~ 60Ω (R<sub>AB</sub> = 100kΩ) です。A 端子と W 端子の間のトップスケール抵抗は、1LSB ごとに減少し、全抵抗が 60Ω (R<sub>AB</sub> = 100kΩ) に減少します。

### 可変抵抗のプログラミング

#### レオスタット動作: ±8%抵抗値公差

AD5122A/AD5142A が、レオスタット・モードで動作する場合、2本の端子のみを使い可変抵抗として使用します。使用されていない端子は無接続とするか、図 38 に示す通り W 端子に結線します。

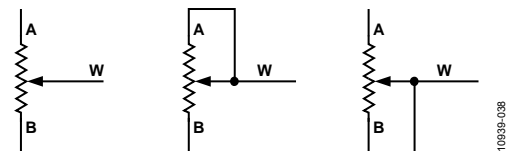


図 38. レオスタット・モードの構成

A 端子と B 端子間の公称抵抗 (R<sub>AB</sub>) には、10kΩ または 100kΩ があります。128/256 タップのポイントにワイパー端子が設定できます。RDAC の 7 ビット/8 ビットのラッチがデコードされて、128/256 タップの中から 1 つのポイントのワイパー設定を選択します。W 端子と B 端子間の出力抵抗値をデジタルでプログラムする際に用いる一般式は次の通りです。

AD5122A:

$$D_{4(6)} = \frac{6}{128} \times D_{34} + D_1 \quad 0x00 \sim 0x7F \quad (1)$$

AD5142A:

$$D_{4(6)} = \frac{6}{256} \times D_{34} + D_1 \quad 0x00 \sim 0xFF \quad (2)$$

ここで、

D は、7 ビット/8 ビット分の RDAC レジスタのバイナリコードの 10 進法の値と等価です。

R<sub>AB</sub> は、抵抗体両端の抵抗値です。

R<sub>w</sub> は、ワイパー抵抗です。

ポテンシオメータ・モードでは、機械式ポテンシオメータと同様に、W 端子と A 端子間の抵抗値が、デジタル制御されたコンプリメンタリ抵抗値、R<sub>WA</sub> となります。R<sub>WA</sub> には最大 8% の絶対抵抗値エラーが生じます。R<sub>WA</sub> 抵抗値は、最大抵抗値から始まって、ラッチにロードされたデータ値が増加するにつれて減少します。この動作の一般式は次のとおりです。

AD5122A:

$$D_{3I(6)} = \frac{128-6}{128} \times D_{34} + D_1 \quad 0x00 \sim 0x7F \quad (3)$$

AD5142A:

$$D_{3I(6)} = \frac{256-6}{256} \times D_{34} + D_1 \quad 0x00 \sim 0xFF \quad (4)$$

ここで、

D は、7 ビット/8 ビット分の RDAC レジスタのバイナリコードの 10 進法の値と等価です。

R<sub>AB</sub> は、抵抗体両端の抵抗値です。

R<sub>w</sub> は、ワイパー抵抗です。

本製品がリニア・ゲイン設定モードに設定されている場合は、W端子とA端子間の抵抗値は対応するRDACレジスタにロードされたコードと直接に比例します。この動作の一般式は次のとおりです。

AD5122A:

$$D_{3I}(G) = \frac{6}{128} \times D_{34} + D_I \quad 0x00 \sim 0x7F \quad (5)$$

AD5142A:

$$D_{3I}(G) = \frac{6}{256} \times D_{34} + D_I \quad 0x00 \sim 0xFF \quad (6)$$

ここで、

$D$ は、7ビット/8ビット分のRDACレジスタのバイナリコードの10進法の値と等価です。

$R_{AB}$ は、抵抗体両端の抵抗値です。

$R_w$ は、ワイパー抵抗です。

ボトムスケール設定もしくは、トップスケール設定では、上限の合計ワイパー抵抗値が40Ωになっています。どのような設定で本製品が動作しているかに関わらず、A端子とB端子間と、W端子とA端子間、W端子とB端子間の電流は、表5で規定されている最大連続電流かもしくは最大パルス電流で動作させて下さい。これを順守しないと、内部スイッチの接点の劣化や破壊が発生する可能性があります。

## ポテンショメータ・デバイダのプログラミング

### 電圧出力動作

デジタル・ポテンショメータは、図39に示す通り、ワイパー位置からA端子までと、ワイパー位置からB端子まで間の分圧器として、A端子からB端子までの入力電圧を分圧比に応じて配分します。

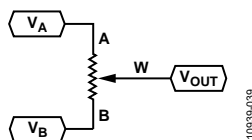


図39. ポテンショメータ・モードの構成

A端子に5Vを接続し、B端子をグラウンドに接続すると、ワイパーのW端子とB端子間の出力電圧を0Vから5Vの間に制御することができます。この時、A端子とB端子の入力電圧から得られるグラウンドに対する出力電圧  $V_w$  を計算する一般式は次の通りです。

$$H_I(G) = \frac{D_{4}(G)}{D_{34}} \times H_3 + \frac{D_{3I}(G)}{D_{34}} \times H_4 \quad (7)$$

ここで、

$R_{WB}(D)$  は、方程式1と2で得られます。

$R_{AW}(D)$  は、方程式3と4で得られます。

デジタル・ポテンショメータをデバイダ・モードで動作させると、全温度範囲にわたってより精度の高い動作となります。レオスタット・モードとは異なり、出力電圧は  $R_{WA}$  と  $R_{WB}$  の各内部抵抗の比に依存し絶対値ではありません。そのため、温度ドリフトは5ppm/°Cに低減します。

## 端子の動作電圧範囲

AD5122A/AD5142Aは、保護用の内部ESDダイオードを装備した設計となっています。これらのダイオードによって、端子の動作電圧の限界電圧を規定しています。例えば、A、B、W各端子に

$V_{DD}$ の電圧を上回る正側の信号があると、ダイオードが順方向にバイアスするためにクランプされます。 $V_A$ 、 $V_W$ 、 $V_B$ の各電圧には極性について制約はありませんが、その電圧は  $V_{DD}$  以上もしくは  $V_{SS}$  以下になってはいけません。

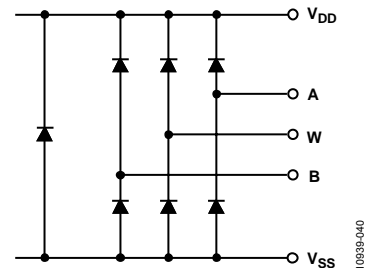


図40.  $V_{DD}$  と  $V_{SS}$  に設定される端子の最大・最小電圧

## 電源投入シーケンス

ダイオードがA、B、W各端子のコンプライアンス電圧を制限しているため(図40)、必ず  $V_{DD}$  の電源を投入してから、A、B、W各端子に電圧を印加してください。これを順守しないと、ダイオードが順方向にバイアスされ、そのために  $V_{DD}$  電源が意図せずオンとなり、システムに悪影響が及ぶおそれがあります。理想的な電源投入シーケンスは、 $V_{SS}$ 、 $V_{DD}$ 、 $V_{LOGIC}$ 、デジタル入力、そしてV、 $V_B$ 、および  $V_W$  の順序です。 $V_A$ 、 $V_B$ 、 $V_W$  と、デジタル入力の電源投入の順序は、 $V_{SS}$ 、 $V_{DD}$  と  $V_{LOGIC}$  の後になってさえいれば順不同でも問題ありません。電源投入シーケンスや電源の立ち上がり/立ち下り時間とは関係なく、一度、 $V_{DD}$  に電源が入ると、電源投入のプリセットが有効になり、EEPROMの内容がRDCAレジスタに反映されます。

## レイアウトと電源のバイパス処理

コンパクトで最小限のリード線の長さでレイアウト設計するのが良いとされています。入力までのリード線は、最小の導体長で可能な限り直線にします。グラウンド・パスの抵抗とインダクタンスを低く抑えることも必要です。また、高品質のコンデンサを使用して電源をバイパスすることも推奨します。トランジェントの影響を最小限に抑え、低周波リップルをフィルタ処理するために、等価直列抵抗(ESR)が低い1~10μFのタンタルまたは電解型のコンデンサを電源に外付けしてください。図41に、AD5122A/AD5142Aの基本的な電源のバイパス構成を示します。

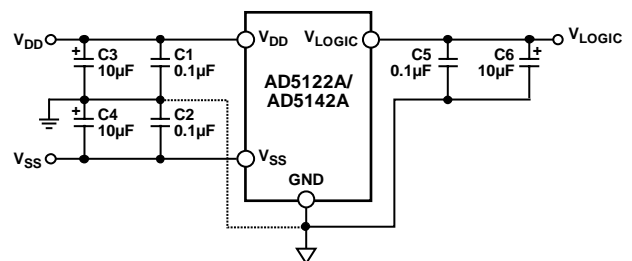
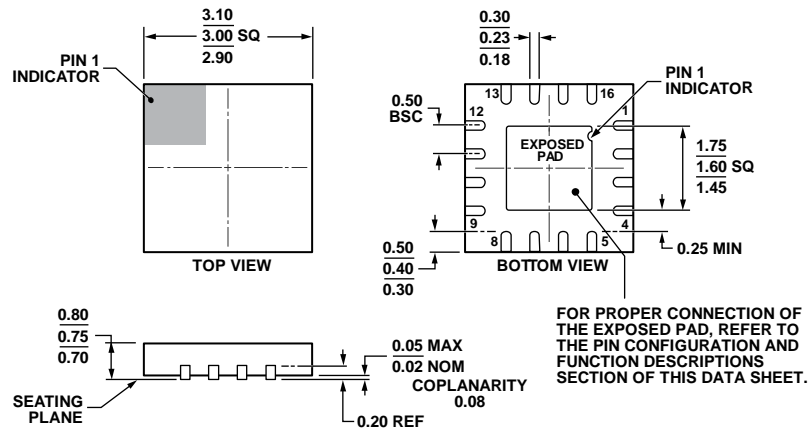


図41. 電源のバイパス処理

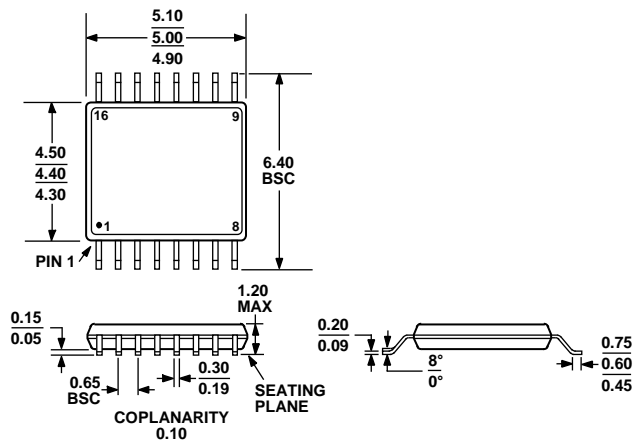
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

08-16-2010-E

☒ 42. 16-Lead Lead Frame Chip Scale Package [LFCSP\_WQ]  
 3mm × 3mm Body, Very Very Thin Quad  
 (CP-16-22)  
 Dimensions shown in millimeters



COMPLIANT TO JEDEC STANDARDS MO-153-AB

☒ 43. 16-Lead Thin Shrink Small Outline Package [TSSOP]  
 (RU-16)  
 Dimensions shown in millimeters

## オーダー・ガイド

モデル <sup>1, 2</sup>	R <sub>AB</sub> (kΩ)	分解能	インターフェース	動作温度範囲	パッケージの説明	パッケージ・オプション	マーキング
AD5122ABCPZ10-RL7	10	128	I <sup>2</sup> C	-40~+125°C	16-Lead LFCSP_WQ	CP-16-22	DHA
AD5122ABCPZ100-RL7	100	128	I <sup>2</sup> C	-40~+125°C	16-Lead LFCSP_WQ	CP-16-22	DHG
AD5122ABRUZ10	10	128	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
AD5122ABRUZ100	100	128	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
AD5122ABRUZ10-RL7	10	128	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
AD5122ABRUZ100-RL7	100	128	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
AD5142ABCPZ10-RL7	10	256	I <sup>2</sup> C	-40~+125°C	16-Lead LFCSP_WQ	CP-16-22	DH7
AD5142ABCPZ100-RL7	100	256	I <sup>2</sup> C	-40~+125°C	16-Lead LFCSP_WQ	CP-16-22	DH4
AD5142ABRUZ10	10	256	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
AD5142ABRUZ100	100	256	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
AD5142ABRUZ10-RL7	10	256	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
AD5142ABRUZ100-RL7	100	256	I <sup>2</sup> C	-40~+125°C	16-lead TSSOP	RU-16	
EVAL-AD5142ADBZ					評価用ボード		

<sup>1</sup> Z = RoHS 対応標準品<sup>2</sup> この評価ボードには、10kΩR<sub>AB</sub>抵抗オプションが付属していますが、ボードは、両方の抵抗値オプションと互換性があります。