

特長

- 4 mA~20 mA、0 mA~20 mA または 0 mA~24 mA の電流出力
- 16 ビットの分解能と単調性
- 積分非直線性: 最大±0.012%
- オフセット: 最大±0.05% (調整可能)
- 総合出力誤差: 最大±0.15% (調整可能)
- 柔軟なシリアル・デジタル・インターフェース (3.3 MBPS)
- 内部ループ故障検出
- 5 V リファレンス電圧を内蔵 (25 ppm/°C max)
- 非同期 CLEAR 機能
- 最大電源範囲: 32 V
- 出力ループ・コンプライアンス: 0 V~V_{CC} - 2.75 V
- 24 ピンの SOIC または PDIP パッケージを採用

機能ブロック図

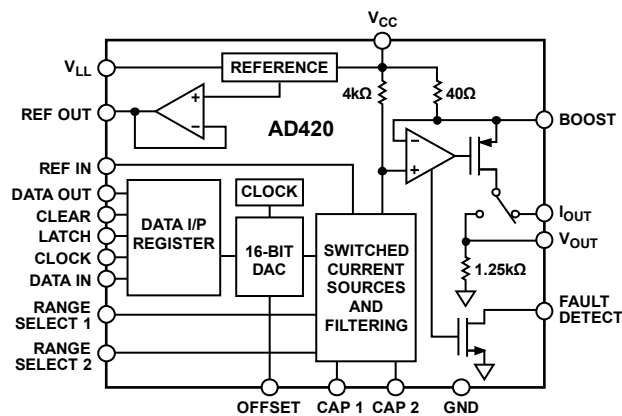


図 1.

概要

AD420 は、工業用制御マーケットのニーズを対象としてデザインされたデジタル/電流ループ出力コンバータです。高精度フル統合低価格で電流ループ信号を発生する小型 24 ピン SOIC または PDIP パッケージを採用したシングルチップ・ソリューションです。

出力電流範囲は、4 mA~20 mA、0 mA~20 mA またはオーバーレンジ機能の 0 mA~24 mA に設定することができます。AD420 は代わりに別のピンから電圧を出力することができ、この電圧は外付けバッファ・アンプを 1 個追加するだけで 0 V~5 V、0 V~10 V、±5 V、または ±10 V に設定することができます。

3.3 M ボーのシリアル入力ロジック・デザインの採用により、電流アイソレーション・コストが削減されるため、一般に使われているマイクロプロセッサに対してシンプルな接続が可能です。3 線式または非同期モードでの使用が可能で、シリアル出力ピンを設けてあるため、複数の DAC をアイソレーション障壁の電流ループ側でデジチェーン接続することができます。

AD420 ではシグマ・デルタ (Σ-Δ) DAC 技術を採用して非常に低い価格で 16 ビット単調性を実現しています。0.1%へのフルスケール・セットリングは 3 ms 以内です。必要な唯一の外付け部品 (通常の過渡保護回路の他に)は、DAC 出力フィルタで使用される 2 個の低価格コンデンサだけです。

AD420 を限界の温度と電源電圧で使用する場合、BOOST ピンに外付け出力トランジスタを接続してチップ内の消費電力を削減することができます。ループが断線した場合は、FAULT DETECT ピンがこれを表示します。内蔵リファレンス電圧を使って、高精度 +5 V を AD420 とは別の外付け部品に供給することができます。あるいは、25 ppm/°C を超える温度安定性が必要な場合には、AD586 のような外付け高精度リファレンスをリファレンス電圧として使うこともできます。AD420 は、24 ピン

SOIC または PDIP パッケージを採用し、-40°C~+85°C の工業用温度範囲で動作します。

製品のハイライト

- AD420 は、電流ループのコントローラ端で 4 mA~20 mA または 0 mA~20 mA の信号を発生するシングル・チップ・ソリューションです。
- AD420 の電源範囲規定は 12 V~32 V です。出力ループ・コンプライアンスは 0 V~V_{CC} - 2.75 V です。
- 柔軟なシリアル入力は、SPI®または MICROWIRE® マイクロコントローラに対して 3 線式モードで、または所要制御信号数が最小な非同期モードで、それぞれ使用することができます。
- シリアル・DATA OUT ピンを使って任意数の AD420 を 3 線式モードでデジチェーン接続することができます。
- パワーアップ時に、AD420 は出力を選択した範囲の下限値に初期化します。
- AD420 には非同期 CLEAR ピンがあり、このピンを使って出力を選択した範囲の下限値 (0 mA、4 mA、または 0 V)に設定することができます。
- AD420 の BOOST ピンには、チップの消費電力を外部に振り分けるために外付けトランジスタを接続することができます。
- ±0.05%のオフセットと±0.15%の総合出力誤差は、必要に応じて、2 個の外付けポテンショメータを使って調整することができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©1999-2011 Analog Devices, Inc. All rights reserved.

Rev. H

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	誘導負荷の駆動.....	10
機能ブロック図.....	1	電圧モード出力.....	10
概要.....	1	オプション・スパンとゼロ調整.....	10
製品のハイライト.....	1	3線式インターフェース.....	11
改訂履歴.....	2	故障検出付きでの複数 DAC の使用.....	11
仕様.....	3	フォトカプラーを使用した非同期インターフェース.....	11
絶対最大定格.....	5	マイクロプロセッサ・インターフェース.....	12
ESD の注意.....	5	AD420 と MC68HC11 (SPI バス) との間のインターフェース.....	12
ピン配置およびピン機能説明.....	6	AD420 と MICROWIRE とのインターフェース.....	12
タイミング条件.....	7	外付けブースト機能.....	13
3線式インターフェース.....	7	AD420 の保護機能.....	14
デジタル入力での 3線式インターフェースの高速なエッジ.....	7	過渡電圧保護.....	14
非同期インターフェース.....	7	ボード・レイアウトとグラウンド接続.....	14
用語.....	8	電源とデカップリング.....	14
動作原理.....	9	外形寸法.....	15
アプリケーション情報.....	10	オーダー・ガイド.....	15
電流出力.....	10		

改訂履歴

1/11—Rev. G to Rev. H

Changes to Figure 13.....	13
Changes to Ordering Guide.....	15
11/09—Rev. F to Rev. G	
Updated Format.....	Universal
Changes to Table 2.....	5
Updated Outline Dimensions.....	15
Changes to Ordering Guide.....	15

9/99—Rev. E to Rev. F

仕様

特に指定がない限り、 $T_A = T_{MIN} - T_{MAX}$ 、 $V_{CC} = +24\text{ V}$ 。

表 1.

Parameter	AD420-32 Version			Units	Comments	
	Min	Typ	Max			
RESOLUTION	16			Bits		
I_{OUT} CHARACTERISTICS						
Operating Current Ranges	4		20	mA	$R_L = 500\ \Omega$	
	0		20	mA		
	0		24	mA		
Current Loop Voltage Compliance	0		$V_{CC} - 2.75\text{ V}$	V		
Settling Time (to 0.1% of FS) ¹		2.5	3	ms		
Output Impedance (Current Mode)		25		M Ω		
Accuracy ²						
Monotonicity	16			Bits		
Integral Nonlinearity		± 0.002	± 0.012	%		
Offset (0 mA or 4 mA) ($T_A = +25^\circ\text{C}$)			± 0.05	%		
Offset Drift		20	50	ppm/ $^\circ\text{C}$		
Total Output Error (20 mA or 24 mA) ($T_A = +25^\circ\text{C}$)			± 0.15	%		
Total Output Error Drift		20	50	ppm/ $^\circ\text{C}$		
PSRR ³		5	10	$\mu\text{A/V}$		
V_{OUT} CHARACTERISTICS						
FS Output Voltage Range (Pin 17)	0		5	V		
VOLTAGE REFERENCE						
REF OUT						
Output Voltage ($T_A = +25^\circ\text{C}$)	4.995	5.0	5.005	V		
Drift			± 25	ppm/ $^\circ\text{C}$		
Externally Available Current		5		mA		
Short Circuit Current		7		mA		
REF IN						
Resistance		30		k Ω		
V_{LL}						
Output Voltage		4.5		V		
Externally Available Current		5		mA		
Short Circuit Current		20		mA		
DIGITAL INPUTS						
V_{IH} (Logic 1)	2.4			V		
V_{IL} (Logic 0)			0.8	V		
I_{IH} ($V_{IN} = 5.0\text{ V}$)			± 10	μA		
I_{IL} ($V_{IN} = 0\text{ V}$)			± 10	μA		
Data Input Rate (3-Wire Mode)	No Minimum		3.3	MBPS		
Data Input Rate (Asynchronous Mode)	No Minimum		150	KBPS		
DIGITAL OUTPUTS						
FAULT DEFECT						
V_{OH} (10 k Ω Pull-Up Resistor to V_{LL})	3.6	4.5		V		
V_{OL} (10 k Ω Pull-Up Resistor to V_{LL})		0.2	0.4	V		

Parameter	AD420-32 Version			Units	Comments
	Min	Typ	Max		
V_{OL} @ 2.5 mA		0.6		V	
DATA OUT					
V_{OH} ($I_{OH} = -0.8$ mA)	3.6	4.3		V	
V_{OL} ($I_{OL} = 1.6$ mA)		0.3	0.4	V	
POWER SUPPLY					
Operating Range V_{CC}	12		32	V	
Quiescent Current		4.2	5.5	mA	
Quiescent Current (External V_{LL})		3		mA	
TEMPERATURE RANGE					
Specified Performance	-40		+85	°C	

¹ 外付けコンデンサの選択は、図 6 のように行う必要があります。

² 総合出力誤差にはオフセット誤差とゲイン誤差が含まれます。総合出力誤差とオフセット誤差はフルスケール出力を基準とし、理想的な+5 V リファレンス電圧で測定されます。内蔵リファレンス電圧を使う場合には、リファレンス誤差をオフセット誤差と総合出力誤差に加算する必要があります。

³ PSRR は、 V_{CC} を 12 V から最大値 32 V まで変化させて測定します。

絶対最大定格

表 2.

Parameter	Rating
V_{CC} to GND	32 V
I_{OUT} to GND	V_{CC}
Digital Inputs to GND	-0.5 V to +7 V
Digital Output to GND	-0.5 V to $V_{LL} + 0.3$ V
V_{LL} and REF OUT: Outputs Safe for Indefinite Short to Ground	
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	+300°C
Lead Temperature, Soldering Reflow	+260°C
Thermal Impedance:	
SOIC (R) Package	$\theta_{JA} = 75^{\circ}\text{C}/\text{W}$
PDIP (N) Package	$\theta_{JA} = 50^{\circ}\text{C}/\text{W}$

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 3.真理値表

Inputs			Operation
CLEAR	Range Select 2	Range Select 1	
0	X	X	Normal operation
1	X	X	Output at bottom of span
X	0	0	0 V–5 V range
X	0	1	4 mA–20 mA range
X	1	0	0 mA–20 mA range
X	1	1	0 mA–24 mA range

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

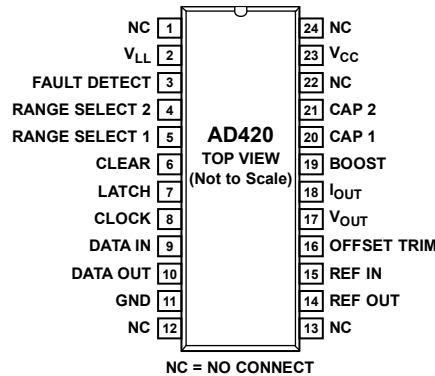


図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	機能
1、12、13、24	NC	未接続。内部デバイスでは接続なし。
2	V _{LL}	+4.5 V のバッファ付き補助デジタル・ロジック電圧。このピンは内部でデジタル回路の電源電圧になっており、プルアップ抵抗の終端として使用することができます。外付け +5 V 電源を V _{LL} に接続することができます。このバッファ付き電圧を上書きすることができるため、内部消費電力が削減されます。V _{LL} ピンは 0.1 μF のコンデンサで GND へデカップリングする必要があります。電源とデカップリングのセクションを参照してください。
3	FAULT DETECT	プルアップ抵抗に接続される FAULT DETECT は、出力電流が DAC に設定した値に一致しないとき(例えば電流ループが断線)、ロー・レベルにアサートされます。
4	RANGE SELECT 2	コンバータの出力動作範囲を選択します。1 つの出力電圧範囲と 3 つの出力電流範囲が使用できます。
5	RANGE SELECT 1	
6	CLEAR	
7	LATCH	有効な V _{IH} により、無条件に出力が設定済み範囲の最小値に設定されます。CLEAR が解除された後も、DAC 出力はこの値を維持します。入力レジスタのデータは影響を受けません。
8	CLOCK	データ・クロック入力。3 線式インターフェース・モードでは、LATCH を電流制限抵抗を介して V _{CC} へ接続します。
9	DATA IN	データ・クロック入力。3 線式インターフェース・モードでは、クロック周期は入力データ・ビット・レートに一致し、非同期モードではビット・レートの 16 倍になります。
10	DATA OUT	シリアル・データ入力。
11	GND	シリアル・データ出力。3 線式インターフェース・モードでは、複数の AD420 をディジーチェーン接続するときにこの出力を使うことができます。非同期モードでは、ストップ・ビットを受信した後に正パルスでフレーム・エラーを表示します。
14	REF OUT	グラウンド(コモン)。
15	REF IN	+5 V リファレンス電圧出力。
16	OFFSET TRIM	リファレンス入力。
17	V _{OUT}	オフセット調整。
18	I _{OUT}	電圧出力。
19	BOOST	電流出力。
20	CAP 1	必要に応じて、外付けトランジスタを接続して、AD420 の出力トランジスタで消費される電力を削減します。
21	CAP 2	これらのピンは内部フィルタで使用します。これらの各ピンと V _{CC} の間にコンデンサを接続します。
22	NC	電流出力動作の説明を参照してください。
23	V _{CC}	未接続。このピンには何も接続しないでください。
		電源入力。V _{CC} ピンは 0.1 μF のコンデンサで GND へデカップリングする必要があります。電源とデカップリングのセクションを参照してください。

タイミング条件

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $V_{CC} = +12\text{ V} \sim +32\text{ V}$ 。

3 線式インターフェース

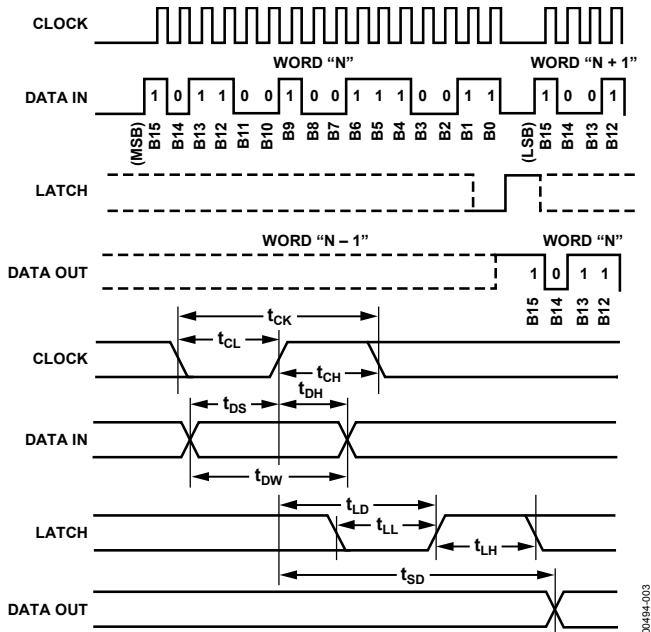


図 3.3 線式インターフェースのタイミング図

表 5.3 線式インターフェースのタイミング規定

Parameter	Label	Limit	Units
Data Clock Period	t_{CK}	300	ns min
Data Clock Low Time	t_{CL}	80	ns min
Data Clock High Time	t_{CH}	80	ns min
Data Stable Width	t_{DW}	125	ns min
Data Setup Time	t_{DS}	40	ns min
Data Hold Time	t_{DH}	5	ns min
Latch Delay Time	t_{LD}	80	ns min
Latch Low Time	t_{LL}	80	ns min
Latch High Time	t_{LH}	80	ns min
Serial Output Delay Time	t_{SD}	225	ns max
Clear Pulse Width	t_{CLR}	50	ns min

デジタル入力での 3 線式インターフェースの高速なエッジ

シリアル入力 (CLOCK、DATA IN、LATCH) の内の 1 つに高速な立上がりエッジ (<10 ns) があり、同時に別の入力がロジック・ハイの場合、デバイスでテスト・モードが開始されるため、データ・レジスタの値が壊れてしまいます。このため、出力に正しくない値がロードされます。デジタル入力ラインに高速エッジの発生が予想される場合には、DAC のシリアル・ロード中にラッチ・ラインをロジック 0 に維持することが推奨されます。同様に、ラッチ・ピンを使って DAC を更新する間、クロック・ラインをロー・レベルに維持する必要があります。あるいは、デジタル・ラインに小さい値のコンデンサを接続すると、エッジを低速することができます。

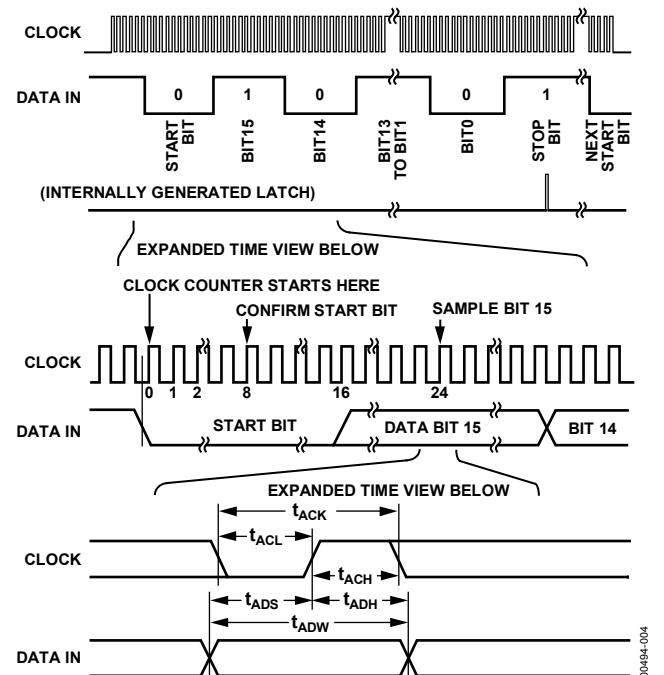


図 4.非同期インターフェースのタイミング図

表 6.非同期インターフェースのタイミング規定

Parameter	Label	Limit	Units
Asynchronous Clock Period	t_{ACK}	400	ns min
Asynchronous Clock Low Time	t_{ACL}	50	ns min
Asynchronous Clock High Time	t_{ACH}	150	ns min
Data Stable Width (Critical Clock Edge)	t_{ADW}	300	ns min
Data Setup Time (Critical Clock Edge)	t_{ADS}	60	ns min
Data Hold Time (Critical Clock Edge)	t_{ADH}	20	ns min
Clear Pulse Width	t_{CLR}	50	ns min

非同期インターフェース

非同期動作モードのタイミング図では、各データ・ワードが START (0) ビットと STOP (1) ビットによりフレーム化されていることに注意してください。データ・タイミングは、各ビット・セルの中央の CLOCK 立上がりエッジを基準とします。各ビット・セルは 16 クロック長で、START ビットの前縁 (立下がり) エッジの後ろの、最初のクロックで先頭セル (START ビット) が開始されます。このため、MSB (D15) は START ビットの開始から 24 クロック・サイクル後にサンプルされ、D14 は 40 番目のクロックでサンプルされ、以後同様に続きます。次のワードの書込みの前のすべてのデッドタイムで、DATA IN ピンはロジック 1 を維持する必要があります。

STOP ビットが受信されたとき、DAC 出力が更新されます。フレーム・エラー (STOP ビットが 0 としてサンプルされる) の場合、AD420 は STOP ビットのサンプリングに続くクロック周期に、DATA OUT ピンに 1 クロック周期幅のパルスを出力します。フレーム・エラーが検出された場合、DAC 出力は更新されません。

用語

分解能

16 ビット分解能の場合、1 LSB = FSR の 0.0015%。4 mA～20 mA 範囲では 1 LSB = 244 nA。

積分非直線性

アナログ・デバイセズでは、積分非直線性を理論アナログ出力 (0 と FS - 1 LSB を結ぶ直線) からの、任意のビット組み合わせにおける実際の調整済み DAC 出力の最大偏差と定義しています。これは相対精度とも呼ばれています。

微分非直線性

微分非直線性は、デジタル入力コードの 1 LSB 変化に対応するアナログ出力変化をフルスケールで正規化した値です。単調動作では、注目の温度範囲で微分直線性誤差が -1 LSB より大きい必要があります。

単調性

デジタル入力の増加に対して出力が増加または一定を維持して、出力が常に入力の一意関数である場合、この DAC は単調であるといえます。

ゲイン誤差

ゲイン誤差は、全ビット 1 をロードしてオフセット誤差を調整した後の実際のデバイス出力と理論 DAC との間の出力誤差を意味します。

オフセット誤差

オフセット誤差は、全ビット 0 を DAC へロードしたときのフルスケール出力のパーセント値として表した出力電流と理論値との差を意味します。

ドリフト

ドリフトとは、規定温度範囲でのパラメータ (ゲインやオフセットなど) の変化です。ppm/°C 値で規定されるドリフト温度係数は、 T_{MIN} 、25°C、 T_{MAX} でパラメータを測定して、パラメータ変化に対応する温度変化で除算して計算されます。

電流ループ電圧コンプライアンス

電圧コンプライアンスは、出力電流が設定値に一致するときの I_{OUT} ピンの最大電圧です。

動作原理

AD420 ではシグマ・デルタ ($\Sigma\text{-}\Delta$) アーキテクチャを使って D/A 変換を行っています。このアーキテクチャは特に工業用制御環境での比較的狭い帯域幅要求に適しています。これは高分解能での単調性がこのアーキテクチャに元々備わっているためです。

AD420 では、2 次変調器を使って複雑さとチップ・サイズを小さくしています。変調器からのシングル・ビット・ストリームが電流源の切り替えを制御し、その後で連続時間抵抗コンデンサの 2 つのセクションによりフィルタ処理されます。コンデンサだけが唯一の外付け部品で、標準的な電流出力動作のために接続する必要があります。フィルタ処理された電流が増幅され、グラウンドに対して 4 mA~20 mA、0 mA~20 mA、または 0 mA~24 mA の電流源出力がアプリケーションで得られるように電源レールに反映されます。AD420 は BiCMOS プロセスで製造されています。この製造プロセスは高性能で高電圧のアナログ回路を持つ低電圧デジタル・ロジックの実現に適しています。

また、AD420 は必要に応じて電流ループ出力の代わりに電圧を出力することもできます。外付けアンプを 1 個接続すると、0 V~5 V、0 V~10 V、 ± 5 V、または ± 10 V を出力することができます。

AD420 はループ故障検出回路を内蔵しています。この回路は、ループ回路の断線または電源電圧不足のため I_{OUT} の電圧がコンプライアンス範囲を超えそうなときに、警告を発生します。FAULT DETECT はアクティブ・ローのオープン・ドレイン信号であるため、複数の AD420 を 1 本のプルアップ抵抗に接続して、グローバル故障検出を行うことができます。プルアップ抵抗は V_{LL} ピン、または外付け +5 V ロジック電源に接続することができます。

I_{OUT} 電流は、PMOS トランジスタと内蔵アンプから制御されます(機能ブロック図参照)。故障出力を発生する内部回路では、ウィンドウ制限機能を持つコンパレータの使用を回避しています。これを使用すると、実際にエラーが出力されてしまった後に FAULT DETECT 出力がアクティブになるためです。その代わりに、AD420 出力ステージの内蔵アンプが駆動能力の約 1V 下になったとき(出力 PMOS トランジスタのゲートがグラウンドに近づいたとき)、信号を発生します。このため、FAULT DETECT 出力はコンプライアンス規定値に到達する少し前にア

クティブになります。出力アンプの帰還ループ内で比較が行われるため、出力精度はオープン・ループ・ゲインにより維持されるので、故障検出力がアクティブになる前に出力エラーが発生されることはありません。

3 線式デジタル・インターフェースは DATA IN、CLOCK、LATCH から構成され、外付けロジックの追加なしで広く採用されているシリアル・マイクロプロセッサにインターフェースすることができます。データは CLOCK の制御下で入力レジスタにロードされ、LATCH の立上がりで DAC ヘロードされます。元々安全なアプリケーションで電流アイソレータの数を少なくしたい場合には、AD420 を非同期モードに設定することができます。LATCH ピンを電流制限抵抗を介して V_{CC} へ接続すると、このモードが選択されます。その場合、データにスタート・ビットとストップ・ビットを追加して、情報をフレーム化し、内部 LATCH 信号を発生させる必要があります。

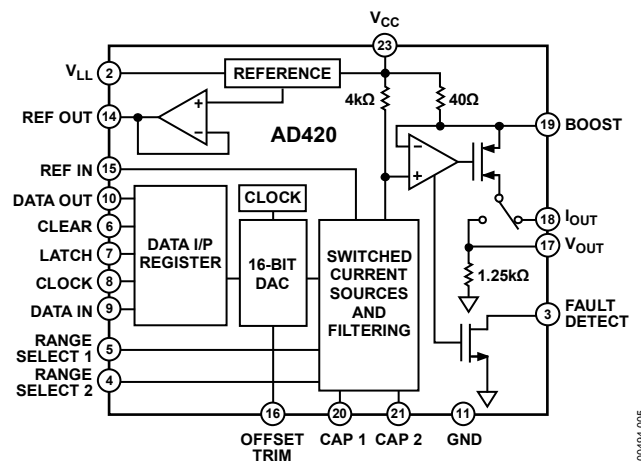


図 5.機能ブロック図

00494-005

アプリケーション情報

電流出力

AD420 はアクティブな外付け部品なしで、4 mA～20 mA、0 mA～20 mA、または 0 mA～24 mA を出力することができます。フィルタ・コンデンサ C1 と C2 は、任意のタイプの低価格セラミック・コンデンサにすることができます。規定のフルスケール・セトリング時間 3 ms を満たすためには、低誘電吸収コンデンサ (NPO)が必要です。適する値は、C1 = 0.01 μ F と C2 = 0.01 μ F です。

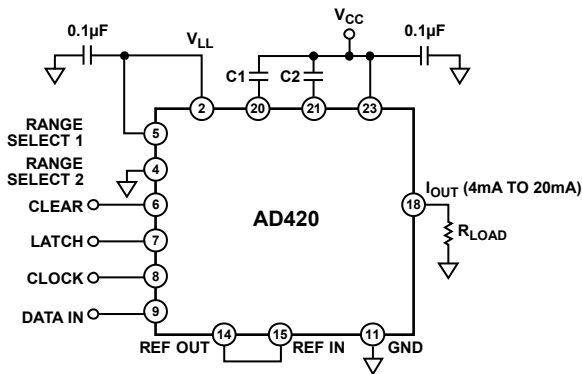


図 6.標準構成

誘導負荷の駆動

誘導負荷または低品質負荷を駆動する場合は、 I_{OUT} (ピン 18)と GND (ピン 11)の間に 0.01 μ F コンデンサを接続してください。これにより、50 mH を超える負荷を持つ AD420 の安定性が強化されます。最大容量の制限はありません。負荷の容量成分によりセトリングが低速になることがあります。AD420 のセトリング時間によりマスクすることができます。電流に設定した変化が発生すると、出力に AD420 のコンプライアンスを超える逆 EMF 電圧が発生することがあります。この電圧が電源レールを超えるのを防止するため、 I_{OUT} および各 V_{CC} と GND との間に保護ダイオードを接続してください。

電圧モード出力

AD420 は単電源デバイスであるため、外付けバッファ・アンプを V_{OUT} ピンに接続してバイポーラ出力電圧範囲を選択できるようにする必要があります(図 7参照)。

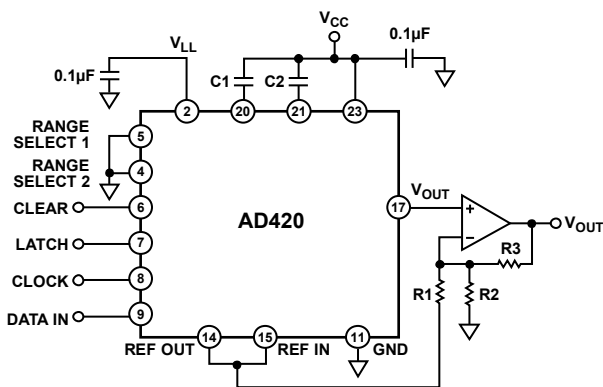


図 7.

表 7.バッファ・アンプの構成

R1	R2	R3	V_{OUT}
Open	Open	0	0 V - 5 V
Open	R	R	
R	Open	R	± 5 V
R	2R	2R	± 10 V

適する R = 5 k Ω .

オプション・スパンとゼロ調整

オフセット誤差とゲイン誤差の規定値を低くしたいユーザーのために、図 8にこれらのパラメータを調整する簡単な方法を示します。低ドリフト抵抗の選択はDACの温度ドリフト性能に影響を与えるため慎重に行う必要があります。

調整アルゴリズムは繰り返的です。AD420 を 4 mA～20 mA モードで調整する手順を次に示します。

1. オフセットの調整。全ビット 0 をロードします。出力電流 4.00000 mA になるように RZERO を調整します。
2. ゲインの調整。全ビット 1 をロードします。出力電流 19.99976 mA (FS - 1 LSB)になるように RSPAN を調整します。

ステップ I に戻り、収束するまで繰り返します。

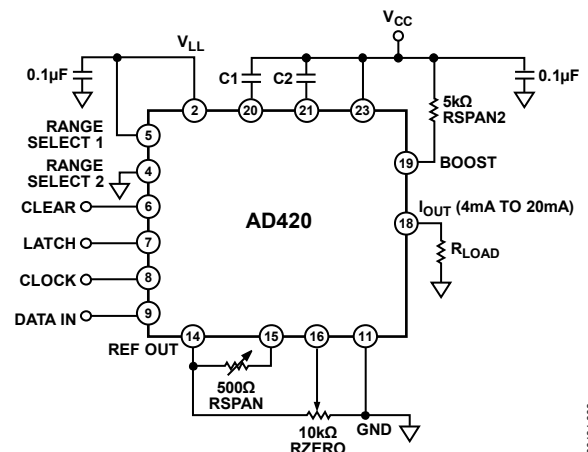


図 8.オフセットとゲインの調整

REF OUT (5 V)と GND との間で RZERO を変化させると、-1.5 mA～6 mA のオフセット調整範囲(1 V 中心の 1.5 mA/V)になります。

5 k Ω の RSPAN2 抵抗を内部 40 W 検出抵抗と並列に接続すると、+0.8%のゲイン増になります。

RSPAN を 500 Ω に変更すると、REF IN 電圧は RSPAN と 30 k Ω REF IN 入力抵抗の組み合わせにより小さくなります。RSPAN2 と一緒に追加すると、-0.8%～+0.8%の調整範囲が得られます。

3 線式インターフェース

図 9 に、3 線式インターフェース・モードで接続された AD420 を示します。AD420 のデータ入力ブロックには、シリアル入力シフトレジスタとパラレル・ラッチがあります。シフトレジスタ値は、DATA IN 信号と CLOCK の立上がりエッジにより制御されます。LATCH ピンに要求があると、DAC と内部ラッチはシフトレジスタ・パラレル出力により更新されます。CLOCK は、DAC が更新される間非アクティブを維持する必要があります。3 線式インターフェースのタイミング条件を参照してください。

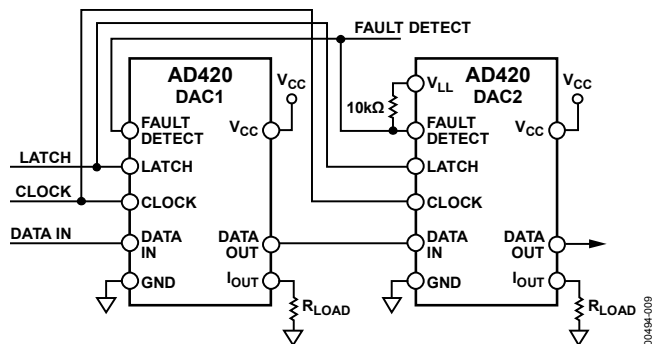


図 9. 複数の DAC で統合故障検出を行う 3 線式インターフェース

故障検出付きでの複数 DAC の使用

3 線式インターフェース・モードでは、複数 DAC のインターフェースを簡素化するためにシリアル・データ出力を使用することができます。図 9 に示す 2 個の AD420 を設定するためには、32 データ・ビットが必要です。最初の 16 ビットが DAC1 の入力シフトレジスタに入力されます。送信される次の 16 ビットにより、DAC1 の DATA OUT ピンから DAC2 の入力レジスタへ最初の 16 ビットが渡されます。2 個の DAC の入力シフトレジスタは、1 個の 32 ビット・シフトレジスタのように動作し、最初の 16 ビットは DAC2 の情報を、後ろの 16 ビットは DAC1 の情報を、それぞれ表します。その後、各 DAC は LATCH ピンの要求で更新されます。ディジーチェーン接続は必要な DAC 数だけ拡張することができます。

フォトカプラーを使用した非同期インターフェース

フォトカプラーを使って非同期インターフェース・モードで接続された AD420 を図 10 に示します。非同期動作では、制御ループからデジタル・システムをアイソレーションするために必要な制御信号数を少なくすることができます。LATCH ピンと V_{CC} の間に接続する抵抗は、このモードを開始するために必要です。18 V より低い V_{CC} での動作では、50 k Ω のプルアップ抵抗を使用してください。18 V ~ 32 V で、100 k Ω を使用してください。

非同期モードでは、データ・ビット・レートの 16 倍でクロックが動作する必要があるため、150 kbps の最大入力データ・レートで動作するためには、2.4 MHz の入力クロックが必要です。実現できる実際のデータ・レートは、選択するフォトカプラーのタイプにより制限されます。制御信号数は、アイソレーション障壁の電流ループ側で該当するクロック信号を発生すると、さらに削減することができます。比較的低速の立上がり時間と立下がり時間を持つフォトカプラーを使用する場合には、デジタル入力にシュミット・トリガを使うと、DAC へ誤データを入力することを防止することができます。

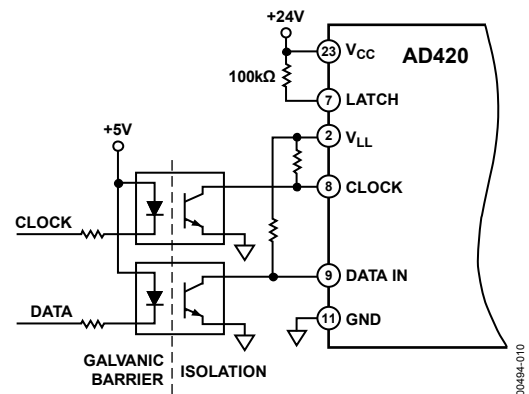


図 10. フォトカプラーを使用した非同期インターフェース

マイクロプロセッサ・インターフェース

AD420 と MC68HC11 (SPIバス) との間のインターフェース

Motorola 社のシリアル・ペリフェラル・インターフェース (SPI) に対する AD420 のインターフェースを図 11 に示します。HC11 の MOSI、SCK、 \overline{SS} の各ピンは、それぞれ AD420 の DATA IN、CLOCK、LATCH の各ピンに接続されます。インターフェースの主な仕事は、ソフトウェアの初期化で行われます。下に示すような代表的なルーチンでは、種々の SPI データやコントロール・レジスタの状態を初期化することから開始されます。

```

INIT      LDAA    #$2F          ;  $\overline{SS}$  = 1; SCK = 0; MOSI
          ; = 1
          STAA   PORTD        ; SEND TO SPI OUTPUTS
          LDAA   #$38          ;  $\overline{SS}$ , SCK, MOSI =
          ; OUTPUTS
          STAA   DDRD          ; SEND DATA DIRECTION
          ; INFO
          LDAA   #$50          ; DABL INTRPTS, SPI IS
          ; MASTER & ON
          STAA   SPCR          ; CPOL = 0, CPHA = 0,
          ; 1MHZ BAUDRATE
NEXTTPT   LDAA   MSBY          ; LOAD ACCUM W/UPPER 8
          ; BITS
          BSR    SENDAT        ; JUMP TO DAC OUTPUT
          ; ROUTINE
          JMP    NEXTTPT       ; INFINITE LOOP
SENDAT    LDY    #$1000        ; POINT AT ON-CHIP
          ; REGISTERS
          BCLR   $08,Y,$20     ; DRIVE  $\overline{SS}$  (LATCH) LOW
          STAA   SPDR          ; SEND MS-BYTE TO SPI
          ; DATA REG
WAIT1     LDAA   SPSR          ; CHECK STATUS OF SPIE
          BPL    WAIT1         ; POLL FOR END OF X-
          ; MISSION
          LDAA   LSBY          ; GET LOW 8 BITS FROM
          ; MEMORY
          STAA   SPDR          ; SEND LS-BYTE TO SPI
          ; DATA REG
WAIT2     LDAA   SPSR          ; CHECK STATUS OF SPIE
          BPL    WAIT2         ; POLL FOR END OF X-
          ; MISSION
          BSET   $08,Y,$20     ; DRIVE  $\overline{SS}$  HIGH TO LATCH
          ; DATA
          RTS

```

SPI データ・ポートは、8 ビット・バイトのデータを処理するように設定されます。最上位データ・バイト (MSBY) がメモリから取得され、SENDAT ルーチンにより処理されます。PORTD データ・レジスタを指定し、クリア・ビット 5 により、 \overline{SS} ピンがロー・レベルに駆動されます。次に MSBY は SPI データ・レジスタへ転送されて、そこで AD420 内部シフトレジスタへ自動的に転送されます。HC11 は、立上がりエッジでデータが有効となる、必要な 8 クロック・パルスを発生します。MSBY が転送された後、最下位バイト (LSBY) がメモリからロードされ、同様に転送されます。転送を終了するために、16 ビット・ワード全体を AD420 にロードしたとき LATCH ピンをハイ・レベルへ駆動します。

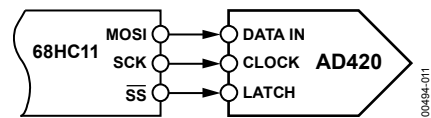


図 11. AD420 と MC68HC11 (SPI) との間のインターフェース

AD420 と MICROWIRE とのインターフェース

AD420 の柔軟なシリアル・インターフェースは、National Semiconductor 社の MICROWIRE インターフェースとも互換性があります。MICROWIRE インターフェースは、COP400 シリーズや COP800 シリーズのプロセッサのようなマイクロコントローラで使用されています。MICROWIRE インターフェースを使用する一般的なインターフェースを図 12 に示します。MICROWIRE インターフェースの G1、SK、SO の各ピンは、それぞれ AD420 の LATCH、CLOCK、DATA IN の各ピンに接続されます。

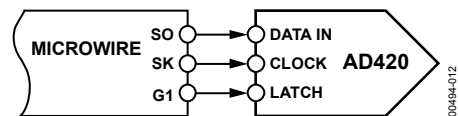


図 12. AD420 と MICROWIRE とのインターフェース

外付けブースト機能

外付けブースト・トランジスタを使うと、内蔵出力トランジスタに流入する電流を減らすことにより（外付け回路の電流ゲインでこの電流を除算）、AD420 内の消費電力を削減することができます。ブレークダウン電圧 V_{CE0} が 32 Vより大きいディスクリート NPN トランジスタを使うことができます(図 13参照)。

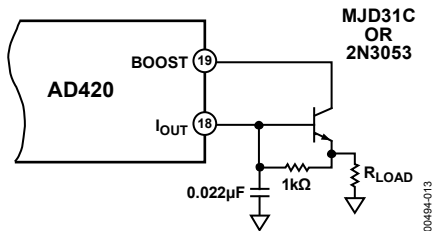


図 13.外付けブースト構成

外付けブースト機能は、SOIC パッケージのAD420 を電源電圧、負荷電流、温度範囲の限界で使用したいユーザのために開発されました。PDIP パッケージ（低熱抵抗）は、ブースト・トランジスタなしで、電圧、温度、負荷電流の全規定範囲で安全に動作します。図 14のプロットに、両パッケージ・タイプの安全な動

作領域を示します。ブースト・トランジスタは、デバイス内で発生する温度ドリフトを削減するためにも使用することができます。これにより内蔵リファレンス電圧の温度ドリフトが小さくなるため、ドリフトと直線性が改善されます。

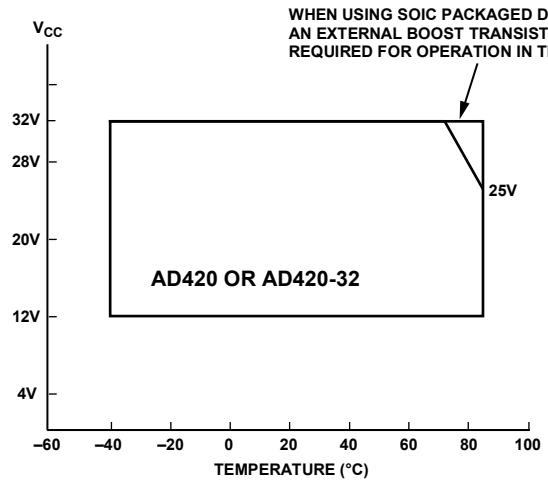


図 14.安全動作領域

AD420の保護機能

過渡電圧保護

AD420 はESD 保護ダイオードを内蔵して、通常の取り扱いによる損傷を防止していますが、工業用制御環境では、I/O 回路が大きな過渡電圧に遭遇することがあります。IEC 801 の規定のような高い過渡電圧からAD420 を保護するため、外付けパワー・ダイオードやサージ電流制限抵抗が必要となることがあります(図15参照)。抵抗の条件は、通常動作で I_{OUT} の出力電圧レベルが電圧コンプライアンス規定値以内にあることです。

$$(I_{OUT} \times (R_p + R_{LOAD}) \leq V_{CC} - 2.75 V)$$

さらに、2 本の保護ダイオードと抵抗は適切な電力定格を持っている必要があります。

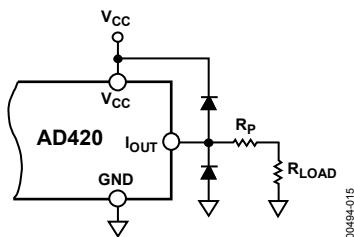


図 15. 出力過渡電圧保護機能

ボード・レイアウトとグラウンド接続

GND と表示されている AD420 のグラウンド・ピンは、デバイスの高品質グラウンド基準ポイントです。AD420 の REF OUT ピンと V_{OUT} ピンに接続されるすべての外付け負荷は、この基準ポイントにリターン経路を持つ必要があります。アナログ・グラウンド電流とデジタル・グラウンド電流は、共通のバスを使わないようにする必要があります。各信号は、近くに配置した適切なアナログ信号リターンまたはデジタル信号リターンを持つ必要があります。この方法を使用すると、信号ループの面積が小さくなるため、ノイズの誘導結合が小さくなります。低インピーダンス信号パスを実現するため、太い PC トラック、太い配線径、厚いグラウンド・プレーンが推奨されます。

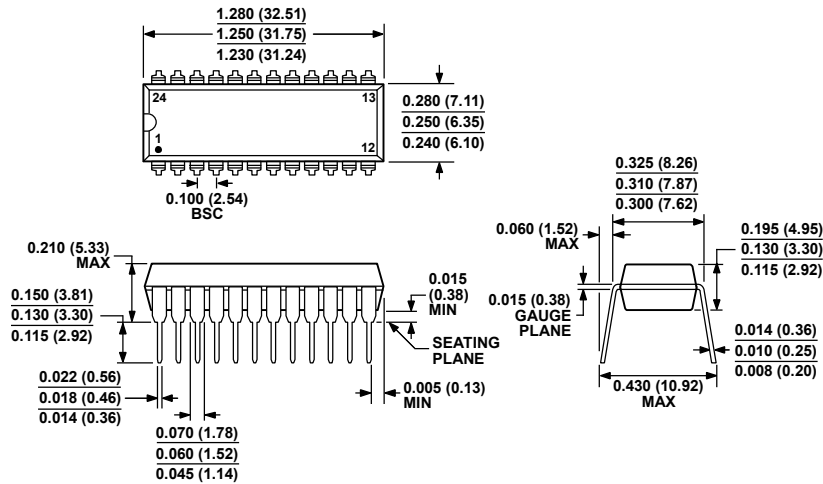
電源とデカップリング

AD420 の電源ピン V_{CC} (ピン 23) と V_{LL} (ピン 2) は、 $0.1 \mu F$ のコンデンサで GND へデカップリングして、高周波ノイズを除去する必要があります。除去しないとアナログ・システムへ混入します。

高周波セラミック・コンデンサの使用が推奨されます。

デカップリング・コンデンサはピンとグラウンド・ラインの近くに配置して効果を最大にする必要があります。 V_{LL} ピンのコンデンサ値を大きくすると、さらにノイズを小さくし、性能を向上させることができます。

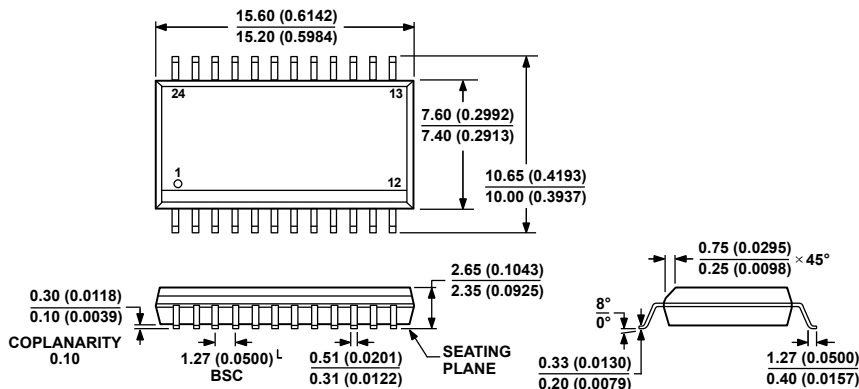
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-001
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.
 CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

071006-A

図 16.24 ピン・プラスチック・デュアルインライン・パッケージ [PDIP]
 ナロー・ボディ
 (N-24-1)
 寸法表示: インチ (mm)



COMPLIANT TO JEDEC STANDARDS MS-013-AD
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

06-07-2006-A

図 17.24 ピン・標準スモール・アウトライン [SOIC_W]
 ワイド・ボディ
 (RW-24)
 寸法: mm (インチ)

オーダー・ガイド

Model ¹	Temperature Range	Max Operating Voltage	Package Description	Package Option
AD420AN-32	-40°C to +85°C	32 V	24-Lead PDIP	N-24-1
AD420ANZ-32	-40°C to +85°C	32 V	24-Lead PDIP	N-24-1
AD420AR-32	-40°C to +85°C	32 V	24-Lead SOIC_W	RW-24
AD420AR-32-REEL	-40°C to +85°C	32 V	24-Lead SOIC_W	RW-24
AD420ARZ-32	-40°C to +85°C	32 V	24-Lead SOIC_W	RW-24
AD420ARZ-32-REEL	-40°C to +85°C	32 V	24-Lead SOIC_W	RW-24

¹ Z = RoHS 準拠製品。