±10V および 0mA～20mA 入力の
低消費電力、24 ビット
シグマ・デルタ（Σ-Δ）ADC
断線検出機能付き
AD4111

データシート

特長
内蔵アナログ・フロント・エンドを備えた 24 ビット ADC
チャンネルあたり最大 6.2kSPS（チャンネルあたり 161μs）
ノイズ・フリー・ビート数：チャンネルあたり 1kSPS で 16 ビット
50Hz と 60Hz の除不去比：チャンネルあたり 20SPS で 85dB
±10V の入力、4 個の差動および 8 個のシングルエンド
オーバーレンジ：最大±20V
インピーダンス：≥1MΩ
精度：25°C で ±0.06%

断線検出機能
0mA～20mA の入力、4 個のシングルエンド
オーバーレンジ：0.5mA～+24mA
インピーダンス：60Ω
精度：25°C で ±0.08%
2.5V のリファレンスを内蔵
精度：25°C で ±0.12%。
ドリフト：±5ppm/°C（代表値）
内部または外部クロック
電源
AVDD = 3.0V～5.5V
IOVDD = 2V～5.5V
合計 Io = 3.9mA
温度範囲：−40°C～+105°C
3 線式または 4 線式のシリアル・デジタル・インターフェース
（シュミット・トリガ付き SCLK）
SPI, QSPI, MICROWIRE, DSP 互換

アプリケーション
プロセス制御
PLC/DCS モジュール

概要
AD4111 は、低消費電力、低ノイズ、24 ビットのシグマ・デルタ（Σ-Δ）A/D コンバータ（ADC）で、完全差動またはシングルエンド用のアナログ・フロント・エンド（AFE）、高インピーダンス（≥1MΩ）バイポーラ、±10V の電圧入力、0mA～20mA の電流入力を内蔵しています。

このデバイスはアナログおよびデジタルの主要なシグナル・コンディショニング・ブロックを内蔵しており、使用するアナログ入力チャンネルごとに 8 個の個別の設定が可能です。AD4111 の完全にセトリングされたデータの最大チャンネル・スキャン・レートは 6.2kSPS（161μs）です。

低ドリフト（5ppm/°C）の 2.5V 埋め込み内部バッファリファレンス（出力リファレンス・バッファ付き）によって、外付け部品数を低減できます。

デジタル・フィルタにより柔軟な設定が可能ですで、27.27SPS の出力データ・レートで 50Hz と 60Hz の同時除去が可能です。アプリケーションごとに異なる各チャンネルの要求に合わせて、部分的にオフライン設定を選択できます。ADC、自動チャンネル・シーケンスにより、イネーブルされた各チャンネルの切替えを行います。

AD4111 の高精度性能は、アナログ・デバイセズが独自に開発した iPassives™ 技術の実装により実現しています。また、AD4111 は、仕様規定されている精度が得られるように出荷時に補正されています。

電圧入力に対する独自の断線検出機能も内蔵しているため（特許申請中）、5V または 3.3V の電源を使用してシステム・レベルの診断が可能です。

AD4111 は単電源で動作し、絶縁アプリケーション向けに容易に導入可能です。仕様規定されている動作温度範囲は −40°C～+105°C です。6mm × 6mm の 40 ピン LFCSFP パッケージが採用されています。
AD4111

目次
特長............................................................................................................ 1
アプリケーション........................................................................................ 1
概要............................................................................................................. 1
改訂履歴..................................................................................................... 3
機能ブロック図............................................................................................ 4
仕様............................................................................................................. 5
タイミング特性............................................................................................. 8
絶対最大定格............................................................................................. 10
熱抵抗......................................................................................................... 10
ESDに関する注意.......................................................................................... 10
ピン配置およびピン機能の説明................................................................... 11
代表的な性能特性....................................................................................... 13
ノイズ性能と分解能..................................................................................... 18
動作原理..................................................................................................... 20
電源............................................................................................................. 21
デジタル・コミュニケーション..................................................................... 21
AD4111 のリセット....................................................................................... 22
設定の概要.................................................................................................. 23
回路の説明.................................................................................................. 26
マルチプレクサ........................................................................................... 26
電流入力...................................................................................................... 27
電圧入力...................................................................................................... 27
データ出力コーディング............................................................................. 29
AD4111 のリファレンス................................................................................ 29
バッファ付きリファレンス入力..................................................................... 30
クロック源.................................................................................................. 30
デジタル・フィルタ....................................................................................... 31
sinc5 + sinc1 フィルタ................................................................................ 31
sinc3 フィルタ............................................................................................. 31
シングル・サイクル・セトリング................................................................. 32
50Hz と 60Hz を除去するエンハンスド・フィルタ...................................... 32
動作モード................................................................................................ 35
連続変換モード........................................................................................ 35
連続読み出しモード.................................................................................. 36
シングル変換モード.................................................................................. 37
スタンバイ・モードとパワードウン・モード.............................................. 38
キャリブレーション...................................................................................... 38
デジタル・インターフェース.......................................................................... 39
チェックサム保護...................................................................................... 39
CRC の計算................................................................................................ 40
内蔵機能..................................................................................................... 42
汎用出力..................................................................................................... 42
遅延.............................................................................................................. 42
16 ビット/24 ビット変換............................................................................ 42
DOUT_RESET............................................................................................. 42
同期.............................................................................................................. 42
エラー・フラグ............................................................................................. 43
DATA_STAT................................................................................................ 43
IOSTRENGTH............................................................................................ 43
内部温度センサー..................................................................................... 44
アプリケーション情報................................................................................ 44
グラウンディングとレイアウト...................................................................... 44
レジスタの一覧............................................................................................ 45
レジスタの詳細............................................................................................ 47
コミュニケーション・レジスタ................................................................... 47
ステータス・レジスタ................................................................................ 48
ADC モード・レジスタ.............................................................................. 49
インターフェース・モード・レジスタ.......................................................... 50
レジスタ・チェック..................................................................................... 51
データ・レジスタ......................................................................................... 51
GPIO 設定レジスタ...................................................................................... 52
ID レジスタ................................................................................................ 53
チャンネル・レジスタ 0 ........................................................................... 53
チャンネル・レジスタ 1～チャンネル・レジスタ 15................................. 54
セットアップ設定レジスタ 0...................................................................... 55
セットアップ設定レジスタ 1〜セットアップ設定レジスタ 7........................ 55
フィルタ設定レジスタ 0........................................................................... 56
フィルタ設定レジスタ 1〜フィルタ設定レジスタ 7.................................... 57
オフセット・レジスタ 0.............................................................................. 57
オフセット・レジスタ 1〜オフセット・レジスタ 7....................................... 57
ゲイン・レジスタ 0.................................................................................... 58
ゲイン・レジスタ 1〜ゲイン・レジスタ 7..................................................... 58
外形寸法..................................................................................................... 59
オーダー・ガイド......................................................................................... 59
改訂履歴
8/2018—Revision 0: Initial Version
仕様
特に指定のない限り、AVDD = 3.0V～5.5V、IOVDD = 2V～5.5V、AVSS = 0V、DGND = 0V、VBIAS− = 0V、REF+ = 2.5V、REF− = AVSS、内部マスタ・クロック（MCLK） = 2MHz、TA = TMIN～TMAX（−40℃～+105℃）。

<table>
<thead>
<tr>
<th>表1. Parameter</th>
<th>Test Conditions/Comments</th>
<th>Min</th>
<th>Typ</th>
<th>Max</th>
<th>Unit</th>
</tr>
</thead>
<tbody>
<tr>
<td><strong>VOLTAGE INPUTS</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Differential Input Voltage Range$^1$</td>
<td>Specified performance</td>
<td>−10</td>
<td>+10</td>
<td>V</td>
<td></td>
</tr>
<tr>
<td>Functional</td>
<td>$-V_{REF} \times 10$</td>
<td>+$V_{REF} \times 10$</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Absolute (Pin) Input Voltage</td>
<td>AVDD ≥ 4.75 V</td>
<td>−20</td>
<td>+20</td>
<td>V</td>
<td></td>
</tr>
<tr>
<td>AVDD = 3.0 V</td>
<td>−12</td>
<td>+12</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Input Impedance</td>
<td>1</td>
<td></td>
<td></td>
<td>MΩ</td>
<td></td>
</tr>
<tr>
<td>Offset Error$^2$</td>
<td>25℃</td>
<td>±1.5</td>
<td>mV</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Offset Drift</td>
<td>≥7</td>
<td></td>
<td>µV/℃</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Gain Error</td>
<td>Internal full-scale calibration$^3$、25℃</td>
<td>±0.05</td>
<td>% of FS</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Gain Drift</td>
<td>≥1</td>
<td></td>
<td>ppm/℃</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Integral Nonlinearity (INL)</td>
<td></td>
<td>±0.01</td>
<td>% of FSR</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Total Unadjusted Error (TUE)$^4$</td>
<td>25℃、internal $V_{REF}$</td>
<td>±0.06</td>
<td>% of FSR</td>
<td></td>
<td></td>
</tr>
<tr>
<td>−40℃ to +105℃、internal $V_{REF}$</td>
<td>±0.1</td>
<td>% of FSR</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>25℃、external $V_{REF}$</td>
<td>±0.06</td>
<td>% of FSR</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>−40℃ to +105℃、external $V_{REF}$</td>
<td>±0.08</td>
<td>% of FSR</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Power Supply Rejection</td>
<td>AVDD for $V_{IN} = 1$ V</td>
<td>70</td>
<td></td>
<td>dB</td>
<td></td>
</tr>
<tr>
<td>Common-Mode Rejection</td>
<td>$V_{IN} = 1$ V</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>At DC</td>
<td>85</td>
<td></td>
<td>dB</td>
<td></td>
<td></td>
</tr>
<tr>
<td>At 50 Hz, 60 Hz</td>
<td>20 Hz output data rate (postfilter), 50 Hz ± 1 Hz and 60 Hz ± 1 Hz</td>
<td>120</td>
<td></td>
<td>dB</td>
<td></td>
</tr>
<tr>
<td>Normal Mode Rejection$^4$</td>
<td>50 Hz ± 1 Hz and 60 Hz ± 1 Hz</td>
<td>71</td>
<td>90</td>
<td>dB</td>
<td></td>
</tr>
<tr>
<td>Internal clock, 20 SPS ODR (postfilter)</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>External clock, 20 SPS ODR (postfilter)</td>
<td>85</td>
<td>90</td>
<td>dB</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Resolution</td>
<td>See Table 6 and Table 8</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Noise</td>
<td>See Table 6 and Table 8</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CURRENT INPUTS</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Input Current Range</td>
<td></td>
<td>−0.5</td>
<td>+24</td>
<td>mA</td>
<td></td>
</tr>
<tr>
<td>Absolute (Pin) Input Voltage</td>
<td>AVSS − 0.05</td>
<td>AVDD + 0.05$^5$</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Input Impedance$^6$</td>
<td>54</td>
<td>60</td>
<td>75</td>
<td>Ω</td>
<td></td>
</tr>
<tr>
<td>Offset Error$^2$</td>
<td>±2</td>
<td></td>
<td></td>
<td>µA</td>
<td></td>
</tr>
<tr>
<td>Offset Drift</td>
<td>±3</td>
<td></td>
<td>nA/℃</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Gain Error</td>
<td>Factory calibrated gain、25℃</td>
<td>±0.02</td>
<td>% of FS</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Gain Drift</td>
<td>±10</td>
<td></td>
<td>ppm/℃</td>
<td></td>
<td></td>
</tr>
<tr>
<td>INL</td>
<td>±0.01</td>
<td></td>
<td>% of FSR</td>
<td></td>
<td></td>
</tr>
<tr>
<td>TUE$^4$</td>
<td>25℃、internal $V_{REF}$</td>
<td>±0.08</td>
<td>% of FSR</td>
<td></td>
<td></td>
</tr>
<tr>
<td>−40℃ to +105℃、internal $V_{REF}$</td>
<td>±0.2</td>
<td>% of FSR</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>25℃、external $V_{REF}$</td>
<td>±0.08</td>
<td>% of FSR</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>−40℃ to +105℃、external $V_{REF}$</td>
<td>±0.2</td>
<td>% of FSR</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Power Supply Rejection</td>
<td>AVDD for $I_{IN} = 10$ mA</td>
<td>0.5</td>
<td></td>
<td>µA/℃</td>
<td></td>
</tr>
<tr>
<td>Normal Mode Rejection$^4$</td>
<td>50 Hz ± 1 Hz and 60 Hz ± 1 Hz</td>
<td>71</td>
<td>90</td>
<td>dB</td>
<td></td>
</tr>
<tr>
<td>Internal clock, 20 SPS ODR (postfilter)</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>External clock, 20 SPS ODR (postfilter)</td>
<td>85</td>
<td>90</td>
<td>dB</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Resolution</td>
<td>See Table 7 and Table 9</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Noise</td>
<td>See Table 7 and Table 9</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>ADC SPEED AND PERFORMANCE</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>ADC Output Data Rate (ODR)</td>
<td>One channel、see Table 6</td>
<td>1.25</td>
<td>31.250</td>
<td>SPS</td>
<td></td>
</tr>
<tr>
<td>No Missing Codes$^4$</td>
<td>Excluding sinc3 filter ≥ 15 kHz notch</td>
<td>24</td>
<td></td>
<td>Bits</td>
<td></td>
</tr>
</tbody>
</table>
### INTERNAL REFERENCE

**Output Voltage**  
REFOUT with respect to AVSS  

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Test Conditions/Comments</th>
<th>Min</th>
<th>Typ</th>
<th>Max</th>
<th>Unit</th>
</tr>
</thead>
<tbody>
<tr>
<td><strong>Output Voltage</strong></td>
<td>100 nF external capacitor to AVSS</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>Initial Accuracy</strong></td>
<td>REFOUT, $T_A = 25°C$</td>
<td>$-0.12$</td>
<td>$+0.12$</td>
<td>$%$ of $V$</td>
<td></td>
</tr>
<tr>
<td><strong>Temperature Coefficient</strong></td>
<td></td>
<td>$\pm 5$</td>
<td>$+12$</td>
<td>$ppm/°C$</td>
<td></td>
</tr>
<tr>
<td><strong>Reference Load Current, $I_{LOAD}$</strong></td>
<td></td>
<td>$-10$</td>
<td>$+10$</td>
<td>$mA$</td>
<td></td>
</tr>
<tr>
<td><strong>Power Supply Rejection</strong></td>
<td>AVDD (line regulation)</td>
<td>95</td>
<td></td>
<td></td>
<td>$dB$</td>
</tr>
<tr>
<td><strong>Load Regulation</strong></td>
<td>$\Delta V_{OUT}/\Delta I_{LOAD}$</td>
<td>32</td>
<td></td>
<td></td>
<td>$ppm/mA$</td>
</tr>
<tr>
<td><strong>Voltage Noise</strong></td>
<td>$e_n$, 0.1 Hz to 10 Hz, 2.5 V reference</td>
<td>4.5</td>
<td></td>
<td></td>
<td>$\mu V$ rms</td>
</tr>
<tr>
<td><strong>Voltage Noise Density</strong></td>
<td>$e_n$, 1 kHz, 2.5 V reference</td>
<td>215</td>
<td></td>
<td></td>
<td>$nV/\sqrt{Hz}$</td>
</tr>
<tr>
<td><strong>Turn On Setting Time</strong></td>
<td>100 nF REFOUT capacitor</td>
<td>200</td>
<td></td>
<td></td>
<td>$\mu s$</td>
</tr>
<tr>
<td><strong>Short-Circuit Current, $I_{SC}$</strong></td>
<td></td>
<td>25</td>
<td></td>
<td></td>
<td>$mA$</td>
</tr>
</tbody>
</table>

### EXTERNAL REFERENCE INPUTS

**Differential Input Range**  
$V_{REF} = (REF^+) − (REF^-)$  

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Test Conditions/Comments</th>
<th>Min</th>
<th>Typ</th>
<th>Max</th>
<th>Unit</th>
</tr>
</thead>
<tbody>
<tr>
<td><strong>Buffers Disabled</strong></td>
<td>AVSS $-0.05$</td>
<td></td>
<td></td>
<td></td>
<td>$V$</td>
</tr>
<tr>
<td><strong>Buffers Enabled</strong></td>
<td>AVDD $+0.05$</td>
<td></td>
<td></td>
<td></td>
<td>$V$</td>
</tr>
<tr>
<td><strong>REF± Input Current</strong></td>
<td>AVSS</td>
<td></td>
<td></td>
<td></td>
<td>$\mu A/V$</td>
</tr>
<tr>
<td><strong>Input Current</strong></td>
<td>Internal clock</td>
<td></td>
<td>$\pm 2$</td>
<td></td>
<td>$nA/V/°C$</td>
</tr>
<tr>
<td><strong>Input Current Drift</strong></td>
<td>External clock</td>
<td></td>
<td>$\pm 0.75$</td>
<td></td>
<td>$nA/V/°C$</td>
</tr>
<tr>
<td><strong>Buffers Enabled</strong></td>
<td></td>
<td></td>
<td>$\pm 100$</td>
<td></td>
<td>$nA$</td>
</tr>
<tr>
<td><strong>Input Current Drift</strong></td>
<td>0.25</td>
<td></td>
<td></td>
<td></td>
<td>$nA/°C$</td>
</tr>
<tr>
<td><strong>Normal Mode Rejection</strong></td>
<td>See the rejection parameter</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>Common-Mode Rejection</strong></td>
<td>95</td>
<td></td>
<td></td>
<td></td>
<td>$dB$</td>
</tr>
</tbody>
</table>

### TEMPERATURE SENSOR

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Test Conditions/Comments</th>
<th>Min</th>
<th>Typ</th>
<th>Max</th>
<th>Unit</th>
</tr>
</thead>
<tbody>
<tr>
<td><strong>Accuracy</strong></td>
<td>After user calibration at 25°C</td>
<td>$\pm 2$</td>
<td></td>
<td></td>
<td>$°C$</td>
</tr>
<tr>
<td><strong>Sensitivity</strong></td>
<td>477</td>
<td></td>
<td></td>
<td></td>
<td>$\mu V/K$</td>
</tr>
</tbody>
</table>

### GENERAL-PURPOSE OUTPUTS

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Test Conditions/Comments</th>
<th>Min</th>
<th>Typ</th>
<th>Max</th>
<th>Unit</th>
</tr>
</thead>
<tbody>
<tr>
<td><strong>High, $V_{OH}$</strong></td>
<td>Source current ($I_{SOURCE}$) = 200 µA</td>
<td>AVDD $-1$</td>
<td></td>
<td></td>
<td>$V$</td>
</tr>
<tr>
<td><strong>Low, $V_{OL}$</strong></td>
<td>Sink current ($I_{SOURCE}$) = 800 µA</td>
<td>AVSS $+0.4$</td>
<td></td>
<td></td>
<td>$V$</td>
</tr>
</tbody>
</table>

### CLOCK

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Test Conditions/Comments</th>
<th>Min</th>
<th>Typ</th>
<th>Max</th>
<th>Unit</th>
</tr>
</thead>
<tbody>
<tr>
<td><strong>Internal Clock</strong></td>
<td></td>
<td>2</td>
<td></td>
<td></td>
<td>$MHz$</td>
</tr>
<tr>
<td><strong>Accuracy</strong></td>
<td></td>
<td>$-2.5%$</td>
<td>$+2.5%$</td>
<td></td>
<td>$%$</td>
</tr>
<tr>
<td><strong>Duty Cycle</strong></td>
<td></td>
<td>50</td>
<td></td>
<td></td>
<td>$%$</td>
</tr>
<tr>
<td><strong>Output Voltage</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>$V$</td>
</tr>
<tr>
<td><strong>High, $V_{OH}$</strong></td>
<td></td>
<td>0.4</td>
<td></td>
<td></td>
<td>$V$</td>
</tr>
<tr>
<td><strong>Low, $V_{OL}$</strong></td>
<td></td>
<td>$0.8 \times IOVDD$</td>
<td></td>
<td></td>
<td>$V$</td>
</tr>
<tr>
<td><strong>Crystal</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>$MHz$</td>
</tr>
<tr>
<td><strong>Frequency</strong></td>
<td></td>
<td>16</td>
<td></td>
<td></td>
<td>$MHz$</td>
</tr>
<tr>
<td><strong>Start-Up Time</strong></td>
<td></td>
<td>10</td>
<td></td>
<td></td>
<td>$\mu s$</td>
</tr>
<tr>
<td><strong>External Clock (CLKIO)</strong></td>
<td></td>
<td>2</td>
<td></td>
<td></td>
<td>$MHz$</td>
</tr>
<tr>
<td><strong>Duty Cycle</strong></td>
<td></td>
<td>70</td>
<td></td>
<td></td>
<td>$%$</td>
</tr>
<tr>
<td>Parameter</td>
<td>Test Conditions/Comments</td>
<td>Min</td>
<td>Typ</td>
<td>Max</td>
<td>Unit</td>
</tr>
<tr>
<td>---------------------------------</td>
<td>--------------------------</td>
<td>-----------</td>
<td>-----------</td>
<td>-----------</td>
<td>------</td>
</tr>
<tr>
<td><strong>LOGIC INPUTS</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Input Voltage</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>High, ( V_{INH} )</td>
<td>2 V ≤ IOVDD &lt; 2.3 V</td>
<td>0.65 × IOVDD</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td>2.3 V ≤ IOVDD ≤ 5.5 V</td>
<td>0.7 × IOVDD</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Low, ( V_{INL} )</td>
<td>2 V ≤ IOVDD &lt; 2.3 V</td>
<td>0.35 × IOVDD</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td>2.3 V ≤ IOVDD ≤ 5.5 V</td>
<td>0.7</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Hysteresis (^4)</td>
<td>IOVDD ≥ 2.7 V</td>
<td>0.08</td>
<td>0.25</td>
<td></td>
<td>V</td>
</tr>
<tr>
<td></td>
<td>IOVDD &lt; 2.7 V</td>
<td>0.04</td>
<td>0.2</td>
<td></td>
<td>V</td>
</tr>
<tr>
<td>Leakage Current</td>
<td></td>
<td>−10</td>
<td>+10</td>
<td></td>
<td>µA</td>
</tr>
<tr>
<td><strong>LOGIC OUTPUT (DOUT/RDY)</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Output Voltage</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>High, ( V_{OH} )</td>
<td>IOVDD ≥ 4.5 V, ( I_{SOURCE} = 1 ) mA</td>
<td>0.8 × IOVDD</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td>2.7 V ≤ IOVDD &lt; 4.5 V, ( I_{SOURCE} = 500 ) µA</td>
<td>0.8 × IOVDD</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td>IOVDD ≥ 2.7 V, ( I_{SOURCE} = 200 ) µA</td>
<td>0.8 × IOVDD</td>
<td>V</td>
<td></td>
<td></td>
</tr>
<tr>
<td>Low, ( V_{OL} )</td>
<td>IOVDD ≥ 4.5 V, ( I_{SINK} = 2 ) mA</td>
<td>0.4</td>
<td></td>
<td></td>
<td>V</td>
</tr>
<tr>
<td></td>
<td>2.7 V ≤ IOVDD &lt; 4.5 V, ( I_{SINK} = 1 ) mA</td>
<td>0.4</td>
<td></td>
<td></td>
<td>V</td>
</tr>
<tr>
<td></td>
<td>IOVDD &lt; 2.7 V, ( I_{SINK} = 400 ) µA</td>
<td>0.4</td>
<td></td>
<td></td>
<td>V</td>
</tr>
<tr>
<td>Leakage Current</td>
<td>Floating state</td>
<td>−10</td>
<td>+10</td>
<td></td>
<td>µA</td>
</tr>
<tr>
<td>Output Capacitance</td>
<td>Floating state</td>
<td></td>
<td></td>
<td></td>
<td>pF</td>
</tr>
<tr>
<td><strong>POWER REQUIREMENTS</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Power Supply Voltage</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>AVDD to AVSS</td>
<td></td>
<td>3.0</td>
<td>5.5</td>
<td></td>
<td>V</td>
</tr>
<tr>
<td>AVSS to DGND</td>
<td></td>
<td>−2.75</td>
<td>0</td>
<td></td>
<td>V</td>
</tr>
<tr>
<td>IOVDD to DGND</td>
<td></td>
<td>2</td>
<td>5.5</td>
<td></td>
<td>V</td>
</tr>
<tr>
<td>IOVDD to AVSS</td>
<td>For AVSS &lt; DGND</td>
<td></td>
<td></td>
<td>6.35</td>
<td>V</td>
</tr>
<tr>
<td><strong>POWER SUPPLY CURRENTS</strong> (^5)</td>
<td>All outputs unloaded, digital inputs connected to</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>AVDD Current</td>
<td>Including internal reference</td>
<td>3.3</td>
<td>3.7</td>
<td></td>
<td>mA</td>
</tr>
<tr>
<td>IOVDD Current</td>
<td>Internal clock</td>
<td>0.6</td>
<td>0.8</td>
<td></td>
<td>mA</td>
</tr>
<tr>
<td>Standby Mode</td>
<td>All ( V_{IN} = 0 ) V</td>
<td>120</td>
<td></td>
<td></td>
<td>µA</td>
</tr>
<tr>
<td>Power-Down Mode</td>
<td>All ( V_{IN} = 0 ) V</td>
<td>90</td>
<td></td>
<td></td>
<td>µA</td>
</tr>
<tr>
<td><strong>POWER DISSIPATION</strong></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Full Operating Mode</td>
<td></td>
<td>19.5</td>
<td></td>
<td></td>
<td>mW</td>
</tr>
<tr>
<td>Standby Mode</td>
<td></td>
<td>600</td>
<td></td>
<td></td>
<td>µW</td>
</tr>
<tr>
<td>Power-Down Mode</td>
<td></td>
<td>450</td>
<td></td>
<td></td>
<td>µW</td>
</tr>
</tbody>
</table>

1 全信号が±10Vの差動入力信号に対して確保されていますが、このデバイスは、最大±V_{REF}×10の差動入力信号まで機能します。ただし、正常に機能するためには、仕様規定されている絶対（ピン）電圧を超えてはいけません。
2 システムのフルスケール・キャリブレーションを実行した後、オフセット誤差は、選択したプログラム済み出力データ・レートのノイズ・レベルとほぼ同等になります。
3 内部フルスケール・キャリブレーションを実行すると、ゲイン・キャリブレーション・レジスタが上書きされ、あるいは、システム・フルスケール・キャリブレーションにより、補正されているチャンネルのプログラム済み出力データ・レートのノイズ・レベルと同等レベルにまでゲイン誤差が減少します。
4 これらの値に対する出荷テストは行われていませんが、量産開始時の特性評価データにより確認されています。
5 これらの値に対する出荷テストは行われていませんが、量産開始時の特性評価データにより確認されています。
6 これらの値に対する出荷テストは行われていませんが、量産開始時の特性評価データにより確認されています。
### タイミング特性

特に指定のない限り、IOVDD = 2V ～ 5.5V、DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、容量性負荷 (CLoad) = 20pF。

表 2.

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Limit at $T_{MIN}$ $T_{MAX}$</th>
<th>Unit</th>
<th>Description $^1$ $^2$</th>
</tr>
</thead>
<tbody>
<tr>
<td>SCLK</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>$t_1$</td>
<td>25</td>
<td>ns min</td>
<td>SCLK high pulse width</td>
</tr>
<tr>
<td>$t_2$</td>
<td>25</td>
<td>ns min</td>
<td>SCLK low pulse width</td>
</tr>
<tr>
<td>READ OPERATION</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>$t_1$</td>
<td>0</td>
<td>ns min</td>
<td>CS falling edge to DOUT/READY active time</td>
</tr>
<tr>
<td></td>
<td>15</td>
<td>ns max</td>
<td>IOVDD = 4.75 V to 5.5 V</td>
</tr>
<tr>
<td></td>
<td>40</td>
<td>ns max</td>
<td>IOVDD = 2 V to 3.6 V</td>
</tr>
<tr>
<td>$t_2^3$</td>
<td>0</td>
<td>ns min</td>
<td>SCLK active edge to data valid delay $^4$</td>
</tr>
<tr>
<td></td>
<td>12.5</td>
<td>ns max</td>
<td>IOVDD = 4.75 V to 5.5 V</td>
</tr>
<tr>
<td></td>
<td>25</td>
<td>ns max</td>
<td>IOVDD = 2 V to 3.6 V</td>
</tr>
<tr>
<td>$t_3^5$</td>
<td>2.5</td>
<td>ns min</td>
<td>Bus relinquish time after CS inactive edge</td>
</tr>
<tr>
<td></td>
<td>20</td>
<td>ns max</td>
<td></td>
</tr>
<tr>
<td>$t_4$</td>
<td>0</td>
<td>ns min</td>
<td>SCLK inactive edge to CS inactive edge</td>
</tr>
<tr>
<td>$t_5$</td>
<td>10</td>
<td>ns min</td>
<td>SCLK inactive edge to DOUT/READY high/low</td>
</tr>
<tr>
<td>WRITE OPERATION</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>$t_6$</td>
<td>0</td>
<td>ns min</td>
<td>CS falling edge to SCLK active edge setup time $^4$</td>
</tr>
<tr>
<td>$t_7$</td>
<td>8</td>
<td>ns min</td>
<td>Data valid to SCLK edge setup time</td>
</tr>
<tr>
<td>$t_{20}$</td>
<td>8</td>
<td>ns min</td>
<td>Data valid to SCLK edge hold time</td>
</tr>
<tr>
<td>$t_{12}$</td>
<td>5</td>
<td>ns min</td>
<td>CS rising edge to SCLK edge hold time</td>
</tr>
</tbody>
</table>

$^1$ 初期リリース時のサンプル・テストにより、適合性が確保されています。

$^2$ 図 2 と図 3 参照。

$^3$ このパラメータは、出力が $V_{OL}$ リミットもしくは $V_{OH}$ リミットを横切るために要する時間で定義されています。

$^4$ SCLK のアクティブ・エッジとは、SCLK の立ち下がりエッジを意味します。

$^5$ データ・レジスタを読み出した後、DOUT/READYはハイ・レベルに戻ります。シングル変換モードと連続変換モードでは、必要に応じて DOUT/READYがハイの間、同じデータを再度読み出すことができます。ただし、後続の読み出し動作は次の出力更新付近では行わないように注意する必要があります。連続読み出し機能を有効化すると、デジタル・ワードは1回しか読み出すことができません。
タイミング図

図2. 読出しサイクルのタイミング図

図3. 書込みサイクルのタイミング図
絶対最大定格
特に指定のない限り、$T_A = 25^\circ C$。

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Rating</th>
</tr>
</thead>
<tbody>
<tr>
<td>AVDD to AVSS</td>
<td>$-0.3\text{ V to } +6.5\text{ V}$</td>
</tr>
<tr>
<td>AVDD to DGND</td>
<td>$-0.3\text{ V to } +6.5\text{ V}$</td>
</tr>
<tr>
<td>IOVDD to DGND</td>
<td>$-0.3\text{ V to } +6.5\text{ V}$</td>
</tr>
<tr>
<td>IOVDD to AVSS</td>
<td>$-0.3\text{ V to } +7.5\text{ V}$</td>
</tr>
<tr>
<td>AVSS to DGND</td>
<td>$-3.25\text{ V to } +0.3\text{ V}$</td>
</tr>
<tr>
<td>VINx to AVSS</td>
<td>$-50\text{ V to } +50\text{ V}$</td>
</tr>
<tr>
<td>IINx+ to AVSS</td>
<td>$-0.3\text{ V to } \text{AVDD} + 0.3\text{ V}$</td>
</tr>
<tr>
<td>IINx− to AVSS</td>
<td>$-0.3\text{ V to } \text{AVDD} + 0.3\text{ V}$</td>
</tr>
<tr>
<td>Current Input Current</td>
<td>$-50\text{ mA to } +50\text{ mA}$</td>
</tr>
<tr>
<td>Reference Input Voltage to AVSS</td>
<td>$-0.3\text{ V to } \text{AVDD} + 0.3\text{ V}$</td>
</tr>
<tr>
<td>Digital Input Voltage to DGND</td>
<td>$-0.3\text{ V to } \text{IOVDD} + 0.3\text{ V}$</td>
</tr>
<tr>
<td>Digital Output Voltage to DGND</td>
<td>$-0.3\text{ V to } \text{IOVDD} + 0.3\text{ V}$</td>
</tr>
<tr>
<td>Digital Input Current</td>
<td>$10\text{ mA}$</td>
</tr>
<tr>
<td>Operating Temperature Range</td>
<td>$-40^\circ C$ to $+105^\circ C$</td>
</tr>
<tr>
<td>Storage Temperature Range</td>
<td>$-65^\circ C$ to $+150^\circ C$</td>
</tr>
<tr>
<td>Maximum Junction Temperature</td>
<td>$150^\circ C$</td>
</tr>
<tr>
<td>Lead Soldering, Reflow Temperature</td>
<td>$260^\circ C$</td>
</tr>
</tbody>
</table>

1 絶対最大電流入力電流、電流入力電圧、および IINx−電圧はすべて、仕様規定されている範囲内になければなりません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の下限を指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗
熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θJAは、表面実装パッケージ用のJEDECテスト・ボードにハンダ付けされたデバイスで仕様規定されています。

<table>
<thead>
<tr>
<th>Package Type</th>
<th>$\theta_J$</th>
<th>Unit</th>
</tr>
</thead>
<tbody>
<tr>
<td>CP-40-151</td>
<td>34</td>
<td>°C/W</td>
</tr>
<tr>
<td>4-Layer JEDEC Board</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

θJAのシミュレーション値は、16 個のサーマル・ビアを備えたJEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD51を参照してください。

ESDに関する注意
ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスの性能を保つためにも、ESDに対する適切な予防措置を講じることをお勧めします。

ESD（静電放電）の影響を受けやすいデバイスです。
ピン配置およびピン機能の説明

<table>
<thead>
<tr>
<th>ピン番号</th>
<th>番号</th>
<th>種類</th>
<th>説明</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>VIN0</td>
<td>AI</td>
<td>電圧入力0。シンジナル・エンジンの場合は VIN0 を基準とする入力、差動構成の場合は VIN1 との入力ペアの負入力。</td>
</tr>
<tr>
<td>2</td>
<td>VIN1</td>
<td>AI</td>
<td>電圧入力1。シンジナル・エンジンの場合は VIN0 を基準とする入力、差動構成の場合は VIN2 との入力ペアの正入力。</td>
</tr>
<tr>
<td>3</td>
<td>VIN2</td>
<td>AI</td>
<td>電圧入力2。シンジナル・エンジンの場合は VIN0 を基準とする入力、差動構成の場合は VIN3 との入力ペアの正入力。</td>
</tr>
<tr>
<td>4</td>
<td>VIN3</td>
<td>AI</td>
<td>電圧入力3。シンジナル・エンジンの場合は VIN0 を基準とする入力、差動構成の場合は VIN2 との入力ペアの負入力。</td>
</tr>
<tr>
<td>5</td>
<td>AVSS</td>
<td>P</td>
<td>負のアナログ電源。この電圧範囲は、AVSS を基準として 3.0V 〜 5.5V です。</td>
</tr>
<tr>
<td>6</td>
<td>AVDD</td>
<td>P</td>
<td>アナログ電源電圧。この電圧範囲は、AVSS を基準として 2.75V 〜 0V で、公称 0V に設定されています。</td>
</tr>
<tr>
<td>7</td>
<td>DNC</td>
<td>N/A</td>
<td>接続なし。このピンには接続しないでください。</td>
</tr>
<tr>
<td>8</td>
<td>VBIAS−</td>
<td>AI</td>
<td>負の電圧バイアス。このピンは、電圧入力デジタル・フロントエンドのバイアス電圧を設定します。このピンは AVSS に接続します。</td>
</tr>
<tr>
<td>9</td>
<td>XTAL1</td>
<td>AI</td>
<td>水晶発振器の入力1。</td>
</tr>
<tr>
<td>10</td>
<td>XTAL2/CLKIO</td>
<td>ADDI</td>
<td>水晶発振器の入力2/クロック入出力。詳細については、ADCMODE レジスタの CLOCKSEL ビットの設定を参照してください。</td>
</tr>
<tr>
<td>11</td>
<td>DOUT/RYD</td>
<td>DO</td>
<td>シリアル・データ出力/データ・レディ出力。このピンには 2 つの機能があります。ADC の出力シフ</td>
</tr>
<tr>
<td>ピン番号</td>
<td>記号</td>
<td>種類</td>
<td>説明</td>
</tr>
<tr>
<td>----------</td>
<td>-------</td>
<td>-------</td>
<td>------</td>
</tr>
<tr>
<td>16</td>
<td>SCLK</td>
<td>DI</td>
<td>シリアル・クロック入力。このシリアル・クロック入力は、ADCとのデータ転送に使用します。SCLKにはシャミット・トリガ入力があります。</td>
</tr>
<tr>
<td>16</td>
<td>CS</td>
<td>DI</td>
<td>チップ・セレクト入力。このピンはアクティブ・ローのロジック入力で、ADCの選択に使用します。CSは、シングル・レベルに複数のデバイスが接続されているシステムでADCを選択するときに使用します。CSをロー・レベルにパードワヤク接続することにより、デバイスとのインターフェースにSCLK、DIN、DOUT/REQをを使った3線モードでADCを作動させることができます。CSがハイ・レベルのとき、DOUT/REQ出力はスリーステートとなります。</td>
</tr>
<tr>
<td>18</td>
<td>ERROR</td>
<td>DIO</td>
<td>エラー出力または汎用出力。このピンは、以下の3つのモードのいずれかで使用することができます。アクティブ・ローのエラー入力モード。このモードでは、ステータス・レジスタのADC_ERRORビットがセットされます。アクティブ・ローのオープンドレイン・エラー出力モード。ステータス・レジスタのエラー・ビットはERRORピンにマップされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスのERRORピンを、共通のプルアップ抵抗に接続することができます。汎用出力モード。このピンは、IOVDDとDGNDの間の基準になります。</td>
</tr>
<tr>
<td>20</td>
<td>IOVDD</td>
<td>P</td>
<td>デジタルI/O電源電圧。IOVDDの電圧範囲は、2V～5.5V（公称値）です。IOVDDはAVDDとは無関係です。例えば、AVDDに5Vを与えた状態で、IOVDDに3.3Vを与えて動作させることができます。その逆も可能です。</td>
</tr>
<tr>
<td>22</td>
<td>REGCAPD</td>
<td>AO</td>
<td>デジタルLDOレギュレータ出力。このピンはデカップリング専用です。1µFのコンデンサを使用して、このピンをDGNDへデカップリングします。</td>
</tr>
<tr>
<td>23</td>
<td>COMPA</td>
<td>AO</td>
<td>VIN0、VIN2、VIN4、VIN6の補償ピン。断線検出機能を使用する場合は、1kΩの抵抗と680pFのコンデンサを介してこのピンを対応する電圧入力ピンに接続します（断線検出機能のセクションを参照）。</td>
</tr>
<tr>
<td>24</td>
<td>COMPB</td>
<td>AO</td>
<td>VIN1、VIN3、VIN5、VIN7の補償ピン。断線検出機能を使用する場合は、1kΩの抵抗と680pFのコンデンサを介してこのピンを対応する電圧入力ピンに接続します（断線検出機能のセクションを参照）。</td>
</tr>
<tr>
<td>25</td>
<td>GP00</td>
<td>DO</td>
<td>汎用出力。このピンのロジック出力は、AVDD電源とAVSS電源を基準としています。</td>
</tr>
<tr>
<td>26</td>
<td>VIN4</td>
<td>AI</td>
<td>電圧入力4。シングルエンド構成の場合はVINCOMを基準とする入力、差動構成の場合はVIN5との入力ペアの正入力。</td>
</tr>
<tr>
<td>27</td>
<td>VIN5</td>
<td>AI</td>
<td>電圧入力5。シングルエンド構成の場合はVINCOMを基準とする入力、差動構成の場合はVIN4との入力ペアの負入力。</td>
</tr>
<tr>
<td>28</td>
<td>VIN6</td>
<td>AI</td>
<td>電圧入力6。シングルエンド構成の場合はVINCOMを基準とする入力、差動構成の場合はVIN7との入力ペアの正入力。</td>
</tr>
<tr>
<td>29</td>
<td>VIN7</td>
<td>AI</td>
<td>電圧入力7。シングルエンド構成の場合はVINCOMを基準とする入力、差動構成の場合はVIN6との入力ペアの負入力。</td>
</tr>
<tr>
<td>30</td>
<td>IIN3−</td>
<td>AI</td>
<td>電流入力リターン3。このピンはアナログ・グラウンドに接続します。</td>
</tr>
<tr>
<td>31</td>
<td>IIN2−</td>
<td>AI</td>
<td>電流入力リターン2。このピンはアナログ・グラウンドに接続します。</td>
</tr>
<tr>
<td>32</td>
<td>IIN1−</td>
<td>AI</td>
<td>電流入力リターン1。このピンはアナログ・グラウンドに接続します。</td>
</tr>
<tr>
<td>33</td>
<td>IIN0−</td>
<td>AI</td>
<td>電流入力リターン0。このピンはアナログ・グラウンドに接続します。</td>
</tr>
<tr>
<td>34</td>
<td>IIN0+</td>
<td>AI</td>
<td>電流入力0。</td>
</tr>
<tr>
<td>35</td>
<td>IIN1+</td>
<td>AI</td>
<td>電流入力1。</td>
</tr>
<tr>
<td>36</td>
<td>IIN2+</td>
<td>AI</td>
<td>電流入力2。</td>
</tr>
<tr>
<td>37</td>
<td>IIN3+</td>
<td>AI</td>
<td>電流入力3。</td>
</tr>
<tr>
<td>38</td>
<td>GP01</td>
<td>DO</td>
<td>汎用出力。このピンのロジック出力は、AVDD電源とAVSS電源を基準としています。</td>
</tr>
<tr>
<td>39</td>
<td>REF−</td>
<td>AI</td>
<td>リファレンス入力負端子。REF−の範囲は、AVSS～AVDD−1Vです。リファレンスは、セットアップ設定レジスタのREF_SELxビットを介して選択できます。</td>
</tr>
<tr>
<td>40</td>
<td>REF+</td>
<td>AI</td>
<td>リファレンス入力正端子。外部リファレンスをREF+とREF−の間に与えることができます。REF+の範囲はAVDD～AVSS+1Vです。リファレンスは、セットアップ設定レジスタのREF_SELxビットを介して選択できます。</td>
</tr>
</tbody>
</table>

1 このデータシートでは、2つの機能を持つピンの記号は、そのいずれかのみを用いて該当する機能を説明していることご注意ください。AIはアナログ入力、AOはアナログ出力、Pは電源、N/Aは該当なし、DIはデジタル入力、DOはデジタル出力、DIOは双方向デジタル入出力をそれぞれ意味します。
代表的な性能特性

図 5. ノイズ（電圧入力、出力データ・レート = 1.25SPS）

図 6. ノイズ（電圧入力、出力データ・レート = 2.5kSPS）

図 7. ノイズ（電圧入力、出力データ・レート = 31.25kSPS）

図 8. ヒストグラム（電圧入力、出力データ・レート = 1.25SPS）

図 9. ヒストグラム（電圧入力、出力データ・レート = 2.5kSPS）

図 10. ヒストグラム（電圧入力、出力データ・レート = 31.25kSPS）
データシート

図11. ノイズ（電流入力、出力データ・レート = 1.25SPS）

図12. ノイズ（電流入力、出力データ・レート = 2.5kSPS）

図13. ノイズ（電流入力、出力データ・レート = 31.25kSPS）

図14. ヒストグラム
（電流入力、出力データ・レート = 1.25SPS）

図15. ヒストグラム
（電流入力、出力データ・レート = 3.25kSPS）

図16. ヒストグラム
（電流入力、出力データ・レート = 31.25kSPS）
図17. 同相ノイズ除去比（CMRR）と $V_{IN}$ 周波数の関係
（$V_{IN} = 0.1V$、10Hz〜70Hz、出力）

図18. 電源電圧変動除去比（PSRR）と $V_{IN}$ 周波数の関係

図19. 積分非直線性（INL）と入力の関係（電流入力）

図20. 積分非直線性（INL）と入力範囲の関係（電圧入力）

図21. 内部発振器の周波数／精度分布ヒストグラム

図22. 内部発振器周波数の温度特性
図 23. オフセット誤差分布ヒストグラム（電圧入力）
図 24. オフセット誤差ドリフト分布ヒストグラム（電圧入力）
図 26. ゲイン誤差ドリフト分布ヒストグラム（電圧入力）
図 27. オフセット誤差分布ヒストグラム（電流入力）
図 25. ゲイン誤差分布ヒストグラム（電圧入力）
図 28. オフセット誤差ドリフト分布ヒストグラム（電流入力）
図29. ゲイン誤差分布ヒストグラム（電流入力）

図30. ゲイン誤差ドリフト分布ヒストグラム（電流入力）
データシート AD4111

ノイズ性能と分解能

各種 ODR に対する、AD4111 の実効値ノイズ、ピーク to ピーク・ノイズ、実効分解能、およびノイズ・フリ（ピーク to ピーク）分解能を表 6～表 9 に示します。これらの値は代表値であり、2.5V の外部リファレンスを使用し、ADC が複数チャンネルで連続変換を実行している場合の測定値です。表 6 と表 8 の値は、±10V の電圧入力範囲に生成され、差動入力電圧は 0V です。表 7 と表 9 の値は、0mA～20mA の入力範囲に生成され、入力電流は 0mA です。ピーク to ピーク分解能は、ピーク to ピーク・ノイズを基に計算された値であることに注意してください。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

<table>
<thead>
<tr>
<th>Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled</th>
<th>Output Data Rate (SPS per Channel); SING_CYC = 1 or Multiple Channels Enabled</th>
<th>Settling Time</th>
<th>Notch Frequency (Hz)</th>
<th>Noise (μV rms)²</th>
<th>Effective Resolution (Bits)</th>
<th>Noise (μV p-p)</th>
<th>Peak-to-Peak Resolution (Bits)</th>
</tr>
</thead>
<tbody>
<tr>
<td>31.250</td>
<td>6211</td>
<td>161μs</td>
<td>31.250</td>
<td>106</td>
<td>17.5</td>
<td>750</td>
<td>14.7</td>
</tr>
<tr>
<td>15.625</td>
<td>5181</td>
<td>193μs</td>
<td>15.625</td>
<td>94</td>
<td>17.7</td>
<td>580</td>
<td>15.1</td>
</tr>
<tr>
<td>10.417</td>
<td>4444</td>
<td>225μs</td>
<td>10.417</td>
<td>82</td>
<td>17.9</td>
<td>512</td>
<td>15.3</td>
</tr>
<tr>
<td>5.208</td>
<td>321μs</td>
<td>2028</td>
<td>62</td>
<td>18.3</td>
<td>372</td>
<td>15.7</td>
<td></td>
</tr>
<tr>
<td>2.597</td>
<td>2597</td>
<td>385μs</td>
<td>3906</td>
<td>47</td>
<td>18.7</td>
<td>312</td>
<td>16.0</td>
</tr>
<tr>
<td>1.007</td>
<td>1007</td>
<td>993μs</td>
<td>1157</td>
<td>27</td>
<td>19.5</td>
<td>190</td>
<td>16.7</td>
</tr>
<tr>
<td>504</td>
<td>504</td>
<td>1.99ms</td>
<td>539</td>
<td>21</td>
<td>19.9</td>
<td>140</td>
<td>17.1</td>
</tr>
<tr>
<td>381</td>
<td>381</td>
<td>2.63ms</td>
<td>401</td>
<td>17</td>
<td>20.2</td>
<td>122</td>
<td>17.7</td>
</tr>
<tr>
<td>200.3</td>
<td>200.3</td>
<td>4.99ms</td>
<td>206</td>
<td>13</td>
<td>20.6</td>
<td>62</td>
<td>18.3</td>
</tr>
<tr>
<td>100.2</td>
<td>100.2</td>
<td>9.99ms</td>
<td>102</td>
<td>8</td>
<td>21.3</td>
<td>45</td>
<td>18.8</td>
</tr>
<tr>
<td>59.52</td>
<td>59.52</td>
<td>16.8ms</td>
<td>59.97</td>
<td>7</td>
<td>21.4</td>
<td>33</td>
<td>19.2</td>
</tr>
<tr>
<td>49.68</td>
<td>49.68</td>
<td>20.13ms</td>
<td>50</td>
<td>7</td>
<td>21.4</td>
<td>33</td>
<td>19.2</td>
</tr>
<tr>
<td>20</td>
<td>20</td>
<td>49.98ms</td>
<td>20</td>
<td>4</td>
<td>22.3</td>
<td>22</td>
<td>19.8</td>
</tr>
<tr>
<td>16.67</td>
<td>16.63</td>
<td>60.13ms</td>
<td>16.67</td>
<td>4</td>
<td>22.3</td>
<td>21</td>
<td>19.9</td>
</tr>
<tr>
<td>10</td>
<td>10</td>
<td>100ms</td>
<td>10</td>
<td>3.7</td>
<td>22.4</td>
<td>18</td>
<td>20.1</td>
</tr>
<tr>
<td>5</td>
<td>5</td>
<td>200ms</td>
<td>5</td>
<td>3.4</td>
<td>22.5</td>
<td>17</td>
<td>20.2</td>
</tr>
<tr>
<td>2.5</td>
<td>2.5</td>
<td>400ms</td>
<td>2.5</td>
<td>2.4</td>
<td>22</td>
<td>12</td>
<td>20.7</td>
</tr>
<tr>
<td>1.25</td>
<td>1.25</td>
<td>800ms</td>
<td>1.25</td>
<td>2.3</td>
<td>23</td>
<td>11</td>
<td>20.8</td>
</tr>
</tbody>
</table>

1. セッティング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 セッティング時間。

表 7 0mA～20mA 電流入力でのノイズおよび分解能と Sinc5 + Sinc1 フィルタを使用した出力データ・レートの関係

<table>
<thead>
<tr>
<th>Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled</th>
<th>Output Data Rate (SPS per Channel); SING_CYC = 1 or Multiple Channels Enabled</th>
<th>Settling Time</th>
<th>Notch Frequency (Hz)</th>
<th>Noise (μA rms)²</th>
<th>Effective Resolution (Bits)</th>
<th>Noise (μA p-p)</th>
<th>Peak-to-Peak Resolution (Bits)</th>
</tr>
</thead>
<tbody>
<tr>
<td>31.250</td>
<td>6211</td>
<td>161μs</td>
<td>31.250</td>
<td>155</td>
<td>17.0</td>
<td>1100</td>
<td>14.2</td>
</tr>
<tr>
<td>15.625</td>
<td>5181</td>
<td>193μs</td>
<td>15.625</td>
<td>136</td>
<td>17.2</td>
<td>920</td>
<td>14.4</td>
</tr>
<tr>
<td>10.417</td>
<td>4444</td>
<td>225μs</td>
<td>10.417</td>
<td>113</td>
<td>17.4</td>
<td>720</td>
<td>14.8</td>
</tr>
<tr>
<td>5.208</td>
<td>321μs</td>
<td>2028</td>
<td>84</td>
<td>17.9</td>
<td>580</td>
<td>15.1</td>
<td></td>
</tr>
<tr>
<td>2.597</td>
<td>2597</td>
<td>385μs</td>
<td>3906</td>
<td>43</td>
<td>18.0</td>
<td>220</td>
<td>16.5</td>
</tr>
<tr>
<td>1.007</td>
<td>1007</td>
<td>993μs</td>
<td>1157</td>
<td>43</td>
<td>18.8</td>
<td>220</td>
<td>16.5</td>
</tr>
<tr>
<td>504</td>
<td>504</td>
<td>1.99ms</td>
<td>539</td>
<td>29</td>
<td>21.4</td>
<td>150</td>
<td>17.0</td>
</tr>
<tr>
<td>381</td>
<td>381</td>
<td>2.63ms</td>
<td>401</td>
<td>21</td>
<td>19.9</td>
<td>125</td>
<td>17.3</td>
</tr>
<tr>
<td>200.3</td>
<td>200.3</td>
<td>4.99ms</td>
<td>206</td>
<td>18</td>
<td>20.1</td>
<td>95</td>
<td>17.7</td>
</tr>
<tr>
<td>100.2</td>
<td>100.2</td>
<td>9.99ms</td>
<td>102</td>
<td>13</td>
<td>20.6</td>
<td>71</td>
<td>18.1</td>
</tr>
<tr>
<td>59.52</td>
<td>59.52</td>
<td>16.8ms</td>
<td>59.98</td>
<td>10</td>
<td>20.9</td>
<td>48</td>
<td>18.7</td>
</tr>
<tr>
<td>49.68</td>
<td>49.68</td>
<td>20.13ms</td>
<td>50</td>
<td>9</td>
<td>21.1</td>
<td>41</td>
<td>18.9</td>
</tr>
<tr>
<td>20</td>
<td>20</td>
<td>49.98ms</td>
<td>20</td>
<td>6</td>
<td>21.7</td>
<td>30</td>
<td>19.3</td>
</tr>
<tr>
<td>16.67</td>
<td>16.63</td>
<td>60.13ms</td>
<td>16.67</td>
<td>5.3</td>
<td>21.8</td>
<td>23</td>
<td>19.7</td>
</tr>
<tr>
<td>10</td>
<td>10</td>
<td>100ms</td>
<td>10</td>
<td>4.6</td>
<td>22.1</td>
<td>18</td>
<td>20.1</td>
</tr>
<tr>
<td>5</td>
<td>5</td>
<td>200ms</td>
<td>5</td>
<td>3.3</td>
<td>22.7</td>
<td>12</td>
<td>20.7</td>
</tr>
<tr>
<td>2.5</td>
<td>2.5</td>
<td>400ms</td>
<td>2.5</td>
<td>2.8</td>
<td>22.8</td>
<td>12</td>
<td>20.7</td>
</tr>
<tr>
<td>1.25</td>
<td>1.25</td>
<td>800ms</td>
<td>1.25</td>
<td>2.7</td>
<td>22.8</td>
<td>6</td>
<td>21.7</td>
</tr>
</tbody>
</table>

1. セッティング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 セッティング時間。

1チャンネルあたりデータ・レートが 381 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたりデータ・レートが 200.3 未満のデータ・レートの場合は 100 サンプルを使用します。
表 8. ±10V 電圧入力 RMS でのノイズおよび分解能と sinc3 フィルタを使用した ODR の関係

<table>
<thead>
<tr>
<th>Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled</th>
<th>Output Data Rate (SPS per Channel); SING_CYC = 1 or Multiple Channels Enabled</th>
<th>Settling Time1</th>
<th>Notch Frequency (Hz)</th>
<th>Noise (nA rms)2</th>
<th>Effective Resolution (Bits)</th>
<th>Noise (V p-p)</th>
<th>Peak-to-Peak Resolution (Bits)</th>
</tr>
</thead>
<tbody>
<tr>
<td>31.250</td>
<td>100.09</td>
<td>96 μs</td>
<td>31.250</td>
<td>1035</td>
<td>14.2</td>
<td>60.7</td>
<td>11.7</td>
</tr>
<tr>
<td>15.625</td>
<td>51.81</td>
<td>192 μs</td>
<td>15.625</td>
<td>158</td>
<td>16.9</td>
<td>95.4</td>
<td>14.4</td>
</tr>
<tr>
<td>10.417</td>
<td>34.60</td>
<td>288 μs</td>
<td>10.417</td>
<td>77</td>
<td>18</td>
<td>53.6</td>
<td>15.2</td>
</tr>
<tr>
<td>5.208</td>
<td>17.33</td>
<td>576 μs</td>
<td>5.208</td>
<td>50</td>
<td>18.6</td>
<td>33.4</td>
<td>15.9</td>
</tr>
<tr>
<td>3.906</td>
<td>867.3</td>
<td>1.15 ms</td>
<td>3.906</td>
<td>34</td>
<td>19.2</td>
<td>205</td>
<td>16.6</td>
</tr>
<tr>
<td>1.157</td>
<td>335.9</td>
<td>2.98 ms</td>
<td>1.157</td>
<td>22</td>
<td>19.8</td>
<td>137</td>
<td>17.2</td>
</tr>
<tr>
<td>0.539</td>
<td>167.98</td>
<td>5.95 ms</td>
<td>0.539</td>
<td>15</td>
<td>20.3</td>
<td>15</td>
<td>17.5</td>
</tr>
<tr>
<td>0.401</td>
<td>133.5</td>
<td>7.49 ms</td>
<td>0.401</td>
<td>13</td>
<td>20.5</td>
<td>13</td>
<td>17.9</td>
</tr>
<tr>
<td>0.206</td>
<td>66.67</td>
<td>14.99 ms</td>
<td>0.206</td>
<td>10</td>
<td>20.9</td>
<td>10</td>
<td>18.2</td>
</tr>
<tr>
<td>0.102</td>
<td>33.39</td>
<td>29.85 ms</td>
<td>0.102</td>
<td>7.3</td>
<td>21.4</td>
<td>39</td>
<td>18.9</td>
</tr>
<tr>
<td>0.059</td>
<td>19.99</td>
<td>50.02 ms</td>
<td>0.059</td>
<td>6.2</td>
<td>21.6</td>
<td>35</td>
<td>19.1</td>
</tr>
<tr>
<td>0.050</td>
<td>16.67</td>
<td>60 ms</td>
<td>0.050</td>
<td>5.3</td>
<td>21.8</td>
<td>36</td>
<td>19.1</td>
</tr>
<tr>
<td>0.020</td>
<td>6.67</td>
<td>149.93 ms</td>
<td>0.020</td>
<td>4.9</td>
<td>22</td>
<td>33</td>
<td>19.2</td>
</tr>
<tr>
<td>0.016</td>
<td>5.56</td>
<td>179.96 ms</td>
<td>0.016</td>
<td>4.2</td>
<td>22.1</td>
<td>29.8</td>
<td>19.35</td>
</tr>
<tr>
<td>0.010</td>
<td>3.33</td>
<td>300 ms</td>
<td>0.010</td>
<td>3.7</td>
<td>22.4</td>
<td>20.9</td>
<td>19.9</td>
</tr>
<tr>
<td>0.005</td>
<td>1.67</td>
<td>600 ms</td>
<td>0.005</td>
<td>3.5</td>
<td>22.4</td>
<td>17.8</td>
<td>20.1</td>
</tr>
<tr>
<td>0.0025</td>
<td>0.83</td>
<td>1.2 sec</td>
<td>0.0025</td>
<td>3</td>
<td>22.7</td>
<td>17.8</td>
<td>20.1</td>
</tr>
<tr>
<td>0.00125</td>
<td>0.42</td>
<td>2.4 sec</td>
<td>0.00125</td>
<td>2.9</td>
<td>22.7</td>
<td>14.9</td>
<td>20.4</td>
</tr>
</tbody>
</table>

1 セットリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 + セットリング時間。

2 チャンネルあたりデータ・レートが 381 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたりデータ・レートが 200.3 未満のデータ・レートの場合は 100 サンプルを使用します。
動作原理
AD4111 は、設定機能の優れた、高速セッティングおよび高分解能のマルチプレクス型 ADC で、次の機能を備えています。

- 4つの完全差動入力、または 8つのシングルエンド入力。
- 高精度整流抵抗を内蔵した高インピーダンス分圧器。
- 電流検出抵抗を内蔵した 4つの電流入力。
- 非常に小さいデバイス・フットプリントに組み込まれた独自の Passives™テクノロジー。
- チャンネルごとに最大 8つの異なるセットアップを定義でき、柔軟な設定が可能。個別のセットアップをチャンネルごとにマップすることができます。各セットアップでは、バッファのイネーブル/ディスエーブル、ゲインおよびオフセット補正、フィルタ・タイプ、ODR、リファレンス源の選択が設定できます。

AD4111 は、アナログ回路とデジタル回路の両方に個別のリニア・レギュレータ・ブロックを内蔵しています。アナログ LDO レギュレータは、AVDD 電源を 1.8V に調整します。デジタル IOVDD 電源用のリニア・レギュレータも同様の機能を実行し、IOVDD ピンに印加された入力電圧を 1.8V に調整します。シリアル・インターフェース信号は、常にこのビンの IOVDD 電源で動作します。つまり、IOVDD ピンに 3.3V が印加されると、インターフェース・ロジックの入力出力はそのレベルで動作します。

AD4111 は、プログラムマネージ・ロジック・コントローラ (PLC)や分散制御システム (DCS)モジュールなど、多くのファクトリーオートメーションやプロセス制御アプリケーション向けに設計されており、非常に高い精度を維持しながら全体的なシステムコストと柔軟性を軽減します。AD4111 は以下に示すシステム機能を備えています。

- 5V または 3.3V の単電源。
- 最低 1MΩ の入力インピーダンスを確保。
- ±10V を超えるオーバーレンジ電圧。
- 直流入力測定用の内蔵検出抵抗。
- キャリブレーション・コストの軽減。
- 電圧入力断線検出。

AD4111 は、アナログ回路とデジタル回路の両方に個別のリニア・レギュレータ・ブロックを内蔵しています。アナログ LDO レギュレータは、AVDD 電源を 1.8V に調整します。

図 31. 代表的な接続図
電源
AD4111には、AVDDとIOVDDの2つの独立した電源ピンがあります。AD4111には、電源シーケンスに関する特定の条件はありません。ただし、すべての電源が安定した後、デバイスをリセットする必要があります。デバイスをリセットする方法の詳細については、AD4111のリセットのセクションを参照してください。

AVDDは内蔵の1.8VアナログLDOレギュレータに電力を供給し、このレギュレータはADCを含むデジタル回路に電力を供給します。AVDDはAVSSを基準に、AVDD−AVSS=3.3Vまたは5Vの電圧源を供給します。AVDDはAVSSを基準に、AVDD−AVSS=3.3Vまたは5Vの電圧源を供給します。

IOVDDは内部の1.8VデジタルLDOレギュレータに電力を供給し、このレギュレータはADCのデジタル・ロジックに電力を供給します。IOVDDはDGNDを基準に、IOVDD−DGNDの範囲は2V（最小値）～5.5V（最大値）が可能です。

デジタル・コミュニケーション
AD4111は、QSPI、MICROWIRE®、およびDSPと互換性のある3線式または4線式のSPIインターフェースを備えています。このインターフェースはSPIモード3で動作し、CSをロー・レベルに接続した状態で動作することができます。SPIモード3の場合、SCLKはアイドル時ハイになり、SCLKの立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。データは立下がりの駆動エッジに同期して出力され、立上がりのサンプル・エッジに同期して入力されます。

選択されたレジスタの読み出し動作または書き込み動作が完了すると、インタフェースはデフォルト状態、すなわち、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。

インタフェースの同期が失われた場合、DINがハイ・レベルの状態で少なくとも64ビットのクロックサイクルの書き込み動作が実行されると、レジスタの内容がデイバイスのすべての設定がリセットされ、ADCがデフォルト状態に戻ります。代わりに、CSをデジタル・インタフェースと一緒に使用し、CSをハイ・レベルに戻ると、デジタル・インタフェースがデフォルト状態にリセットされ、実行中のすべての動作がアボートされます。

AIDへの書き込み動作とAIDからの読み出し動作を図33と図34に示します。まず、8ビットのコマンドをコミュニケーション・レジスタに書き込む後、アドレス指定されたレジスタのデータを書き込みます。

このデバイスが正常に通信していることを確認するには、IDレジスタの読み出しをお勧めします。IDレジスタの値0x30DXが格納されています。コミュニケーション・レジスタとIDレジスタの詳細については、表10と表11を参照してください。

ADCのレジスタ・マップへのアクセス
コミュニケーション・レジスタは、ADCのレジスタ・マップ全体へのアクセスを制御しています。このレジスタは8ビットの書き込み専用レジスタです。パワーオン時またはリセット後、デジタル・インターフェースはデフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、すべての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタに書き込まれたデータにより、アクセス先のレジスタと、次の動作が書き込みまたは読み出しのどちらであるかが決まります。またRAビット（レジスタ0x00のビット[5:0]）により、どのレジスタに対して読み書きまたは書き込みが実行されるかが決まります。
AD4111 のリセット
パワーアップ・サイクル後に電源が安定したら、デバイスをリセットする必要があります。インタフェースの同期が失われた場合も、デバイスをリセットする必要があります。DIN がハイ・レベルの状態で、少なくとも 64 シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバイスのすべての設定がリセットされ、ADC がデフォルト状態に戻ります。あるいは、CS をデジタル・インターフェースと一緒 に使用し、CS をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態に設定され、すべてのシリアル・インタフェース動作が停止します。

表 10. コミュニケーション・レジスタのビット・マップ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x00</td>
<td>COMMS</td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>RA</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x00</td>
<td>W</td>
</tr>
</tbody>
</table>

表 11. ID レジスタのビット・マップ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x07</td>
<td>ID</td>
<td>[15:8]</td>
<td>ID[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x30DX1</td>
<td>R</td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td>ID[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

1 X はドント・ケア。
設定の概要
パワーオンまたはリセット後のAD4111のデフォルト設定は次のとおりです。

・ チャンネル設定：チャンネル0がイネーブルされ、VIN0とVIN1のペアが入力として選択されます。セットアップ0が選択されます。
・ セットアップ設定：アナログ入力バッファとリファレンス入力バッファがディスエーブル。REF±ピンがリファレンス源として選択されます。この設定では、VIN入力に対し入力バッファをイネーブルする必要があるため、デフォルトのチャンネルが正常に動作しないことに注意してください。
・ フィルタ設定：sinc5 + sinc1フィルタが選択されており、31.25kSPSの最大出力データレートが選択されています。
・ ADCモード：連続変換モードと内部発振器がイネーブル。内部リファレンスがディスエーブル。
・ インターフェース・モード：CRC、データとステータスの出力がディスエーブル。
・ GPIO設定：断線検出機能が無効。

上に挙げたレジスタ設定オプションはほんの一部であることに留意してください。このリストは一例にすぎません。すべてのレジスタの情報については、レジスタの詳細のセクションを参照してください。

ADCの設定を変更するときの推奨フローの概要を図35に示します。このフローは3つのブロックに分かれています。

・ チャンネル設定（図35のボックスAを参照）
・ セットアップ設定（図35のボックスBを参照）
・ ADCモードとインターフェース・モードの設定（図35のボックスCを参照）
ADC セットアップ

AD4111には8つの独立したセットアップがあります。各セットアップは以下の4つのレジスタから構成されています。

- セットアップ設定レジスタ
- フィルタ設定レジスタ
- ゲイン・レジスタ
- オフセット・レジスタ

例えば、セットアップ0は、セットアップ設定レジスタ0、フィルタ設定レジスタ0、ゲイン・レジスタ0、およびオフセット・レジスタ0で構成されています。これらのレジスタのグループを図36に示します。このセットアップは、チャンネル設定レジスタ（チャンネル設定セクションを参照）で選択することができる。これにより、各チャンネルを8つの独立したセットアップの1つに割り当てることができる。表13～表16にはセットアップ0に関連する4つのレジスタを示します。なお、セットアップ1～セットアップ7も、セットアップ0と同一構成です。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC変調器の出力で使用するデジタルフィルタを選択します。フィルタの次数と出力データレートは、これらのレジスタのビットをセットして選択します。詳細については、デジタルフィルタのセクションを参照してください。

表13. セットアップ設定レジスタ0

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x20</td>
<td>SETUPCON0</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>BL_UNIPOLAR0</td>
<td>REFBUF0+</td>
<td>INBUF0</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>REF_SEL0</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

表14. フィルタ設定レジスタ0

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x28</td>
<td>FILTCON0</td>
<td>[15:8]</td>
<td>SINC3_MAP0</td>
<td>Reserved</td>
<td>ENHFLTN0</td>
<td>ENHFLT0</td>
<td>0x0050</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td>Reserved</td>
<td>ORDER0</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

表15. ゲイン・レジスタ0

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>[23:0]</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x38</td>
<td>GAIN0</td>
<td>[23:0]</td>
<td>GAIN0[23:0]</td>
<td>0x5XXX0</td>
<td>RW</td>
</tr>
</tbody>
</table>

表16. オフセット・レジスタ0

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>[23:0]</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x30</td>
<td>OFFSET0</td>
<td>[23:0]</td>
<td>OFFSET0[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
</tbody>
</table>

\[Image\]
データシート AD4111

ゲイン・レジスタ
ゲイン・レジスタは、ADCのゲイン・キャリブレーション係数を保持する24ビット・レジスタです。ゲイン・レジスタはライド／ライト・レジスタです。パワーオン時、これらのレジスタには出荷時に電流入力に対してキャリブレーション係数が設定されます。したがって、各デバイスは個別のデフォルト係数を持っています。チャンネル・レジスタ（チャンネル・レジスタのセクションを参照）で電圧入力を有効にする場合、対応する設定のゲイン・レジスタも更新する必要があります。詳細は、電圧入力ゲインの調整のセクションを参照してください。

オフセット・レジスタ
オフセット・レジスタは、ADCのオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は0x800000です。オフセット・レジスタは24ビットのリード／ライト・レジスタです。

ADCモードとインターフェース・モードの設定
ADCモード・レジスタとインターフェース・モード・レジスタは、AD4111によって使用されるコア・ペリフェラルと、デジタル・インターフェースのモードを設定します。

表17. ADCモード・レジスタ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x01</td>
<td>ADCMODE</td>
<td>[15:8]</td>
<td>REF_EN</td>
<td>SING_CYC</td>
<td>Delay</td>
<td>Mode</td>
<td>CLOCKSEL</td>
<td>Reserved</td>
<td>0x2000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>[7:0]</td>
<td>Reserved</td>
<td></td>
<td>Mode</td>
<td></td>
<td></td>
<td></td>
<td>CLOCKSEL</td>
<td>Reserved</td>
<td>0x2000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

表18. デジタル・インターフェース・レジスタ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x02</td>
<td>IFMODE</td>
<td>[15:8]</td>
<td>CONTREAD</td>
<td>DATA_STAT</td>
<td>REG_CHECK</td>
<td>CRC_EN</td>
<td>DOUT_RESET</td>
<td>Reserved</td>
<td>0x0000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>[7:0]</td>
<td>Reserved</td>
<td></td>
<td>ALTSYNC</td>
<td>IOFSYNTH</td>
<td>Reserved</td>
<td>DOUT_RESET</td>
<td>Reserved</td>
<td>0x0000</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

ADCモード・レジスタ
ADCモード・レジスタは、主にADCの変換モードを、連続変換モードまたはシンクル変換モードに設定します。スタンバイ・モードやパワーダウン・モードだけでなく、どのキャリブレーション・モードも選択することができます。更に、このレジスタには、クロック源の選択ビットと内部リファレンスのイネーブル・ビットが含まれています。リファレンス選択ビットはセットアップ設定レジスタに含まれています（詳細については、ADCセットアップのセクションを参照）。このレジスタの詳細を表17に示します。

インターフェース・モード・レジスタ
インターフェース・モード・レジスタはデジタル・インターフェースの動作を設定します。このレジスタにより、データリード長、CRCイネーブル、データとステータスの読出し、および連続読出しモードを制御できます。このレジスタの詳細を表18に示します。詳細については、デジタル・インターフェースのセクションを参照してください。
回路の説明
マルチプレクサ
VIN0～VIN7、VINCOM、IIN0+～IIN3+、IIN0−～IIN3−の9本の電圧ピンと8本の電流入力があります。これらのピンは、それぞれ内部のマルチプレクサに接続されています。マルチプレクサを使用すると、これらの入力を入力ペアとして設定することができます（これらの入力の設定方法の詳細については、電圧入力のセクションと電流入力のセクションを参照してください）。AD4111は、最大16のアクティブ・チャンネルを持つことができます。複数のチャンネルがイネーブルされているとき、イネーブルされている最も小さい番号のチャンネルから、イネーブルされている最も大きい番号のチャンネルまで自動的にシーケンス処理されます。マルチプレクサの出力は、内蔵された真のレールtoレール・バッファの入力に接続されます。これらのバッファをバイパスして、マルチプレクサの出力をADCのスイッチ・キャパシタ入力に直接接続できます。簡略化した入力回路を図37と図38に示します。

図37. 簡略化した電流入力回路
図38. 簡略化した電圧入力回路
データシート AD4111

電流入力
4本の電流入力ピン（IIN0～IIN3）と4本の電流リターン・ピン（INO～IN3）があります。これらのピンは、同じ番号のペア同士（例えば、IIN0+およびIIN0−）で接続します。電流入力では入力バッファをディスエーブルしてください。仕様規定された精度を達成するために、電流チャンネルは出荷時に補正されます。このキャリプレーション値は内部不揮発性メモリに保存され、パワーオンまたはリセット後にすべてのゲイン・レジスタにコピーされます。

電圧入力
AD4111は、8つのシングルエンド入力または4つの完全差動入力を有するように設定できます。アナログ・フロント・エンドの分圧器は分圧比が10で、5V単電源から±20Vの入力範囲を可能にする高精度オフセット補正で構成されています。電圧入力には入力バッファをディスエーブルしてください。仕様規定された精度を達成するために、電流チャンネルは出荷時に補正されます。このキャリプレーション値は内蔵不揮発性メモリに保存され、パワーオンまたはリセット後にすべてのゲイン・レジスタにコピーされます。

電圧入力のゲインの調整
パワーオンまたはリセット後、すべてのゲイン・レジスタには、電流入力に対する出荷時のキャリプレーション係数がロードされます。電圧入力では、ビックおよびバードの全体対応するゲイン・レジスタを変更する必要があります。内部のフルスケール・キャリプレーションが必要です。内部のフルスケール・キャリプレーションを実行してこの変更を行います（詳細については、キャリプレーションのセクションを参照）。あるいは、ゲイン・レジスタを内部の設定値、つまり55567Cで上書きすることもできます。ただし、理想的な値はデバイスによって異なるため、キャリプレーションが推奨されます。

断線検出機能
断線検出機能は、外部センサーまたはソース信号がシステム入力から切断されたことを検出するシステム・レベルの診断機能です。AD4111は、5Vまたは3.3V単電源動作時における±10Vの電圧入力での断線検出を可能にする独自の機能を内蔵しています（特許出願中）。既存の設計では、これには±10V以上の電圧が必要です。断線検出は、ユーザ・ソフトウェアでサポートする必要があります。ここでは、断線検出用にAD4111を使用し、関連する必要な計算を行う方法について説明します。

GPIO コンフィギュレーション・レジスタのビット12（OW_EN）とビット13（OP_EN0_1）を1にセットすると、断線検出がイネーブルされます（表30参照）。インターフェース・モード・レジスタのビット6（DATA_STAT）もセットする必要があります（表27参照）。

断線検出を使用する場合は、測定中に電圧入力に2チャンネルを割り当てる必要があります。断線検出測定が正しく機能するように、電圧入力は特定のチャンネル・ペアに割り当てる必要があります。シングルエンド入力での断線検出測定の場合、使用する必要があるチャンネルの組み合わせは以下のとおりです。

- • チャンネル15とチャンネル0
- • チャンネル1とチャンネル2
- • チャンネル3とチャンネル4
- • チャンネル5とチャンネル6
- • チャンネル7とチャンネル8
- • チャンネル9とチャンネル10
- • チャンネル11とチャンネル12
- • チャンネル13とチャンネル14

差動入力での断線検出測定の場合、使用する必要があるチャンネルの組み合わせは以下のとおりです。

- • チャンネル1とチャンネル2
- • チャンネル5とチャンネル6
- • チャンネル9とチャンネル10
- • チャンネル13とチャンネル14

更に、差動入力の場合、正常に動作させるには入力を以下の差動ペアに設定する必要があります。

- • VIN0とVIN1
- • VIN2とVIN3
- • VIN4とVIN5
- • VIN6とVIN7

チャンネル・レジスタの詳細は、表30を参照してください。

断線検出機能を実行するには、AD4111を正しく構成した後に出力データをユーザ・ソフトウェアで処理しなければなりません。入力での断線は、入力に関連する2つのチャンネルの絶対差を閾値と比較することによって検出されます。推奨閾値は入力を基準として300mVです。この閾値は、2.5Vの電圧リファレンスとAVDD = 5Vのバイポーラ構成で動作する場合、ADCの10進出力コードで約100,000（0x0186A0）です。ユニポーラ構成で動作する場合、この閾値は約200,000（0x030D40）です。ADCの出力コードをボルト（V）に変換する方法の詳細については、デジタル出力コーディングのセクションを参照してください。差がこの閾値より大きい場合、ユーザ・ソフトウェアによって断線をフラグする必要があります。断線検出動作は、例1−断線検出（シングルエンド入力）のセクションと例2−断線検出（差動入力）のセクションに示されています。
例 1 - 断線検出（シングルエンド入力）のセクションと例 2 - 断線検出（差動入力）のセクションに示す例では、以下のレジスタと設定が使用されています。

- IFMODE = 0x0040: データとステータスを有効化。
- GPIOCON = 0x3800: 断線検出機能を有効化。
- SETUPCON0 = 0x1300: 入力パッファと外部リファレンス（2.5V）をイーノープし、バイポーラ・モードを選択。
- 電圧入力ゲインの調整のセクションでの説明に従って、GAIN0 を設定。
- その他のレジスタはすべてデフォルト値に設定。

例 1 - 断線検出（シングルエンド入力）
この例では、

- チャンネル 0 とチャンネル 15 = 0x8010: シングルエンド入力（VIN0、VINCOM）とセットアップをイーノープ。
- VIN0 ピンと VINCOM ピンはフロート状態。このピンには何も接続しません。
- チャンネル 0 = 9,129,327（2.2075V）。
- チャンネル 15 = 9,360,856（2.8975V）。
- |9,129,327 - 9,360,856| = 231,529（690mV）> 100,000（300mV）。
- 断線がフラグされる。
- VIN0 および VINCOM 入力ピンに 1V 入力を接続。
- チャンネル 0 = 8,725,210（1.00315V）。
- チャンネル 15 = 8,725,200（1.00312V）。
- |8,725,210 - 8,725,200| = 10（0.03mV）< 100,000（300mV）。
- 断線はフラグされない。

例 2 - 断線検出（差動入力）
この例では、

- チャンネル 1 とチャンネル 2 = 0x8001: 差動入力（VIN0、VIN1）とセットアップをイーノープ。
- チャンネル 0 は差動入力には使用不可。これを 0x0000 に設定して、チャンネル 0 をディスエーブルにします。
- VIN0 ピンと VIN1 ピンはフロート状態。このピンには何も接続しません。
- チャンネル 1 = 8,619,210（687mV）。
- チャンネル 2 = 8,157,971（-687mV）。
- |8,619,210 - 8,157,971| = 461,239（1.374V）> 100,000（300mV）。
- 断線がフラグされる。
- VIN0 および VIN1 入力ピンに 1V の差動入力を接続。
- チャンネル 1 = 8,724,611（1.0014V）。
- チャンネル 2 = 8,724,577（1.0013V）。
- |8,724,611 - 8,724,577| = 34（0.1mV）< 100,000（300mV）。
- 断線はフラグされない。

断線検出補償ピン
断線検出を正しく機能させるには、各補償ピンと電圧入力ピンの間にコンデンサと抵抗を直列に接続します。推奨値は 1kΩ の抵抗と 180pF のコンデンサです。COMPA と COMPB の 2 本の補償ピンがあります。COMPA は、抵抗とコンデンサを介して VIN0、VIN2、VIN4、VIN6 に接続する必要があります。COMPB は、VIN1、VIN3、VIN5、VIN7 に接続する必要があります（表 5 および図 31 を参照）。
データシート

データ出力コーディング

AD4111がユニポーラ動作に設定されている場合、出力コードは自然（ストレート）バイナリになり、ゼロ差動入力の電圧がコード00...000、ミッドスケール電圧がコード100...000、フルスケール入力電圧がコード111...111になります。入力電圧の出力コードは次のように表されます。

コード = \(2 \times V_{IN} \times 0.1 / V_{REF}\)

入力電流の出力コードは次のように表されます。

コード = \(2 \times I_{IN} \times 50 \Omega / V_{REF}\)

AD4111がバイポーラ動作に設定されている場合、出力コードはオフセット・バイナリになり、負のフルスケール電圧がコード000...000、ゼロ差動入力電圧がコード100...000、正のフルスケール入力電圧がコード111...111になります。入力電圧の出力コードは次のように表されます。

コード = \(2 \times V_{IN} \times 0.1 / V_{REF}\)

入力電流の出力コードは次のように表されます。

コード = \(2 \times I_{IN} \times 50 \Omega / V_{REF}\)

ここで、

\(N=24\),

\(V_{IN}\)は入力電圧。

\(I_{IN}\)は入力電流。

\(V_{REF}\)はリファレンス電圧。

AD4111のリファレンス

AD4111は、AVDD – AVSSを使用してREF+およびREF–ピンに外部リファレンス電圧を接続するか、内蔵の低ノイズ、低ドリフトの2.5Vリファレンス電圧のどちらかを選択できるようになっています。セットアップ設定レジスタのREF_SELxビット（ビット[5:4]）を適切に設定することにより、アナログ入力で使用するリファレンス源を選択します。セットアップ設定0レジスタの構成を図19に示します。デフォルトでは、AD4111はパワーアップ時に外部リファレンスを使用します。

内部リファレンス

AD4111は低ノイズで低ドリフトの電圧リファレンスを内蔵しています。この内部リファレンスは2.5Vの出力を備えています。ADCモード・レジスタのREF_ENビットがセットされた後、内部リファレンスがREFOUTピンに出力されます。このピンはAVSSに0.1µFのコンデンサでデカップリングされます。AD4111の内部リファレンスは、デフォルトでパワーアップ時にデイスエーブルされます。

外部リファレンス

AD4111は、完全差動のリファレンス電圧入力を備えています。AD4525などの標準的な低ノイズで低ドリフトの電圧リファレンスを使用することをお勧めします。外部リファレンスは、図39に示すように、AD4111のリファレンス・ピンに接続します。入力電圧の出力コードは次のように表されます。

コード = \(2 \times V_{IN} \times 0.1 / V_{REF}\)

入力電流の出力コードは次のように表されます。

コード = \(2 \times I_{IN} \times 50 \Omega / V_{REF}\)

ここで、

\(N=24\),

\(V_{IN}\)は入力電圧。

\(I_{IN}\)は入力電流。

\(V_{REF}\)はリファレンス電圧。

データシート AD4111

表19. セットアップ設定0レジスタ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x20</td>
<td>SETUPC0N0</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>BI_UNIPOLAR0</td>
<td>REFBUF0+</td>
<td>REFBUF0–</td>
<td>INBUF0</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>REF_SEL0</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

表20. ADCモード・レジスタ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x01</td>
<td>ADCMODE</td>
<td>[15:8]</td>
<td>REF_EN</td>
<td>Reserved</td>
<td>SING_CYC</td>
<td>Reserved</td>
<td>Delay</td>
<td>0x2000</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>
バッファ付きリファレンス入力

AD4111 は、両方の ADC リファレンス入力に、真のレール-to-レール高精度ユーニティ・ゲイン・バッファを備えています。このバッファによって高い入力インピーダンスが実現され、高い出力インピーダンスを持つ信号源をリファレンス入力に直接接続できます。内蔵リファレンス・バッファは、内部リファレンス・スイッチ・マスタ・サブプリング・ネットワークを十分に駆動できるため、リファレンス回路の条件が緩和されます。各リファレンス入力バッファ・アンプは、完全にチョッピング方式で動作しています。これは、オフセット誤差ドリフトと 1/f ノイズを最小限に抑えるためです。ADR4525 などのリファレンスを使用する場合、これらのバッファは必要ありません。これにより適切にデカップリングすれば、これらのリファレンスはリファレンス入力を直接駆動できるためです。

クロック源

AD4111 は以下の 3 つのうち 1 つをサンプリング・クロックとして用いることができます。

- 内部発振器
- 外部水晶発振器（2MHz クロックを設定する場合で、自動的に分周される、16MHz の水晶発振器を使用）
- 外部クロック源

このデータシートに記載されている出力データ・レートはすべて、2MHz のマスタ・クロックを基準にしています。より低いクロック周波数を使う場合、例えば外部クロック源または内部発振器の出力を XTAL2/CLKIO ピンに出力する場合は、2MHz のクロック源を使用し、SCLK 周波数、IOVDD 電圧、水晶発振器の回路レイアウト、および使用する水晶発振器によっては、外部水晶発振器回路は SCLK エッジの影響を受けやすくなることがあります。水晶振動子の起動時、SCLK エッジによって引き起こされる外乱によって水晶振動器にダブル・エッジが入力される可能性があります。その結果、水晶振動器の出力電圧が十分に高くなり、SCLK エッジからダブル・クロッキングを引き起こす可能性があります。起動後、SCLK を与えることで、水晶振動器の出力レベルが十分高い値になるようにしておけば、ダブル・クロッキングを避けることができます。

水晶発振器は、最終的な PCB レイアウトと水晶振動子を使用して、要求される条件下で回路の実証テストを行って、正常に動作することを確認することをお勧めします。

外部クロック

AD4111 は、外部から供給されるクロックを使うこともできます。外部給付クロックを使用するシステムの場合、外部クロックは XTAL2/CLKIO ビンに配線します。この構成では、XTAL2/CLKIO ビンは外部からのクロックを受け入れて変調器に送ります。このクロック入力のロジック・レベルは、IOVDD ビンに与えられる電圧によって決まります。
デジタル・フィルタ

AD4111は、柔軟性に富む以下の3つのフィルタ・オプションを備えており、ノイズ特性、セトリング時間、ノイズ除去性能の最適化が可能です。

- sinc5 + sinc1 フィルタ
- sinc3 フィルタ
- 50Hzと60Hzを除去するエンハンスド・フィルタ

図41. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたセットアップのフィルタ設定レジスタの適切なビットを設定することで設定されます。各チャンネルは異なるセットアップを使うことができます。したがって、異なるフィルタと出力データ・レートを使うことができます。詳細については、レジスタの詳細のセクションを参照してください。

sinc5 + sinc1 フィルタ

sinc5 + sinc1 フィルタは、マルチプレクス・アプリケーションを対象としており、2.6kSPS以下の出力データ・レートでシングル・サイクル・セトリングを実現します。sinc5 ブロックの出力は31.25kSPSの最大レートで固定されており、一方、sinc1 ブロックの出力データ・レートは変更可能で、最終のADC出力データ・レートを制御することができます。図42に、50SPS 出力データ・レートでの sinc5 + sinc1 フィルタの周波数領域応答を示します。sinc5 + sinc1 フィルタは、広い周波数にわたって緩やかにロールオフし、狭いノッチを持っています。

図42. 出力データ・レート50SPSにおける sinc5 + sinc1 フィルタの応答

sinc3 フィルタ

sinc3 フィルタは低い出力レートで最良のシングルチャンネル・ノイズ性能を実現するので、シングルチャンネル・アプリケーションに最適です。sinc3 フィルタのセトリング時間は、常に以下の式と等しくなります。

\[ t_{SETTLE} = \frac{3}{出力データ・レート(ADC出力データ・レート)} \]

sinc3 フィルタの周波数領域フィルタ応答を図43に示します。

sinc3 フィルタは、周波数に対して優れたロールオフ特性を持ち、ノッチの幅が広く、ノッチ周波数の除去に適しています。

図43. sinc3 フィルタの応答

sinc3 フィルタの出力データ・レートは次式で計算できます。

\[ 出力データ・レート(ADC出力データ・レート) = \frac{f_{MOD}}{32 \times FILTCONx_{[14:0]}} \]

ここで、\( f_{MOD} \)は、変調器のレート（MCLK/2）で、1MHzです。

\( FILTCONx_{[14:0]} \)は、MSBを除いたフィルタ設定レジスタの内容です。

例えば、FILTCONx_{[14:0]}ビットの値を625に設定し、SINC3_MAPxをイネーブルすれば、50SPSの出力データ・レートが得られます。
シングル・サイクル・セトリング

AD4111 は、ADC モード・レジスタの SING_CYC ビットをセットすることにより、完全にセトリングされたデータのみが出力され、ADC が効果的にシングル・サイクル・セトリング・モードになるように設定できます。このモードでは、選択された出力データ・レートにおける ADC のセトリング時間に等しくなるように出力データ・レートを下げて、シングル・サイクルでのセトリングを実現しています。出力データ・レートが 2.6kSPS 未満で sinc5 + sinc1 フィルタを使用している場合、または複数のチャネルがインペルスされている場合、このビットは無視されます。

図 44 に、シングル・サイクル・セトリングを行う場合のアナログ入力のペーストを示します。ステップ変化の後、出力が最終セトリング値に到達するまでに、アナログ入力は少なくとも 3 サイクル必要です。

図 44. シングル・サイクル・セトリングを使わないときのステップ入力

シングル・サイクル・セトリングをインペルスしたときのアナログ入力の同じステップを図 45 に示します。出力が完全にセトリングするまでに、アナログ入力は少なくとも 1 サイクル必要です。

図 45. シングル・サイクル・セトリングでのステップ入力

50Hz と 60Hz を除去するエンハンスド・フィルタ

エンハンスド・フィルタは 50Hz と 60Hz を同時に除去することがで、セトリング時間と除去比のトレードオフを可能にします。これらのフィルタは 27.27SPS まで動作可能で、50Hz ± 1Hz と 60Hz ± 1Hz における干渉信号を最大 90dB 除去することがで、これらのフィルタは、sinc5 + sinc1 フィルタの出力をポスト・フィルタすることで動作します。このため、エンハンスド・フィルタを使って規定されたセトリング時間とノイズ性能を実現するには、sinc5 + sinc1 フィルタを選択する必要があります。出力データ・レートおよび対応するセトリング時間、除去比、実効値ノイズを表 21 と表 22 に示します。エンハンスド・フィルタの周波数領域応答のプロットを図 46 ～図 53 に示します。

<table>
<thead>
<tr>
<th>Output Data Rate (SPS)</th>
<th>Settling Time (ms)</th>
<th>Simultaneous Rejection of 50 Hz ± 1 Hz and 60 Hz ± 1 Hz (dB)</th>
<th>Noise (µV rms)</th>
<th>Peak-to-Peak Resolution (Bits)</th>
<th>Comments</th>
</tr>
</thead>
<tbody>
<tr>
<td>27.27</td>
<td>36.67</td>
<td>47</td>
<td>6.44</td>
<td>19.1</td>
<td>See Figure 46 and Figure 49</td>
</tr>
<tr>
<td>25</td>
<td>40.0</td>
<td>62</td>
<td>6.09</td>
<td>19.2</td>
<td>See Figure 47 and Figure 50</td>
</tr>
<tr>
<td>20</td>
<td>50.0</td>
<td>85</td>
<td>5.54</td>
<td>19.35</td>
<td>See Figure 48 and Figure 51</td>
</tr>
<tr>
<td>16.667</td>
<td>60.0</td>
<td>90</td>
<td>5.38</td>
<td>19.51</td>
<td>See Figure 52 and Figure 53</td>
</tr>
</tbody>
</table>

1 マスタ・クロック = 2.00MHz

表 21. エンハンスド・フィルタを使ったときの出力データ・レート、電圧入力ノイズ、セトリング時間、および除去比

<table>
<thead>
<tr>
<th>Output Data Rate (SPS)</th>
<th>Settling Time (ms)</th>
<th>Simultaneous Rejection of 50 Hz ± 1 Hz and 60 Hz ± 1 Hz (dB)</th>
<th>Noise (nA rms)</th>
<th>Peak-to-Peak Resolution (Bits)</th>
<th>Comments</th>
</tr>
</thead>
<tbody>
<tr>
<td>27.27</td>
<td>36.67</td>
<td>47</td>
<td>7.69</td>
<td>21.4</td>
<td>See Figure 46 and Figure 49</td>
</tr>
<tr>
<td>25</td>
<td>40.0</td>
<td>62</td>
<td>7.68</td>
<td>21.2</td>
<td>See Figure 47 and Figure 50</td>
</tr>
<tr>
<td>20</td>
<td>50.0</td>
<td>85</td>
<td>7.26</td>
<td>21.7</td>
<td>See Figure 48 and Figure 51</td>
</tr>
<tr>
<td>16.667</td>
<td>60.0</td>
<td>90</td>
<td>7.25</td>
<td>21.7</td>
<td>See Figure 52 and Figure 53</td>
</tr>
</tbody>
</table>

1 マスタ・クロック = 2.00MHz

表 22. エンハンスド・フィルタを使ったときの出力データ・レート、電流入力ノイズ、セトリング時間、および除去比
図 46. 27.27SPS の ODR、36.67ms のセトリング時間

図 47. 25SPS の ODR、40ms のセトリング時間

図 48. 20SPS の ODR、50ms のセトリング時間

図 49. 27.27SPS の ODR、36.67ms のセトリング時間（40Hz ～ 70Hz）

図 50. 25SPS の ODR、40ms のセトリング時間（40Hz ～ 70Hz）

図 51. 20SPS の ODR、50ms のセトリング時間（40Hz ～ 70Hz）
図52. 16.667SPSのODR、60msのセッティング時間

図53. 16.667SPSのODR、60msのセッティング時間（40Hz～70Hz）
動作モード
AD4111 は ADC モード・レジスタとインターフェース・モード・レジスタで設定可能な多くの動作モードを備えています（表 26 と表 27 を参照）。これらのモードは次のとおりです。

- 連続変換モード
- 連続読み出しモード
- シングル変換モード
- スタンバイ・モード
- パワーダウン・モード
- 4 種類のキャリブレーション・モード

**連続変換モード**
連続変換モードは、パワーアップ時のデフォルト・モードです。AD4111 は連続的に変換を行い、変換が完了するとスレジスタの RDY ビットがロー・レベルになります。CS がロー・レベルの場合、変換が完了すると RDY 出力もロー・レベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行い、次の動作がデータ・レジスタからの読み出しだこと示します。データ・レジスタからデータワードを読み出すと、DOUT/RDY ビンがハイ・レベルになります。このレジスタの内容は、必要に応じて何回も読み出すことが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスを防止する必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルで 1 回の変換を行います。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順番に行われます。データ・レジスタは、変換結果が読み出し可能になると、直ちに更新されます。RDY は、変換結果が読み出し可能になるたびに、ロー・レベルのパルスを出力します。次いで、ADC がイネーブルされた次のチャンネルの変換を行っている間は、変換結果を読み出すことができません。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されていると、データ・レジスタを読み出すたびに、変換データと一緒にステータス・レジスタの内容が出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。
連続読出しモード

連続読出しモードでは、ADCデータの読み出し前にコミュニケーション・レジスタに書き込む必要はありません。\( \text{RDY} \)の出力がロー・レベルになって変換終了を示した後、必要な数のSCLKだけを印加します。変換結果を読み出すと、\( \text{RDY} \)出力はハイ・レベルに戻ります。次の変換結果が得られるまでハイ・レベルを維持します。このモードでは、データは1回しか読み出すことができません。次の変換が完了する前に、必ずデータワードを読み出してください。次回の変換完了前に変換結果を読み出さなかった場合、またはAD4111に与えるシリアル・クロック数がデータを読み出すのに十分でなかった場合には、シリアル出力レジスタは次の変換が完了する直前にリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読出しモードを使うためには、ADCは連続変換モード設定しなければなりません。連続読出しモードを設定しない場合には、ADCは連続変換モードに設定しなければなりません。連続読出しモードを有効化するには、インターフェースモードレジスタのCONTREADビットをセットします。このビットが設定されると、シリアル・インターフェースがデータ・レジスタからデータを読み出すことが可能になります。連続読出しモードを終了するには、\( \text{RDY} \)出力がロー・レベルのときにダミーのADCデータ・レジスタ読み出しコマンド（0x44）を実行します。もしくは、ソフトウェア・リセットを行って（すなわち、\( CS = 0 \)かつ\( DIN = 1 \)として64個のSCLKを送って）、ADCおよび全レジスタの内容をリセットします。ダミー読出しおよびソフトウェア・リセットだけが、インターフェースが連続読出しモードになった後にインターフェースを認識できるコマンドです。命令をデバイスに書き込むとするとときまで、連続読出しモードではDINをロー・レベルに保ちます。

複数のADCチャンネルがイネーブルで、インターフェースモード・レジスタのDATA_ STATビットがセットされている場合、データにステータスビットが付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタの下位4ビットに、変換結果に対応するチャンネルが示されます。

図55.連続読出しモード
シングル変換モード

シングル変換モードでは、AD4111は、一度だけ変換を行い、変換が終了するとスタンバイ・モードに移行します。RDY出力がロー・レベルになって変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、RDY出力がハイ・レベルに移行します。RDY出力がハイ・レベルに移行しても、必要に応じてデータ・レジスタを複数回読み出すことができます。

複数のチャンネルがイネーブルされていると、ADCはイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルの変換を行います。最初の変換が開始されると、RDY出力はハイ・レベルに移行し、有効な変換結果が得られてCSがロー・レベルになるまでハイ・レベルを維持します。変換結果が得られると、RDY出力がロー・レベルに移行します。続いてADCは次のチャンネルを選択して変換を開始します。次の変換を実行している間に、現在の変換結果を読み出すことができます。次の変換が完了すると、データ・レジスタが更新されます。したがって、変換データを読み出せる期間は限られています。ADCは、選択した各チャンネルのシングル変換を完了すると、スタンバイ・モードに戻ります。

インターフェース・モード・レジスタのDATA_STATビットが1に設定されていると、データ・レジスタが読み出されるたびに、変換結果と一緒にステータス・レジスタの内容が出力されます。ステータス・レジスタの下位4ビットに、変換結果に対応するチャンネルが示されます。

図 56. シングル変換モード
スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。しかし、レジスタの内容が保持されるよう、LDO レギュレータは動作状態を維持します。水晶発振器は、選択されている場合はオフラインのままである。スタンバイ・モードでクロックをパワーダウンするには、ADC モードとレジスタの CLOKSEL ビットを 0 に（内蔵発振器モード）に設定します。

パワーダウン・モードでは、LDO レギュレータを含むすべてのブロックへの電力供給が停止します。このとき、すべてのレジスタの内容が失われ、GPIO 出力はスリープ状態になります。電流入力の場合、理想的な関係式は次のとおりです。

電圧入力の場合、理想的な関係式は次のようになります。

式（すなわち、内部フルスケール・キャリブレーション）を行う必要はありません。ただし、システム・キャリブレーションが必要な場合は、VREF = 2.5V では 24mA のフルスケール値を印加します。

内部ゼロスケール・キャリブレーションでは、ADC コアのオフセット誤差のみが除去されます。抵抗フロント・エンドからのセット誤差のみが除去されます。内部ゼロスケール・キャリブレーションでは、オフセット誤差はそのチャンネルのノイズ・レベルまで軽減されます。

動作の観点からは、キャリブレーションはもう 1 つの ADC 変換として扱う必要があります。オフセット・キャリブレーションが必要な場合は、常にフルスケール・キャリブレーションの前に行う必要があります。スタータレジスタの RDY セットまたは RDY 出力をモニタするようにシステム・ソフトウェアを設定することで、ポーリング・シーケンスまたは割込みによるルーチンによってキャリブレーションが完了することを確認できます。そのキャリブレーションを完了するには、選択したフィルタとオフセット・データのセロツリング時間に等しい時間を必要とします。

低い出力データ・レートを使えば、精度の高いキャリブレーション結果を得ることができ、すべての出力データ・レートに対して高精度になります。あるチャンネルのリアライゼーション・ソースを変更した場合、そのチャンネルのため的新たなオフセット・キャリブレーションが必要です。

AD4111 では従来キャリブレーション・レジスタにアクセスできず、マイクロプロセッサがデバイスのキャリブレーション設定を読み出し、独自のキャリブレーション設定を書き込むことができます。キャリブレーション機能はオフセット・レジスタとゲイン・レジスタの設定から生成されます。
デジタル・インターフェース
AD4111のプログラマブル機能は、SPIシリアル・インターフェースを使ってアクセスできます。AD4111のシリアル・インターフェースは、CS、DIN、SCLK、DOUT/RDYの4つの信号で構成されています。DINラインはデータをオンチップ・レジスタに転送します。DOUT出力はオンチップ・レジスタからのデータにアクセスします。SCLKは、デバイスのシリアル・クロック入力です。すべてのデータ転送（DINまたはDOUT上の転送）は、このSCLK信号を基準として行います。

DOUT/RDYビンはデータ・レディ信号としても機能し、データ・レジスタ内の新しいデータワードが利用可能になったとき、CSがロー・レベルであればこのラインはロー・レベルになります。デバイス・レジスタからの読み出し動作が完了すると、このビンはハイ・レベルにリセットされます。DOUT出力はデータ・レジスタからの読み出し動作を示し、データが利用可能になったときにミスリセットされます。

DINラインはデータをオンチップ・レジスタに転送します。DOUT出力はオンチップ・レジスタからのデータにアクセスします。SCLKは、デバイスのシリアル・クロック入力です。すべてのデータ転送（DINまたはDOUT上の転送）は、このSCLK信号を基準として行います。

データへの書き込み時には、エラーが発生すると、ステータス・レジスタのCRC_ERRORビットがセットされます。ただし、それを確認するために、レジスタの書き込みを完了します。その後、書き込みしたデータを確認することが重要です。

書き込み動作時のCRCチェックサムの計算では、次の多項式が使用されます。

\[ x^4 + x^3 + x + 1 \]

書き込みは、書き込み前のデータの並列化と同期を含むように、書き込みの開始時と書き込みの完了時にデータの読み出しを行うことができます。書き込みの完了時と書き込みの開始時において、書き込みの完了時と書き込みの開始時にデータの読み出しを行うことができます。

書き込み後のデータは、書き込み前のデータの並列化と同期を含むように、書き込みの開始時と書き込みの完了時にデータの読み出しを行うことができます。書き込みの完了時と書き込みの開始時において、書き込みの完了時と書き込みの開始時にデータの読み出しを行うことができます。

書き込みの完了時と書き込みの開始時において、書き込みの完了時と書き込みの開始時にデータの読み出しを行うことができます。書き込みの完了時と書き込みの開始時において、書き込みの完了時と書き込みの開始時にデータの読み出しを行うことができます。
CRC の計算

多項式

8 ビット幅のチェックサムは、次の多項式で生成します。

\[ x^8 + x^2 + x + 1 \]

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの最も左にあるロジック 1 と揃うように、多項式の位置を合わせます。排他的論理和 (XOR) 関数をデータに適用して、短い数値を新規生成します。再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めをします。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。この値が 8 ビットのチェックサムになります。

多項式 CRC 計算の例 – 24 ビット・ワード: 0x654321

(8 ビット・コマンドと 16 ビット・データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

初期値

01100101010000110000000001

\[ x^8 + x^2 + x + 1 = \]

1001001000001100100000000
1000000000000000
100000111
1111110010000000000000000
100000111
1111110010000000000000000
100000111
1100000000000000000000000
100000111
1100000000000000000000000
100000111
1100100100000000000000000
100000111
1001010101000000000000000
100000111
1011010000000000000000000
100000111
1101011000000000000000000
100000111
1010101100000000000000000
100000111
1010001000000000000000000
100000111
10000110

チェックサム = 0x86。
排他的論理和 (XOR) の計算
データをバイトに分割し、それぞれのバイトに XOR 演算を行うことにより、8 ビット幅のチェックサムを生成します。

XOR 計算の例 - 24 ビット・ワード: 0x654321
(8 ビット・コマンドと 16 ビット・データ)
多項式的セクションに示す例を使用して、チェックサムを 0x65、0x43、0x21 の 3 バイトに分割します。

XOR 計算式は以下のとおりです。
01100101 0x65
01000011 0x43
00100110 XOR の結果
00100001 0x21
00000111 CRC
データシート
AD4111

内蔵機能
AD4111は多くの機能を内蔵しています。

汎用出力
AD4111は2本の汎用デジタル入出力ピン（GPO0とGPO1）を備えています。GPOピンは、GPIOCONレジスタのGPO_ENピンを使用してイネーブルします。

GP DATA0ピンとGP DATA1ピンは、これらピンの出力されるロジック・レベルをそれぞれ決定します。これらのピンのロジック・レベルは、AVDDとAVSSを基準としています。したがって、出力がAVDD–AVSS電圧に応じて振幅が5Vまたは3.3Vになります。

GPIOCONレジスタのERR_ENピンを1に設定した場合、ピンは汎用出力としても使用できます。この設定では、GPIOCONレジスタのERR_DATピンにより、ERRORピンのロジック・レベル出力が決まります。このピンのロジック・レベルはIOVDDとDGNDを基準にしており、ERRORピンにはアクティブ・プルアップ抵抗が備わっています。

遅延
AD4111はサンプリングを始める前に、プログラマブルな遅延を挿入することが可能です。この遅延により、外部アンプやマルチプレクサの出力がセトリングするまで待つことができ、外部アンプやマルチプレクサの仕様条件を緩和することもできます。0µs～8msの範囲で8つのプログラマブルな遅延を設定できます。設定にはADCモード・レジスタ(レジスタ0x01、ビット[10:8])を使用します。

16ビット/24ビット変換
デフォルトでは、AD4111は24ビットのデータ変換を行います。しかし、データ幅を16ビットに減らして出力させることもできます。インターフェース・モード・レジスタのWL16ビットを1に設定すると、すべてのデータ変換は16ビットに丸められます。この設定には、ADCモード・レジスタ（レジスタ0x01、ビット[10:8]）を使用します。

DOUT_RESET
シリアル・インターフェースでは、共有のDOUT/RDYピンを使用します。デフォルトでは、このピンはRDY信号が出力します。データ読み出し時、このピンは読み出し対象のレジスタからのデータを出力します。読み出し完了後、一定の短い時間（t）が経過したら、このピンは、RDY信号の出力に戻ります。ただし、この時間が一部のマイクロコントローラにとって短すぎることがあります。このため、インターフェース・モード・レジスタのDOUT_RESETピンを1に設定して、CSピンがハイ・レベルになるまで時間を延長することができます。この設定では、CSピンがハイ・レベルになると、データ変換は16ビットに設定されます。

同期
ノーマル同期
GPIOCONレジスタのSYNC_ENピンを1に設定すると、SYNCピンが同期出力として機能します。SYNC入力により、データ内のセットアップ状態に一価影響を与えることができ、変調器とデジタル・フィルタを同時にイネーブルできます。リセットによ り、既に誤った状態、すなわちSYNCの立上がりエッジから、アナログ入力のサンプル取得を開始できます。確実に同期させるには、このピンを少なくとも1マスタ・クロック・サイクルの間、ロー・レベルに維持する必要があります。複数のチャンネルがイネーブルの場合、シーンスは最初にイネーブルされたチャンネルにリセットされます。

オルタネート同期
オルタネート同期モードでは、AD4111の複数のチャンネルがイネーブルされている場合、SYNC入力は変換開始コマンドとして使用します。インターフェース・モード・レジスタのALT_SYNCピンを1に設定すると、オルタネート同期方式がイネーブルされます。SYNC入力がローチェラルになると、ADCはイネーブルされているチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択して、同期出力で次の変換が開始されるまで待機します。現在のチャンネルでの変換が完了し、対応する変換結果がデータ・レジスタに更新されると、RDY出力がローレベルになります。このため、SYNC入力は、現在選択されているチャンネルのサンプリングに干渉しません、シーケンス内の次のチャンネルで変換が行われるタイミングを制御できます。

オルタネート同期モードでは、複数のチャンネルをイネーブルする場合にのみ使用できます。1つのチャンネルのみをイネーブルする場合は、このモードの使用をお勧めしません。
データシート
AD4111

エラー・フラグ
ステータス・レジスタには、ADC変換エラー、CRCチェック・エラー、レジスタの変更によって発生したエラーをフラグする3つのエラー・ビット（ADC_ERROR、CRC_ERROR、REG_ERROR）があります。更に、ERROR出力でエラーが発生したことを示すことができます。

ADC_ERROR
ステータス・レジスタのADC_ERRORビットは、変換プロセス中に何らかのエラーが発生したことを示します。このフラグは、ADCからオーバーレンジまたはアンサンクレージが出力されるとセットされます。また、低電圧や過電圧が発生すると、ADCの出力はオール0またはオール1になります。このフラグは、または低電圧が解消されたときにのみリセットされます。データ・レジスタの読み出しによってもリセットされません。

CRC_ERROR
書込み動作時に付加されたCRCの値が送られた情報と一致しないと、CRC_ERRORフラグがセットされます。このフラグは、ステータス・レジスタが読み出されると、直ちにリセットされます。

REG_ERROR
REG_ERRORフラグはインターフェース・モード・レジスタのREG_CHECKビットと組み合わせて使用します。REG_CHECKビットを0にセットすると、レジスタの設定が完了します。また、このフラグは、内部レジスタの値をモニタします。ビットが変化すると、REG_ERRORビットに1がセットされます。また、低電圧や過電圧が発生すると、エラーが発生したことを示します。エラーが検出されたら、ステータス・レジスタのREG_ERRORビットをクリアするため、REG_CHECKビットを0にセットしてください。このレジスタ・チェック機能で、データ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタはモニタしません。

ERROR入出力
ERRORピンは、エラー出力ピンまたは汎用出力ピンとして機能します。GPIOCONレジスタのERROR_ENビットにより、このピンの機能が変えることができます。ERROR_ENを0にセットした場合、ERRORピンはオープンドライバーとして機能します。ステータス・レジスタの3つのエラー・ビット（ADC_ERROR、CRC_ERROR、REG_ERROR）は、論理和（OR）がとられて、反転され、出力にマッピングされます。これにより、ERROR出力はエラーが発生したことを示します。データの原因を特定するには、ステータス・レジスタを読み出す必要があります。

ERROR_ENを0にセットした場合、ピンはエラー入力として機能します。別のピンのエラー出力をAD4111のERROR入力に接続すると、AD4111または外部の部品でエラーが発生したときにエラーを示すことができます。ERROR入力の値が反転され、ADC変換からのエラーとの論理和がとられ、ステータス・レジスタのADC_ERRORビットを介してその結果が示されます。ERROR入力の値は、GPIO設定レジスタのERROR_DATビットに反映されます。

ERROR_ENを0に設定すると、ERROR入出力はディスアープリッシュされます。ERROR_ENを1に設定すると、ERRORピンは汎用出力として動作し、ERROR_DATビットを使用してピンのロジック・レベルを決定します。

DATA_STAT
IFMIDESレジスタのDATA_STATビットを使用して、ステータス・レジスタのデータをAD4111での各変換結果に付加できます。これは、複数のチャンネルがイネーブルされる場合に便利な機能です。変換結果が出力されると、ステータス・レジスタ内の値が付加されます。ステータス・レジスタの下位4ビットについては、変換を実行したチャンネルが表示されます。更に、エラー・ビットによって何らかのエラーが示されているかを判断できます。

IOSTRENGTH
シリアル・インターフェースは、電源電圧が2V以下でも動作します。ただし、基板上での程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/ RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー
AD4111は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。温度は、診断目的に使うこともできます。動作温度の変化を考慮して、アプリケーション回路でキャリブレーションします。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。温度センサーは、入出力パワーバイスポンプを使用して、内部温度を上昇させることができます。温度センサーが動作する場合、電源電圧は25℃で動作します。ディバイスは25℃で動作するのに、温度センサーが使用されている場合、内部温度は20℃以下です。温度センサーの出力は、温度センサーの電流を制御して、内部温度を上昇させることが可能です。温度センサーは、電源電圧が2V以下でも動作します。ただし、基板上での程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー
AD4111は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。温度は、診断目的に使うこともできます。動作温度の変化を考慮して、アプリケーション回路でキャリブレーションします。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。温度センサーは、入出力パワーバイスポンプを使用して、内部温度を上昇させることができます。温度センサーが動作する場合、電源電圧は25℃で動作します。ディバイスは25℃で動作するのに、温度センサーが使用されている場合、内部温度は20℃以下です。温度センサーの出力は、温度センサーの電流を制御して、内部温度を上昇させることが可能です。温度センサーは、電源電圧が2V以下でも動作します。ただし、基板上での程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー
AD4111は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。温度は、診断目的に使うこともできます。動作温度の変化を考慮して、アプリケーション回路でキャリブレーションします。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。温度センサーは、入出力パワーバイスポンプを使用して、内部温度を上昇させることができます。温度センサーが動作する場合、電源電圧は25℃で動作します。ディバイスは25℃で動作するのに、温度センサーが使用されている場合、内部温度は20℃以下です。温度センサーの出力は、温度センサーの電流を制御して、内部温度を上昇させることが可能です。温度センサーは、電源電圧が2V以下でも動作します。ただし、基板上での程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー
AD4111は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。温度は、診断目的に使うこともできます。動作温度の変化を考慮して、アプリケーション回路でキャリブレーションします。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。温度センサーは、入出力パワーバイスポンプを使用して、内部温度を上昇させることができます。温度センサーが動作する場合、電源電圧は25℃で動作します。ディバイスは25℃で動作するのに、温度センサーが使用されている場合、内部温度は20℃以下です。温度センサーの出力は、温度センサーの電流を制御して、内部温度を上昇させることが可能です。温度センサーは、電源電圧が2V以下でも動作します。ただし、基板上での程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー
AD4111は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。温度は、診断目的に使うこともできます。動作温度の変化を考慮して、アプリケーション回路でキャリブレーションします。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。温度センサーは、入出力パワーバイスポンプを使用して、内部温度を上昇させることができます。温度センサーが動作する場合、電源電圧は25℃で動作します。ディバイスは25℃で動作するのに、温度センサーが使用されている場合、内部温度は20℃以下です。温度センサーの出力は、温度センサーの電流を制御して、内部温度を上昇させることが可能です。温度センサーは、電源電圧が2V以下でも動作します。ただし、基板上での程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー
AD4111は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。温度は、診断目的に使うこともできます。動作温度の変化を考慮して、アプリケーション回路でキャリブレーションします。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。温度センサーは、入出力パワーバイスポンプを使用して、内部温度を上昇させることができます。温度センサーが動作する場合、電源電圧は25℃で動作します。ディバイスは25℃で動作するのに、温度センサーが使用されている場合、内部温度は20℃以下です。温度センサーの出力は、温度センサーの電流を制御して、内部温度を上昇させることが可能です。温度センサーは、電源電圧が2V以下でも動作します。ただし、基板上での程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。
アプリケーション情報
グラウニングとレイアウト
入力とリファレンス入力は差動なので、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れたコモンモード除去比により、これらの入力のコモンモードノイズが除去されます。AD4111のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンが採用されています。デジタル・フィルタは、マスタ・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、アナログ入力とリファレンス入力がアナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズ源のノイズも除去します。そのため、従来の高分解能コンバータに比べてAD4111のノイズ干渉耐性は向上しています。ただし、AD4111は分解能が高く、コンバータのノイズ・レベルが非常に低いため、グラウニングとレイアウトについては注意が必要です。

ADCを実装する基板は、アナログ部とデジタル部を分離し、ボードの特定の領域に収納するように設計する必要があります。一般に、エッチング部分を最小限に抑えると、最良のシールド効果が得られるので、この方法はグランド・プレーンに最適です。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、すべてのリターン電流用の経路と目的の場所まで電流を流す経路を、できるだけ短くして配置することが必要です。チップにノイズが混入しないよう、デバイスの下にはデジタル・ラインを配置しないでください。そうすれば、AD4111の下にアナログ・グランド・プレーンを配置することができ、ノイズの混入が防止されます。AD4111への電源ラインには可能な限り幅広いパターンを使用して低インピーダンス経路を確保し、電源ラインのグリッチを軽減します。クロックなどの高速スイッチング信号は、デジタル・グランドでシールドしてボードの他の部分へのノイズの放射を防止します。また、クロック信号が入力の近くを流して通らないようにします。デジタル信号とアナログ信号が交差してはいけません。ボードの反対側のパターンは、互いに直角になるように配置します。このレイアウトにより、ボード上でフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用が最もですが、両面ボードでは常に使用できるとは限りません。この技法を使用する場合、ボードの部品面はグランド・プレーン専用にして、信号はハンダ面に配線します。

高分解能ADCを使用する場合は、適切なデカップリングが重要です。AD4111には、AVDDとIOVDDの2本の電源ピンがあります。AVDDピッピンはAVSSを基準とし、IOVDDピッピンはDGNDを基準としています。10µFのタンタルコンデンサと0.1µFのコンデンサを並列に接続して、AVDDを各ピンのAVSSへデカップリングします。0.1µFのコンデンサはデバイスの各電源ピンのできるだけ近くに配置します。理想的には、デバイスに隣接させます。IOVDDは、10µFのタンタルコンデンサと0.1µFのコンデンサを並列にDGNDに接続してデカップリングします。すべての入力がAVSSへデカップリングします。外部リファレンスを使用する場合、REF+ピンとREF−ピンをAVSSにデカップリングします。AD4111は2つのLDOレギュレータも内蔵しており、それぞれAVDD電源とIOVDD電源を安定化します。REGCAPAピンには、AVSSに接続した1µFと0.1µFのコンデンサをお勧めします。同様に、REGCAPDピンには、DGNDに接続した1µFと0.1µFのコンデンサをお勧めします。
## レジスタの一覧

### 表 23. レジスタの一覧

<table>
<thead>
<tr>
<th>Reg. Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td><strong>COMMS</strong></td>
<td>[7:0]</td>
<td>WEN</td>
<td>R/W</td>
<td>RA</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x00</td>
</tr>
<tr>
<td><strong>Status</strong></td>
<td>[7:0]</td>
<td>EDY</td>
<td>ADC_ERROR</td>
<td>CRC_ERROR</td>
<td>REG_ERROR</td>
<td>Channel</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80</td>
</tr>
<tr>
<td><strong>ADCMODE</strong></td>
<td>[15:8]</td>
<td>REF_EN</td>
<td>Reserved</td>
<td>SING_CYC</td>
<td>Reserved</td>
<td>Delay</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x2000</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>Reserved</td>
<td>Mode</td>
<td>CLOCKSEL</td>
<td>Reserved</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>IFMODE</strong></td>
<td>[15:8]</td>
<td>Reserved</td>
<td>ALT_SYNC</td>
<td>IOSTRENGTH</td>
<td>Reserved</td>
<td>DOUT_RESET</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0000</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>CONTREAD</td>
<td>DATA_STAT</td>
<td>REGCHECK</td>
<td>Reserved</td>
<td>CRC_EN</td>
<td>Reserved</td>
<td>WL16</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>REGCHECK</strong></td>
<td>[23:16]</td>
<td>REGISTER_CHECK[23:16]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x000000</td>
</tr>
<tr>
<td></td>
<td>[15:8]</td>
<td>REGISTER_CHECK[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>REGISTER_CHECK[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>Data</strong></td>
<td>[23:16]</td>
<td>Data[23:16]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x000000</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>Data[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>GPIOCON</strong></td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>OP_EN0_1</td>
<td>OW_EN</td>
<td>SYNC_EN</td>
<td>ERR_EN</td>
<td>ERR_DAT</td>
<td></td>
<td></td>
<td>0x800</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>GP_DATA1</td>
<td>GP_DATA0</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x00</td>
</tr>
<tr>
<td><strong>ID</strong></td>
<td>[15:8]</td>
<td>ID[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x30</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>ID[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH0</strong></td>
<td>[15:8]</td>
<td>CH_EN0</td>
<td>SETUP_SEL0</td>
<td>Reserved</td>
<td>INPUT0[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x8001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT0[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH1</strong></td>
<td>[15:8]</td>
<td>CH_EN1</td>
<td>SETUP_SEL1</td>
<td>Reserved</td>
<td>INPUT1[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT1[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH2</strong></td>
<td>[15:8]</td>
<td>CH_EN2</td>
<td>SETUP_SEL2</td>
<td>Reserved</td>
<td>INPUT2[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT2[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH3</strong></td>
<td>[15:8]</td>
<td>CH_EN3</td>
<td>SETUP_SEL3</td>
<td>Reserved</td>
<td>INPUT3[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT3[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH4</strong></td>
<td>[15:8]</td>
<td>CH_EN4</td>
<td>SETUP_SEL4</td>
<td>Reserved</td>
<td>INPUT4[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT4[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH5</strong></td>
<td>[15:8]</td>
<td>CH_EN5</td>
<td>SETUP_SEL5</td>
<td>Reserved</td>
<td>INPUT5[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT5[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH6</strong></td>
<td>[15:8]</td>
<td>CH_EN6</td>
<td>SETUP_SEL6</td>
<td>Reserved</td>
<td>INPUT6[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT6[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH7</strong></td>
<td>[15:8]</td>
<td>CH_EN7</td>
<td>SETUP_SEL7</td>
<td>Reserved</td>
<td>INPUT7[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT7[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH8</strong></td>
<td>[15:8]</td>
<td>CH_EN8</td>
<td>SETUP_SEL8</td>
<td>Reserved</td>
<td>INPUT8[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT8[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH9</strong></td>
<td>[15:8]</td>
<td>CH_EN9</td>
<td>SETUP_SEL9</td>
<td>Reserved</td>
<td>INPUT9[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT9[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH10</strong></td>
<td>[15:8]</td>
<td>CH_EN10</td>
<td>SETUP_SEL10</td>
<td>Reserved</td>
<td>INPUT10[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>Input10[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH11</strong></td>
<td>[15:8]</td>
<td>CH_EN11</td>
<td>SETUP_SEL11</td>
<td>Reserved</td>
<td>INPUT11[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT11[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH12</strong></td>
<td>[15:8]</td>
<td>CH_EN12</td>
<td>SETUP_SEL12</td>
<td>Reserved</td>
<td>INPUT12[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT12[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH13</strong></td>
<td>[15:8]</td>
<td>CH_EN13</td>
<td>SETUP_SEL13</td>
<td>Reserved</td>
<td>INPUT13[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT13[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH14</strong></td>
<td>[15:8]</td>
<td>CH_EN14</td>
<td>SETUP_SEL14</td>
<td>Reserved</td>
<td>INPUT14[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT14[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>CH15</strong></td>
<td>[15:8]</td>
<td>CH_EN15</td>
<td>SETUP_SEL15</td>
<td>Reserved</td>
<td>INPUT15[9:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>INPUT15[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>SETUPCON0</strong></td>
<td>[15:8]</td>
<td>Reserved</td>
<td>BI_UNIPOLAR</td>
<td>REFBUF0</td>
<td>REFBUF0</td>
<td>INBUF0</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>REF_SEL0</td>
<td>Reserved</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td><strong>SETUPCON1</strong></td>
<td>[15:8]</td>
<td>Reserved</td>
<td>BI_UNIPOLAR</td>
<td>REFBUF1</td>
<td>REFBUF1</td>
<td>INBUF1</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td></td>
<td>[7:0]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>REF_SEL1</td>
<td>Reserved</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Reg.</td>
<td>Name</td>
<td>Bits</td>
<td>Bit 7</td>
<td>Bit 6</td>
<td>Bit 5</td>
<td>Bit 4</td>
<td>Bit 3</td>
<td>Bit 2</td>
<td>Bit 1</td>
<td>Bit 0</td>
<td>Reset</td>
</tr>
<tr>
<td>------</td>
<td>----------</td>
<td>------</td>
<td>------------</td>
<td>------------</td>
<td>------------</td>
<td>------------------------</td>
<td>------------------------</td>
<td>-------</td>
<td>-------</td>
<td>-------</td>
<td>-------</td>
</tr>
<tr>
<td>0x22</td>
<td>SETUPCON2</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>Bit 5 POLAR</td>
<td>REF BUF2+</td>
<td>REF BUF2−</td>
<td>INBUF2</td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td>0x23</td>
<td>SETUPCON3</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>Bit 6 POLAR</td>
<td>REF BUF3+</td>
<td>REF BUF3−</td>
<td>INBUF3</td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td>0x24</td>
<td>SETUPCON4</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>Bit 7 POLAR</td>
<td>REF BUF4+</td>
<td>REF BUF4−</td>
<td>INBUF4</td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td>0x25</td>
<td>SETUPCON5</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>Bit 8 POLAR</td>
<td>REF BUF5+</td>
<td>REF BUF5−</td>
<td>INBUF5</td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td>0x26</td>
<td>SETUPCON6</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>Bit 9 POLAR</td>
<td>REF BUF6+</td>
<td>REF BUF6−</td>
<td>INBUF6</td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td>0x27</td>
<td>SETUPCON7</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>Bit 10 POLAR</td>
<td>REF BUF7+</td>
<td>REF BUF7−</td>
<td>INBUF7</td>
<td></td>
<td></td>
<td>0x1000</td>
</tr>
<tr>
<td>0x28</td>
<td>FILTCON0</td>
<td>[15:8]</td>
<td>SINC MAP0</td>
<td>Reserved</td>
<td>ENHIFILTEN0</td>
<td>ENHIFILT0</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x29</td>
<td>FILTCON1</td>
<td>[15:8]</td>
<td>SINC MAP1</td>
<td>Reserved</td>
<td>ENHIFILTEN1</td>
<td>ENHIFILT1</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x2A</td>
<td>FILTCON2</td>
<td>[15:8]</td>
<td>SINC MAP2</td>
<td>Reserved</td>
<td>ENHIFILTEN2</td>
<td>ENHIFILT2</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x2B</td>
<td>FILTCON3</td>
<td>[15:8]</td>
<td>SINC MAP3</td>
<td>Reserved</td>
<td>ENHIFILTEN3</td>
<td>ENHIFILT3</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x2C</td>
<td>FILTCON4</td>
<td>[15:8]</td>
<td>SINC MAP4</td>
<td>Reserved</td>
<td>ENHIFILTEN4</td>
<td>ENHIFILT4</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x2D</td>
<td>FILTCON5</td>
<td>[15:8]</td>
<td>SINC MAP5</td>
<td>Reserved</td>
<td>ENHIFILTEN5</td>
<td>ENHIFILT5</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x2E</td>
<td>FILTCON6</td>
<td>[15:8]</td>
<td>SINC MAP6</td>
<td>Reserved</td>
<td>ENHIFILTEN6</td>
<td>ENHIFILT6</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x2F</td>
<td>FILTCON7</td>
<td>[15:8]</td>
<td>SINC MAP7</td>
<td>Reserved</td>
<td>ENHIFILTEN7</td>
<td>ENHIFILT7</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x0500</td>
</tr>
<tr>
<td>0x30</td>
<td>OFFSET0</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x31</td>
<td>OFFSET1</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x32</td>
<td>OFFSET2</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x33</td>
<td>OFFSET3</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x34</td>
<td>OFFSET4</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x35</td>
<td>OFFSET5</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x36</td>
<td>OFFSET6</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x37</td>
<td>OFFSET7</td>
<td>[23:0]</td>
<td>OFFSET[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x80000</td>
</tr>
<tr>
<td>0x38</td>
<td>GAIN0</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
<tr>
<td>0x39</td>
<td>GAIN1</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
<tr>
<td>0x3A</td>
<td>GAIN2</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
<tr>
<td>0x3B</td>
<td>GAIN3</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
<tr>
<td>0x3C</td>
<td>GAIN4</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
<tr>
<td>0x3D</td>
<td>GAIN5</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
<tr>
<td>0x3E</td>
<td>GAIN6</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
<tr>
<td>0x3F</td>
<td>GAIN7</td>
<td>[23:0]</td>
<td>GAIN[23:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>0x5XXX0</td>
</tr>
</tbody>
</table>
レジスタの詳細

コミュニケーション・レジスタ

アドレス: 0x00, リセット: 0x00、レジスタ名: COMMS

内蔵レジスタに対するすべてのアクセスは、このコミュニケーション・レジスタへの書込みで開始する必要があります。この書込みにより、次にアクセスするレジスタと、動作が書込みと読出しのいずれであるかを指定します。

表 24. COMMS のビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>7</td>
<td>WEN</td>
<td>ADC</td>
<td>通信を開始するには、このビットをロー・レベルにする必要があります。</td>
<td>0x0</td>
<td>W</td>
</tr>
<tr>
<td>6</td>
<td>R/W</td>
<td>0</td>
<td>このビットで、コマンドの動作が読出しそか書込みかを指定します。</td>
<td>0x0</td>
<td>W</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>読出しコマンド</td>
<td></td>
<td></td>
</tr>
<tr>
<td>[5:0]</td>
<td>RA</td>
<td>000000</td>
<td>ステータス・レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>000001</td>
<td>ADCモード・レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>000010</td>
<td>インターフェース・モード・レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>000011</td>
<td>レジスタ・チェックサム・レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>000100</td>
<td>データ・レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>000110</td>
<td>GPIO設定レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>000111</td>
<td>IDレジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010000</td>
<td>チャンネル 0 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010001</td>
<td>チャンネル 1 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010010</td>
<td>チャンネル 2 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010011</td>
<td>チャンネル 3 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010100</td>
<td>チャンネル 4 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010101</td>
<td>チャンネル 5 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010110</td>
<td>チャンネル 6 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010111</td>
<td>チャンネル 7 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011000</td>
<td>チャンネル 8 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011001</td>
<td>チャンネル 9 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011010</td>
<td>チャンネル 10 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011011</td>
<td>チャンネル 11 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011100</td>
<td>チャンネル 12 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011101</td>
<td>チャンネル 13 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011110</td>
<td>チャンネル 14 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011111</td>
<td>チャンネル 15 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100000</td>
<td>セットアップ設定 0 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100001</td>
<td>セットアップ設定 1 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100010</td>
<td>セットアップ設定 2 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100011</td>
<td>セットアップ設定 3 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100100</td>
<td>セットアップ設定 4 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100101</td>
<td>セットアップ設定 5 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100110</td>
<td>セットアップ設定 6 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100111</td>
<td>セットアップ設定 7 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101000</td>
<td>フィルタ設定 0 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101001</td>
<td>フィルタ設定 1 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101010</td>
<td>フィルタ設定 2 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101011</td>
<td>フィルタ設定 3 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101100</td>
<td>フィルタ設定 4 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101101</td>
<td>フィルタ設定 5 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101110</td>
<td>フィルタ設定 6 レジスタ</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101111</td>
<td>フィルタ設定 7 レジスタ</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>
### ステータス・レジスタ

アドレス: 0x0000、リセット: 0x80、レジスタ名: Status

ステータス・レジスタは8ビットのレジスタで、ADCとシリアル・インターフェースのステータスに関する情報が格納されています。インタフェース・モード・レジスタのDATA_STATビットをセットすることで、オプションとして、このレジスタの内容をデータ・レジスタへ付加することができます。

表25. STATUSのビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>7</td>
<td>RDY</td>
<td>0</td>
<td>CSがロー・レベルで、レジスタが読み出し中でない場合は、RDYのステータスがDOUT/RDYピンに出力されます。このビットは、ADCがデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADCのキャリブレーション・モードでは、ADCがキャリブレーション結果を書き込むと、このビットはロー・レベルになります。RDYは、データ・レジスタの読み出しによって自動的にハイ・レベルになります。新しいデータが読み出し可能。</td>
<td>0x1</td>
<td>R</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>6</td>
<td>ADC_ERROR</td>
<td>0</td>
<td>このビットは、デフォルトでは、ADCがオーバーレンジまたはアンダーレンジになったことを示します。ADCの変換結果は、オーバーレンジ・エラーの場合は0xFFFFFFにクリップされ、アンダーレンジ・エラーの場合は0x000000にクリップされます。このビットは、ADCの変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後、次の更新時にクリアされます。エラーなし。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>5</td>
<td>CRC_ERROR</td>
<td>0</td>
<td>このビットは、レジスタ書き込み時にCRCエラーが発生したかどうかを示します。レジスタ読み出しの場合、ホスト・マイクロコントローラが、CRCエラーが発生したかどうかを判断します。このレジスタを読み出すと、このビットはクリアされます。エラーなし。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>CRCエラー。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>4</td>
<td>REG_ERROR</td>
<td>0</td>
<td>このビットは、内部レジスタのいずれかの値が、レジスタの整合性チェックを実行したときの計算値から変化したかどうかを示します。インタフェース・モード・レジスタのREG_CHECKビットをセットすると、チェックが実行されます。このビットをクリアするには、REG_CHECKビットをクリアします。エラーなし。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>REGエラー。</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>
### データシート

**AD4111**

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[3:0]</td>
<td>Channel</td>
<td></td>
<td>これらのビットは、現在データ・レジスタにADC変換結果が格納されているその変換を行ったのはどのチャンネルかを示します。このチャンネルは、現在変換を行っているチャンネルとは異なる場合があります。マッピングは、チャンネル・レジスタからの直接マップです。したがって、チャンネル0は0x0になり、チャンネル15は0xFになります。</td>
<td>0x00</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>チャネル0。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>0001</td>
<td>チャネル1。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>0010</td>
<td>チャネル2。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>0011</td>
<td>チャネル3。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>0100</td>
<td>チャネル4。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>0101</td>
<td>チャネル5。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>0110</td>
<td>チャネル6。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>0111</td>
<td>チャネル7。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1000</td>
<td>チャネル8。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1001</td>
<td>チャネル9。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1010</td>
<td>チャネル10。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1011</td>
<td>チャネル11。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1100</td>
<td>チャネル12。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1101</td>
<td>チャネル13。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1110</td>
<td>チャネル14。</td>
<td>R</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>1111</td>
<td>チャネル15。</td>
<td>R</td>
<td></td>
</tr>
</tbody>
</table>

### ADCモード・レジスタ

**アドレス**: 0x01、リセット: 0x2000、レジスタ名: ADCMODE

ADCモード・レジスタはADCの動作モードとマスタ・クロックの選択を制御します。ADCモード・レジスタへの書き込みによって、フィルタとRDYビットがリセットされ、新しい変換またはキャリブレーションが開始されます。

<table>
<thead>
<tr>
<th>表26. ADCMODEのビットの説明</th>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>15</td>
<td>REF_EN</td>
<td>0</td>
<td>内部リファレンスをイネーブルし、バッファされた2.5VをREFOUTピンに出力します。ディスエーブル。</td>
<td>0x00</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td>14</td>
<td>Reserved</td>
<td>0</td>
<td>このビットは予備で、0に設定します。</td>
<td>0x00</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td>13</td>
<td>SING_CYC</td>
<td>0</td>
<td>1チャンネルのみがアクティブなとき、このビットを使用して、固定のフィルタ・データ・レートのみで出力するようにADCを設定することができます。ディスエーブル。</td>
<td>0x01</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td>[12:11]</td>
<td>Reserved</td>
<td>0</td>
<td>これらのビットは予備で、0に設定します。</td>
<td>0x00</td>
<td>R</td>
</tr>
<tr>
<td></td>
<td>[10:8]</td>
<td>Delay</td>
<td>000</td>
<td>これらのビットにより、チャンネルが切り替わった後、プログラムによる遅延を追加することがでで、外部回路がセトリングしたらADCがその入力の処理を開始するようにすることができます。</td>
<td>0x00</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>001</td>
<td>0µs</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>010</td>
<td>32µs</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>011</td>
<td>128µs</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>011</td>
<td>320µs</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>100</td>
<td>800µs</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>101</td>
<td>1.6ms</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>110</td>
<td>4ms</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>111</td>
<td>8ms</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td>7</td>
<td>Reserved</td>
<td>0</td>
<td>このビットは予備で、0に設定します。</td>
<td>0x00</td>
<td>R</td>
</tr>
<tr>
<td>ビット</td>
<td>ビット名</td>
<td>設定値</td>
<td>説明</td>
<td>リセット</td>
<td>読書き</td>
<td></td>
</tr>
<tr>
<td>-------</td>
<td>-------</td>
<td>-------</td>
<td>------</td>
<td>--------</td>
<td>--------</td>
<td></td>
</tr>
<tr>
<td>[6:4]</td>
<td>Mode</td>
<td>000</td>
<td>連続変換モード。</td>
<td>0x0</td>
<td>RW</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>001</td>
<td>シングル変換モード。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>010</td>
<td>スタンバイ・モード。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>011</td>
<td>パワーダウン・モード。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>100</td>
<td>内部オフセットのキャリブレーション。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>101</td>
<td>内部ゲインのキャリブレーション。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>110</td>
<td>システム・オフセットのキャリブレーション。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>111</td>
<td>システム・ゲインのキャリブレーション。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>[3:2]</td>
<td>CLOCKSEL</td>
<td>00</td>
<td>内部発振器。</td>
<td>0x0</td>
<td>RW</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>01</td>
<td>内部発振器の出力（XTAL2／CLKIO ピン）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>10</td>
<td>外部クロックの入力（XTAL2／CLKIO ピン）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>11</td>
<td>外部水晶発振器（XTAL1 および XTAL2／CLKIO ピン）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>[1:0]</td>
<td>Reserved</td>
<td>00</td>
<td>これらのビットは予備で、0に設定します。</td>
<td>0x0</td>
<td>R</td>
<td></td>
</tr>
</tbody>
</table>

### インターフェース・モード・レジスタ

アドレス：0x02、リセット：0x0000、レジスタ名：IFMODE

インターフェース・モード・レジスタは様々なシリアル・インターフェース・オプションを設定します。

表 27. IFMODEのビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[15:13]</td>
<td>Reserved</td>
<td>00</td>
<td>これらのビットは予備で、0に設定します。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td>12</td>
<td>ALT_SYNC</td>
<td>0</td>
<td>このビットにより、SYNCビンの動作を変更して、チャンネル切替え時の変換制御にSYNCを使用できます。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>無効。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>11</td>
<td>IOSTRENGTH</td>
<td>0</td>
<td>このビットはDOUT/READYビンの駆動能力を制御します。低電圧のIOVDD電源を使い、容量が中程度のシリアル・インターフェースから高速で読み出す場合、このビットをセットします。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>無効（デフォルト）。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>[10:9]</td>
<td>Reserved</td>
<td>00</td>
<td>これらのビットは予備で、0に設定します。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td>8</td>
<td>DOUT_RESET</td>
<td>0</td>
<td>DOUT_RESETのセクションを参照してください。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>無効。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>7</td>
<td>CONTREAD</td>
<td>0</td>
<td>このビットは、ADCデータ・レジスタの連続読み出しモードを有効にします。連続読み出しモードを使うには、ADCを連続変換モードに設定する必要があります。詳細については、動作モードのセクションを参照してください。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>無効。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>6</td>
<td>DATA_STAT</td>
<td>0</td>
<td>このビットは、読み出し時にデータ許可・レジスタの内容をデータ・レジスタ内容に付加する機能を有効にし、チャンネルとデータの情報がデータと共に送信されるようにします。これは、データ許可・レジスタから読み出したチャンネル・ビットを確実にデータ・レジスタのデータに対応させる唯一の方法です。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td>ビット</td>
<td>ビット名</td>
<td>設定値</td>
<td>説明</td>
<td>リセット</td>
<td>読書き</td>
</tr>
<tr>
<td>-------</td>
<td>---------</td>
<td>--------</td>
<td>------</td>
<td>--------</td>
<td>--------</td>
</tr>
<tr>
<td>5</td>
<td>REG_CHECK</td>
<td>0</td>
<td>0x0</td>
<td>有効</td>
<td>有効</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>0x1</td>
<td>有効</td>
<td>有効</td>
</tr>
</tbody>
</table>

このビットは、ユーザ・レジスタの整数性チェック機能を有効にします。この機能を使って、ユーザ・レジスタ内に値の変化をすべて監視することができ、この機能を使用するには、このビットをクリアした状態で必要かつレジスタをすべて設定します。このレジスタに書き込んだREG_CHECKビットを1に設定します。あるレジスタの内容が変化すると、ステータス・レジスタのREG_ERRORビットがセットされます。このエラーをクリアするには、REG_CHECKビットを0に設定します。ただし、インターフェース・モード・レジスタ、ADCデータ・レジスタステータス・レジスタのいずれも、チェック対象のレジスタには含まれていません。このレジスタを書き込む必要がある場合、最初にこのビットをクリアします。そうしないと、新しいレジスタ内容を書き込むときに、エラー・フラグが表示されます。

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[3:2]</td>
<td>CRC_EN</td>
<td>00</td>
<td>0x00</td>
<td>有効</td>
<td>有効</td>
</tr>
<tr>
<td></td>
<td></td>
<td>01</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>10</td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

これらのビットは、レジスタの読み出し／書き込みにCRC保護を有効にします。CRCにより、シリアル・インタフェース転送のバイナリが1だけ増加します。無効時。

【注】このレジスタの読み込みトランザクションで、XORのチェックサムを有効にします。これらのビットの設定では、レジスタの読み出し時にCRCが使用されます。レジスタの読み書きトランザクションで、CRCチェックサムを有効にします。

表28. REGCHECKのビットの説明

データ・レジスタ

データ・レジスタには、ADCの変換結果が格納されます。エンコーディングはオフセット・バイナリですが、セットアップ設定レジスタのBL_UNIPOLARxビットによってユニポーラーに変更できます。RDYビットとRDY出力がロー・レベルの場合、データ・レジスタを読み出すと、これらのビットはハイ・レベルになります。ADCの変換結果は複数回読み出すことができます。ただし、RDY出力がハイ・レベルになっているため、ADCの次の変換結果が差し迫っているかどうかを知ることはできません。ADCのレジスタを読み出すコマンドを受け取った後、ADCは新しい変換結果をレジスタに書き込みます。

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[23:0]</td>
<td>REGISTER_CHECK</td>
<td>0x000000</td>
<td>有効</td>
<td>有効</td>
<td></td>
</tr>
</tbody>
</table>

このレジスタには、ADCの変換結果が格納されます。インターフェース・モード・レジスタのDATA_STATビットをセットすると、読み出し時にステータス・レジスタデータが付加され、32ビット・レジスタになります。インターフェース・モード・レジスタのWL16を設定すると、このレジスタは16ビット長に短縮されます。

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[23:0]</td>
<td>Data</td>
<td>0x000000</td>
<td>有効</td>
<td>有効</td>
<td></td>
</tr>
</tbody>
</table>
## GPIO設定レジスタ

**アドレス:** 0x06、**リセット:** 0x0800、**レジスタ名:** GPIOCON

GPIO設定レジスタは、ADCの汎用I/Oピンを制御します。

### 表 30. GPIOCONのビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[15:14]</td>
<td>Reserved</td>
<td>予備</td>
<td>予備</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td>13</td>
<td>OP_EN0_1</td>
<td>0</td>
<td>GPIO0/GPO1出力イネーブル。このビットはGPIO0とGPO1をイネーブルします。出力は、AVDD1とAVSSの間の電圧を基準にしています。ディスエーブル。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td>12</td>
<td>OW_EN</td>
<td>0</td>
<td>このビットは、電圧チャンネルの断線検出機能の使用をイネーブルします。ディスエーブル。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td>11</td>
<td>SYNC_EN</td>
<td>0</td>
<td>SYNC入力イネーブル。このビットにより、SYNCビンを同期入力として使用できるようになります。</td>
<td>0x1</td>
<td>R/W</td>
</tr>
<tr>
<td>[10:9]</td>
<td>ERR_EN</td>
<td>0</td>
<td>エラー・ビン・モード。これらのビットにより、ERRORビンをエラー入出力として使用できるようになります。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td>8</td>
<td>ERR_DAT</td>
<td>0</td>
<td>エラー・ビン・データ。ERRORビンが汎用出力としてイネーブルされる場合、このビットがこのビンのロジック・レベルを決定します。このビンが入力としてイネーブルされていると、このビットは、このビンのリードバック・データを反映します。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td>7</td>
<td>GP_DATA1</td>
<td>0</td>
<td>GPO1データ。このビットはGPO1の書き込みデータです。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td>6</td>
<td>GP_DATA0</td>
<td>0</td>
<td>GPO0データ。このビットはGPO0の書き込みデータです。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td>[5:0]</td>
<td>Reserved</td>
<td>予備</td>
<td>予備</td>
<td>0x0</td>
<td>R</td>
</tr>
</tbody>
</table>
# データシート

## ID レジスタ

アドレス: 0x07、リセット: 0x30DX、レジスタ名: ID

ID レジスタは 16 ビットの ID を返します。AD4111 の場合、この値は 0x30DX です。

### 表 31. ID のビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>15:0</td>
<td>ID</td>
<td></td>
<td>製品 ID、ID レジスタは、この ADC 固有の 16 ビットの ID コードを返します。0x30DX</td>
<td>R</td>
<td></td>
</tr>
</tbody>
</table>

## チャンネル・レジスタ 0

アドレス: 0x10、リセット: 0x8001、レジスタ名: CH0

チャンネル・レジスタは 16 ビットのレジスタです。現在アクティブなチャンネル、各チャンネルの入力、チャンネル用の ADC の設定に使用するセットアップを選択するには、このレジスタを使用します。

### 表 32. CH0 のビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>15</td>
<td>CH_EN0</td>
<td></td>
<td>このビットはチャンネル 0 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。ディスエーブル。</td>
<td>0x01</td>
<td>R/W</td>
</tr>
<tr>
<td>14:12</td>
<td>SETUP_SEL0</td>
<td></td>
<td>これらのビットは、このチャンネル用に ADC を設定するための 8 種類のセットアップのうち、どれを使用するかを指定します。各セットアップは、セットアップ設定レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 つのレジスタで構成されています。すべてのチャンネルが同じセットアップを使用することができます。この場合、すべてのアクティブなチャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。または、最大 8 チャンネルを異なる設定にすることができます。設定アップ 0, 1, 2, 3, 4, 5, 6, 7。</td>
<td>0x00</td>
<td>R/W</td>
</tr>
<tr>
<td>11:10</td>
<td>Reserved</td>
<td></td>
<td>予備。</td>
<td>0x00</td>
<td>R</td>
</tr>
<tr>
<td>9:0</td>
<td>INPUT0</td>
<td></td>
<td>これらのビットは、このチャンネルの ADC の入力に接続する入力ペアを選択します。</td>
<td>0x01</td>
<td>R/W</td>
</tr>
</tbody>
</table>

VNO, VIN1, VIN2, VIN3, VIN4, VIN5, VIN6, VIN7, VINCOM, IIN1+, IIN1−, IIN2+, IIN2−, IIN3+, IIN3−,
チャンネル・レジスタ 1～チャンネル・レジスタ 15

アドレス：0x11～0x1F、リセット：0x0001、レジスタ名：CH1～CH7

残り 15 のチャンネル・レジスタは、チャンネル・レジスタ 0 と同じレイアウトです。

表 33. CH1～CH15 のレジスタ・マップ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x11</td>
<td>CH1</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT1[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x12</td>
<td>CH2</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT2[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x13</td>
<td>CH3</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT3[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x14</td>
<td>CH4</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT4[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x15</td>
<td>CH5</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT5[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x16</td>
<td>CH6</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT6[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x17</td>
<td>CH7</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT7[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x18</td>
<td>CH8</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT8[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x19</td>
<td>CH9</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT9[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x1A</td>
<td>CH10</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT10[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x1B</td>
<td>CH11</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT11[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x1C</td>
<td>CH12</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT12[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x1D</td>
<td>CH13</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT13[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x1E</td>
<td>CH14</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT14[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
<tr>
<td>0x1F</td>
<td>CH15</td>
<td>[15:8]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>INPUT15[7:0]</td>
<td></td>
<td>0x0001</td>
</tr>
</tbody>
</table>
セットアップ設定レジスタ 0
アドレス: 0x20、リセット: 0x1000、レジスタ名: SETUPCON0

セットアップ設定レジスタは 16 ビットのレジスタで、リファレンスの選択、入力パッファ、および ADC の出力コーディングを設定します。

表 34. SETUPCON0 のビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[15:13]</td>
<td>BI_UNIPOLAR0</td>
<td>0</td>
<td>バイポーラ/ニューポーラ。このビットはセットアップ 0 の ADC の出力コーディングを設定します。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>バイポーラコーディング出力。ニューポーラコーディング出力。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>11</td>
<td>RFBUF0+</td>
<td>0</td>
<td>REF+パッファ。このビットは REF+入力パッファをイネーブルまたはディスイネーブルします。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>ディスイネーブル。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>10</td>
<td>RFBUF0−</td>
<td>0</td>
<td>REF−パッファ。このビットは REF−入力パッファをイネーブルまたはディスイネーブルします。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td></td>
<td></td>
<td>1</td>
<td>ディスイネーブル。</td>
<td></td>
<td></td>
</tr>
<tr>
<td>[9:8]</td>
<td>INBUF0</td>
<td>00</td>
<td>入力パッファ。このビットは入力パッファをイネーブルまたはディスイネーブルします。</td>
<td>0x0</td>
<td>R/W</td>
</tr>
<tr>
<td></td>
<td></td>
<td>01</td>
<td>予備。</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>10</td>
<td>予備。</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>11</td>
<td>イネーブル。</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

セットアップ設定レジスタ 1 ～セットアップ設定レジスタ 7
アドレス: 0x21～0x27、リセット値: 0x1000、レジスタ名: SETUPCON1～SETUPCON7

残り 7 つのセットアップ設定レジスタは、セットアップ設定レジスタ 0 と同じレイアウトです。

表 35. SETUPCON1～SETUPCON7 のレジスタ・マップ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 7</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x21</td>
<td>SETUPCON1</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>BI_UNIPOLAR1</td>
<td>RFBUF1+</td>
<td>RFBUF1−</td>
<td>INBUF1</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x22</td>
<td>SETUPCON2</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>BI_UNIPOLAR2</td>
<td>RFBUF2+</td>
<td>RFBUF2−</td>
<td>INBUF2</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x23</td>
<td>SETUPCON3</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>BI_UNIPOLAR3</td>
<td>RFBUF3+</td>
<td>RFBUF3−</td>
<td>INBUF3</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x24</td>
<td>SETUPCON4</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>BI_UNIPOLAR4</td>
<td>RFBUF4+</td>
<td>RFBUF4−</td>
<td>INBUF4</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x25</td>
<td>SETUPCON5</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>BI_UNIPOLAR5</td>
<td>RFBUF5+</td>
<td>RFBUF5−</td>
<td>INBUF5</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x26</td>
<td>SETUPCON6</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>BI_UNIPOLAR6</td>
<td>RFBUF6+</td>
<td>RFBUF6−</td>
<td>INBUF6</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x27</td>
<td>SETUPCON7</td>
<td>[15:8]</td>
<td>Reserved</td>
<td>Reserved</td>
<td>BI_UNIPOLAR7</td>
<td>RFBUF7+</td>
<td>RFBUF7−</td>
<td>INBUF7</td>
<td>0x1000</td>
<td>RW</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>
フィルタ設定レジスタ 0

アドレス: 0x28、リセット: 0x0500、レジスタ名: FILTCON0

フィルタ設定レジスタは 16 ビットのレジスタで、ADC のデータ・レートとフィルタ・オプションを設定します。これらのレジスタに書き込むと、アクティブな ADC 変換はすべてリセットされ、シークエンス内最初のチャンネルから変換が再開されます。

表 36. FILTCON0 のビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>15</td>
<td>SINC3_MAP0</td>
<td></td>
<td>このビットをセットすると、フィルタ・レジスタのマッピングが変化して、セットアップ 0 の sinc3 フィルタのデシメーション・レートが直接設定されます。他のオプションはすべて無効になります。このビットにより、出力データ・レートおよび特定の周波数成分を除去するフィルタ・ノッチの微調整が可能になります。1つのチャンネルのデータ・レートは$f_{adc}(32 \times \text{FILTCON0}[14:0])$に等しくなります。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td>[14:12]</td>
<td>Reserved</td>
<td></td>
<td>これらのビットは予備で、0 に設定します。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td>11</td>
<td>ENHFLTEN0</td>
<td></td>
<td>このビットは、セットアップ 0 の 50Hz/60Hz 除去用強化された各種ポスト・フィルタをイネーブルします。この機能を有効にするには、ORDER0 ビットを 00 に設定し、sinc5 + sinc1 フィルタを選択する必要があります。ディスエーブル。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td>0</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>1</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>[10:8]</td>
<td>ENHFLT0</td>
<td></td>
<td>これらのビットは、セットアップ 0 の 50Hz/60Hz 除去用強化された各種ポスト・フィルタを選択します。</td>
<td>0x5</td>
<td>RW</td>
</tr>
<tr>
<td>010</td>
<td></td>
<td>27SPS</td>
<td>除去比: 47dB、セトリング時間: 36.7ms</td>
<td></td>
<td></td>
</tr>
<tr>
<td>011</td>
<td></td>
<td>25SPS</td>
<td>除去比: 62dB、セトリング時間: 40ms</td>
<td></td>
<td></td>
</tr>
<tr>
<td>101</td>
<td></td>
<td>20SPS</td>
<td>除去比: 86dB、セトリング時間: 50ms</td>
<td></td>
<td></td>
</tr>
<tr>
<td>110</td>
<td></td>
<td>16.67SPS</td>
<td>除去比: 92dB、セトリング時間: 60ms</td>
<td></td>
<td></td>
</tr>
<tr>
<td>7</td>
<td>Reserved</td>
<td></td>
<td>このビットは予備で、0 に設定します。</td>
<td>0x0</td>
<td>R</td>
</tr>
<tr>
<td>[6:5]</td>
<td>ORDER0</td>
<td></td>
<td>これらのビットは、セットアップ 0 の変調器データを処理するデジタル・フィルタの次数を制御します。Sinc5 + sinc1（デフォルト）。Sinc3。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td>00</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>11</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>[4:0]</td>
<td>ODR0</td>
<td></td>
<td>これらのビットは ADC の出力データ・レートを制御します。したがって、セットアップ 0 のセトリング時間とノイズの値も制御します。単一チャンネルで sinc5 + sinc1 フィルタをイネーブルした場合のレートを以下に示します。複数チャンネルについては、表 6 と表 9 を参照してください。</td>
<td>0x0</td>
<td>RW</td>
</tr>
<tr>
<td>00000</td>
<td></td>
<td>31,250SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>00001</td>
<td></td>
<td>31,250SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>00010</td>
<td></td>
<td>31,250SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>00011</td>
<td></td>
<td>31,250SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>00100</td>
<td></td>
<td>31,250SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>00101</td>
<td></td>
<td>31,250SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>00110</td>
<td></td>
<td>15.625SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>00111</td>
<td></td>
<td>10.417SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01000</td>
<td></td>
<td>5208SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01001</td>
<td></td>
<td>2597SPS（sinc3 では 3906SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01010</td>
<td></td>
<td>1007SPS（sinc3 では 1157SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01011</td>
<td></td>
<td>503.8SPS（sinc3 では 539SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01100</td>
<td></td>
<td>3818SPS（sinc3 では 401SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01101</td>
<td></td>
<td>200.3SPS（sinc3 では 206SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01110</td>
<td></td>
<td>100.2SPS（sinc3 では 102SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>01111</td>
<td></td>
<td>59.52SPS（sinc3 では 59.98SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10000</td>
<td></td>
<td>49.68SPS（sinc3 では 50SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10001</td>
<td></td>
<td>20.01SPS。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10010</td>
<td></td>
<td>16.63SPS（sinc3 では 16.67SPS）。</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10011</td>
<td></td>
<td>10SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10100</td>
<td></td>
<td>5SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10101</td>
<td></td>
<td>2.5SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10110</td>
<td></td>
<td>1.25SPS</td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>
フィルタ設定レジスタ1～フィルタ設定レジスタ7
アドレス：0x29～0x2F、リセット：0x0500、レジスタ名：FILTCON1～FILTCON7
残り7つのフィルタ設定レジスタは、フィルタ設定レジスタ0と同じレイアウトです。

表37. FILTCON1～FILTCON7のレジスタ・マップ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bit 6</th>
<th>Bit 5</th>
<th>Bit 4</th>
<th>Bit 3</th>
<th>Bit 2</th>
<th>Bit 1</th>
<th>Bit 0</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x29</td>
<td>FILTCON1</td>
<td>[15:8]</td>
<td>SINC3_MAP1</td>
<td>Reserved</td>
<td>ENHFILTEN1</td>
<td>ENHFILT1</td>
<td>0x0500</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x2A</td>
<td>FILTCON2</td>
<td>[15:8]</td>
<td>SINC3_MAP2</td>
<td>Reserved</td>
<td>ENHFILTEN2</td>
<td>ENHFILT2</td>
<td>0x0500</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x2B</td>
<td>FILTCON3</td>
<td>[15:8]</td>
<td>SINC3_MAP3</td>
<td>Reserved</td>
<td>ENHFILTEN3</td>
<td>ENHFILT3</td>
<td>0x0500</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x2C</td>
<td>FILTCON4</td>
<td>[15:8]</td>
<td>SINC3_MAP4</td>
<td>Reserved</td>
<td>ENHFILTEN4</td>
<td>ENHFILT4</td>
<td>0x0500</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x2D</td>
<td>FILTCON5</td>
<td>[15:8]</td>
<td>SINC3_MAP5</td>
<td>Reserved</td>
<td>ENHFILTEN5</td>
<td>ENHFILT5</td>
<td>0x0500</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x2E</td>
<td>FILTCON6</td>
<td>[15:8]</td>
<td>SINC3_MAP6</td>
<td>Reserved</td>
<td>ENHFILTEN6</td>
<td>ENHFILT6</td>
<td>0x0500</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>0x2F</td>
<td>FILTCON7</td>
<td>[15:8]</td>
<td>SINC3_MAP7</td>
<td>Reserved</td>
<td>ENHFILTEN7</td>
<td>ENHFILT7</td>
<td>0x0500</td>
<td>RW</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>[7:0]</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

オフセット・レジスタ0
アドレス：0x30、リセット：0x800000、レジスタ名：OFFSET0
オフセット（ゼロスケール）レジスタは24ビットのレジスタで、ADCまたはシステムのオフセット誤差の補正に使用することができます。

表38. OFFSET0のビットの説明

<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[23:0]</td>
<td>OFFSET0</td>
<td></td>
<td>セットアップ0用のオフセット・キャリブレーション係数。</td>
<td>0x800000</td>
<td>RW</td>
</tr>
</tbody>
</table>

オフセット・レジスタ1～オフセット・レジスタ7
アドレス：0x31～0x37、リセット：0x800000、レジスタ名：OFFSET1～OFFSET7
残り7つのオフセット・レジスタは、オフセット・レジスタ0と同じレイアウトです。

表39. OFFSET1～OFFSET7のレジスタ・マップ

<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bits[23:0]</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x31</td>
<td>OFFSET1</td>
<td>[23:0]</td>
<td>OFFSET1[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
<tr>
<td>0x32</td>
<td>OFFSET2</td>
<td>[23:0]</td>
<td>OFFSET2[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
<tr>
<td>0x33</td>
<td>OFFSET3</td>
<td>[23:0]</td>
<td>OFFSET3[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
<tr>
<td>0x34</td>
<td>OFFSET4</td>
<td>[23:0]</td>
<td>OFFSET4[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
<tr>
<td>0x35</td>
<td>OFFSET5</td>
<td>[23:0]</td>
<td>OFFSET5[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
<tr>
<td>0x36</td>
<td>OFFSET6</td>
<td>[23:0]</td>
<td>OFFSET6[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
<tr>
<td>0x37</td>
<td>OFFSET7</td>
<td>[23:0]</td>
<td>OFFSET7[23:0]</td>
<td>0x800000</td>
<td>RW</td>
</tr>
</tbody>
</table>
ゲイン・レジスタ 0
アドレス: 0x38, リセット: 0x5XXXX0, レジスタ名: GAIN0
ゲイン（フルスケール）レジスタは24ビットのレジスタで、ADCまたはシステムのゲイン誤差の補正に使用することができます。

表 40. GAIN0 のビットの説明
<table>
<thead>
<tr>
<th>ビット</th>
<th>ビット名</th>
<th>設定値</th>
<th>説明</th>
<th>リセット</th>
<th>読書き</th>
</tr>
</thead>
<tbody>
<tr>
<td>[23:0]</td>
<td>GAIN0</td>
<td></td>
<td>セットアップ0のゲイン・キャリブレーション係数.</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
</tbody>
</table>

1 X はドント・ケア。

ゲイン・レジスタ 1～ゲイン・レジスタ 7
アドレス: 0x39～0x3F リセット値: 0x5XXXX0, レジスタ名: GAIN1～GAIN7
残り7つのゲイン・レジスタは、ゲイン・レジスタ 0 と同じレイアウトです。

表 41. GAIN1～GAIN7 のレジスタ・マップ
<table>
<thead>
<tr>
<th>Reg.</th>
<th>Name</th>
<th>Bits</th>
<th>Bits[23:0]</th>
<th>Reset</th>
<th>RW</th>
</tr>
</thead>
<tbody>
<tr>
<td>0x39</td>
<td>GAIN1</td>
<td>[23:0]</td>
<td>GAIN1[23:0]</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
<tr>
<td>0x3A</td>
<td>GAIN2</td>
<td>[23:0]</td>
<td>GAIN2[23:0]</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
<tr>
<td>0x3B</td>
<td>GAIN3</td>
<td>[23:0]</td>
<td>GAIN3[23:0]</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
<tr>
<td>0x3C</td>
<td>GAIN4</td>
<td>[23:0]</td>
<td>GAIN4[23:0]</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
<tr>
<td>0x3D</td>
<td>GAIN5</td>
<td>[23:0]</td>
<td>GAIN5[23:0]</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
<tr>
<td>0x3E</td>
<td>GAIN6</td>
<td>[23:0]</td>
<td>GAIN6[23:0]</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
<tr>
<td>0x3F</td>
<td>GAIN7</td>
<td>[23:0]</td>
<td>GAIN7[23:0]</td>
<td>0x5XXXX0</td>
<td>RW</td>
</tr>
</tbody>
</table>

1 X はドント・ケア。
外形寸法

図 59. 40 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
6 mm × 6 mm ボディ、0.95 mm パッケージ高
(CP-40-15)
寸法：mm

オーダー・ガイド

<table>
<thead>
<tr>
<th>Model</th>
<th>Temperature Range</th>
<th>Package Description</th>
<th>Package Option</th>
</tr>
</thead>
<tbody>
<tr>
<td>AD4111BCPZ</td>
<td>−40°C to +105°C</td>
<td>40-Lead Lead Frame Chip Scale Package [LFCSP]</td>
<td>CP-40-15</td>
</tr>
<tr>
<td>AD4111BCPZ-RL7</td>
<td>−40°C to +105°C</td>
<td>40-Lead Lead Frame Chip Scale Package [LFCSP]</td>
<td>CP-40-15</td>
</tr>
<tr>
<td>EVAL-AD4111SDZ</td>
<td></td>
<td>Evaluation Board</td>
<td></td>
</tr>
<tr>
<td>EVAL-SDP-CBiz</td>
<td></td>
<td>Evaluation Controller Board</td>
<td></td>
</tr>
</tbody>
</table>

1 Z = Rohs 準拠製品