



18ビット 2MSPS、高精度、SAR 差動 ADC

データシート

AD4003-KGD

特長

- スループット：2MSPS
- INL：最大±1.0LSB (±3.8ppm)
- 18ビットのノー・ミス・コードを確保
- 低消費電力
 - 2MSPSで9.5mW、1MSPSで4.9mW、500kSPSで2.4mW (VDDのみ)
 - 10kSPSで80µW、2MSPSで16mW (合計)
- S/N比：1kHz、V_{REF} = 5Vで100.5dB (代表値)、100kHzで99dB (代表値)
- THD：1kHz、V_{REF} = 5Vで-123dB (代表値)、100kHzで-100dB (代表値)
- 使いやすい機能でシステムの消費電力と複雑さを低減
 - 入力過電圧クランプ回路
 - 非直線性入力チャージ・キックバックを低減
 - 高インピーダンス・モード
 - 長いアキュイジション・フェーズ
 - 入カスパン圧縮
 - 高速変換で低SPIクロック・レートを実現
 - SPIプログラマブル・モード、読出し/書き込み機能、ステータス・ワード
- 差動アナログ入力範囲：±V_{REF}
 - 0V~V_{REF} (V_{REF}は2.4V~5.1V)
 - 1.71V~5.5Vのロジック・インターフェースで1.8Vの単電源動作
- SARアーキテクチャ：遅延/パイプライン遅延なし、最初の変換から有効
- 最初から精密な変換が可能
- 確認動作：-40°C~+125°C
- シリアル・インターフェース：
 - SPI/QSPI/MICROWIRE/DSP互換
 - 複数のADCをデジタイズチェーン接続可能、ビジー・インジケータ搭載

アプリケーション

- ATE (自動試験装置)
- マシン・オートメーション
- 医療機器
- バッテリー駆動装置
- 高精度データ・アキュイジション・システム

概要

AD4003-KGDは低ノイズ、低消費電力の高速18ビット高精度逐次比較レジスタ (SAR) A/Dコンバータ (ADC) です。スループットは2MSPSで、シグナル・チェーンの消費電力と複雑さを低減し、高いチャンネル密度を実現する使いやすい機能を内蔵しています。高インピーダンス・モードと長いアキュイジション・フェーズを組み合わせることで、専用の高出力、高速ADCドライバが不要になるため、このADCを直接駆動するために使用できる低消費電力の高精度アンプの選択肢が広がると同時に、最適な性能を実現できます。入カスパン圧縮機能により、負電源なしでADCドライバ・アンプとADCを共通の電源で動作させながら、ADCコードの全範囲を維持することができます。シリアル・ペリフェラル・インターフェース (SPI) の低クロック・レート条件により、デジタル入出力の消費電力量低減、プロセッサの選択肢拡大、デジタル・アイソレーションを介したデータ伝送タスクの簡素化を実現しています。

1.8V電源で動作するAD4003-KGDは、±V_{REF}の完全差動入力範囲を持ち、V_{REF}範囲は2.4V~5.1Vです。ターボ・モードで75MHzの最小SCKレート、2MSPS時の消費電力は16mWです。また、最大積分非直線性 (INL) 誤差は±1.0LSBで、1kHz入力時に100.5dB (代表値) のS/N比と18ビットのノー・ミス・コードを確保しています。リファレンス電圧は外部から供給され、電源電圧とは独立して設定できます。

SPI互換のシリアル・インターフェースには、7種類のモードがあります。このモードには、SDI入力を使用し、1つの3線式バスで複数のADCをデジタイズチェーン接続する機能も含まれています。オプションでビジー・インジケータも使用できます。AD4003-KGDは、シンプルなSPIインターフェースを使用し、設定レジスタへの書込みと変換結果の受信を実行します。SPIインターフェースは、ホストのロジック・レベルに設定される独立したVIO電源を使用します。デバイスは、このVIO電源を使用することで1.8V、2.5V、3V、5Vのロジックに対応しています。

アプリケーションと技術情報の詳細については、[AD4003/AD4007/AD4011](#)のデータシートを参照してください。KGD (Known Good Die)：これらのダイは、データシートの仕様を十分に発揮します。

機能ブロック図

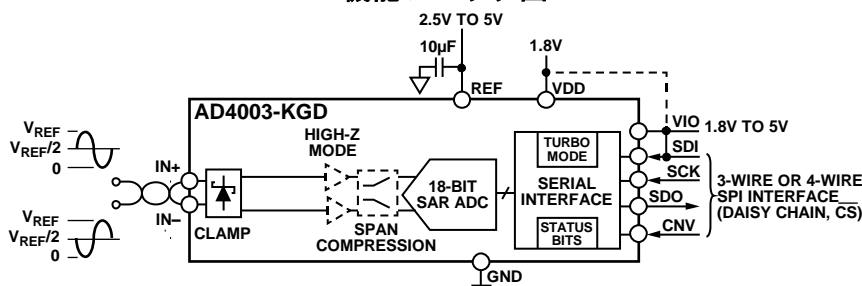


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	絶対最大定格	7
アプリケーション	1	ESD に関する注意	7
概要	1	ピン配置およびピン機能の説明	8
機能ブロック図	1	外形寸法	9
改訂履歴	2	ダイの仕様とアセンブリの推奨事項	9
仕様	3	オーダー・ガイド	9
タイミング仕様	5		

改訂履歴

6/2018—Revision 0: Initial Version

仕様

特に指定がない限り、VDD = 1.71V ~ 1.89V、VIO = 1.71V ~ 5.5V、VREF = 5V、すべての仕様で T_{MIN} ~ T_{MAX}、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効、サンプリング周波数 (f_s) = 2MSPS。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		18			Bits
ANALOG INPUT					
Voltage Range	IN+ voltage (V _{IN+}) - IN- voltage (V _{IN-}) Span compression enabled	-V _{REF} -V _{REF} × 0.8		+V _{REF} +V _{REF} × 0.8	V
Operating Input Voltage	V _{IN+} , V _{IN-} to GND Span compression enabled	-0.1 0.1 × V _{REF}		V _{REF} + 0.1 0.9 × V _{REF}	V
Common-Mode Input Range		V _{REF} /2 - 0.125	V _{REF} /2	V _{REF} /2 + 0.125	V
Common-Mode Rejection Ratio (CMRR)	f _{IN} = 500 kHz		68		dB
Analog Input Current	Acquisition phase, T = 25°C High-Z mode enabled, converting dc input at 2 MSPS		0.3 1		nA μA
THROUGHPUT					
Complete Cycle		500			ns
Conversion Time		270	290	320	ns
Acquisition Phase ¹		290			ns
Throughput Rate ²		0		2	MSPS
Transient Response ³			250		ns
DC ACCURACY					
No Missing Codes		18			Bits
Integral Nonlinearity Error		-1.0 -3.8	±0.4 ±1.52	+1.0 +3.8	LSB ppm
Differential Nonlinearity (DNL) Error		-0.75	±0.3	+0.75	LSB
Transition Noise			0.8		LSB
Zero Error		-7		+7	LSB
Zero Error Drift ⁴		-0.21		+0.21	ppm/ °C
Gain Error		-26	±3	+26	LSB
Gain Error Drift ⁴		-1.23		+1.23	ppm/ °C
Power Supply Sensitivity	VDD = 1.8 V ± 5%		1.5		LSB
1/f Noise	Bandwidth = 0.1 Hz to 10 Hz		6		μV p-p
AC ACCURACY					
Dynamic Range			101		dB
Total RMS Noise			31.5		μV rms
f _{IN} = 1 kHz, -0.5 dBFS, V _{REF} = 5 V					
SNR		99	100.5		dB
Spurious-Free Dynamic Range (SFDR)			122		dB
Total Harmonic Distortion (THD)			-123		dB
Signal-to-Noise-and-Distortion Ratio (SINAD)		98.5	100		dB
Oversampled Dynamic Range	Oversampling ratio (OSR) = 256, V _{REF} = 5 V		122		dB
f _{IN} = 1 kHz, -0.5 dBFS, V _{REF} = 2.5 V					
SNR		93.5	94.5		dB
SFDR			122		dB
THD			-119		dB
SINAD		93	94		dB
f _{IN} = 100 kHz, -0.5 dBFS, V _{REF} = 5 V					
SNR			99		dB
THD			-100		dB
SINAD			96.5		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$f_{IN} = 400$ kHz, -0.5 dBFS, $V_{REF} = 5$ V					
SNR			91.5		dB
THD			-94		dB
SINAD			90		dB
-3 dB Input Bandwidth			10		MHz
Aperture Delay			1		ns
Aperture Jitter			1		ps rms
REFERENCE					
Voltage Range, V_{REF}		2.4		5.1	V
Current	2 MSPS		1.1		mA
INPUT OVERVOLTAGE CLAMP					
I_{IN+}/I_{IN-} Current, I_{IN+}/I_{IN-}	$V_{REF} = 5$ V			50	mA
	$V_{REF} = 2.5$ V			50	mA
V_{IN+}/V_{IN-} at Maximum I_{IN+}/I_{IN-}	$V_{REF} = 5$ V		5.4		V
	$V_{REF} = 2.5$ V		3.1		V
V_{IN+}/V_{IN-} Clamp On/Off Threshold	$V_{REF} = 5$ V	5.25	5.4		V
	$V_{REF} = 2.5$ V	2.68	2.8		V
Deactivation Time			360		ns
REF Current at Maximum I_{IN+}/I_{IN-}	$V_{IN+}/V_{IN-} > V_{REF}$		100		μ A
DIGITAL INPUTS					
Logic Levels					
Input Low Voltage, V_{IL}	$V_{IO} > 2.7$ V	-0.3		$+0.3 \times V_{IO}$	V
	$V_{IO} \leq 2.7$ V	-0.3		$+0.2 \times V_{IO}$	V
Input High Voltage, V_{IH}	$V_{IO} > 2.7$ V	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	$V_{IO} \leq 2.7$ V	$0.8 \times V_{IO}$		$V_{IO} + 0.3$	V
Input Low Current, I_{IL}		-1		+1	μ A
Input High Current, I_{IH}		-1		+1	μ A
Input Pin Capacitance			6		pF
DIGITAL OUTPUTS					
Data Format		Serial 18 bits, twos complement			
Pipeline Delay		Conversion results available immediately after completed conversion			
Output Low Voltage, V_{OL}	$I_{SINK} = 500$ μ A			0.4	V
Output High Voltage, V_{OH}	$I_{SOURCE} = -500$ μ A	$V_{IO} - 0.3$			V
POWER SUPPLIES					
VDD		1.71	1.8	1.89	V
VIO		1.71		5.5	V
Standby Current	$V_{DD} = 1.8$ V, $V_{IO} = 1.8$ V, $T = 25^\circ$ C		1.6		μ A
Power Dissipation, P_{DISS}	$V_{DD} = 1.8$ V, $V_{IO} = 1.8$ V, $V_{REF} = 5$ V				
	10 kSPS, high-Z mode disabled		80		μ W
	500 kSPS, high-Z mode disabled		4	4.7	mW
	1 MSPS, high-Z mode disabled		8	9.3	mW
	2 MSPS, high-Z mode disabled		16	18.5	mW
	500 kSPS, high-Z mode enabled		5	6.2	mW
	1 MSPS, high-Z mode enabled		10	12.3	mW
	2 MSPS, high-Z mode enabled		20	24.5	mW
VDD Only	500 kSPS, high-Z mode disabled		2.4		mW
	1 MSPS, high-Z mode disabled		4.9		mW
	2 MSPS, high-Z mode disabled		9.5		mW
REF Only	500 kSPS, high-Z mode disabled		1.4		mW
	1 MSPS, high-Z mode disabled		2.8		mW
	2 MSPS, high-Z mode disabled		5.5		mW
VIO Only	500 kSPS, high-Z mode disabled		0.1		mW
	1 MSPS, high-Z mode disabled		0.4		mW
	2 MSPS, high-Z mode disabled		1.0		mW

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Energy per Conversion			8		nJ/sample
TEMPERATURE RANGE Specified Performance	T _{MIN} to T _{MAX}	-40		+125	°C

¹ アクイジション・フェーズとは、ADCが2MSPSのスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

² ターボ・モードを有効にして、最小SCKレートである75MHzを使用した場合のみ、2MSPSのスループット・レートが実現します。各種の動作モードで可能な最大スループットについては、表4を参照してください。

³ 過渡応答は、ADCが±1LSBの精度でフルスケール入力ステップを達成するのに必要な時間です。

⁴ 最小値と最大値は特性評価によって確保されていますが、出荷テストの対象外です。

タイミング仕様

VDD=1.71V~1.89V、VIO=1.71V~5.5V、VREF=5V、すべての仕様でT_{MIN}~T_{MAX}、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効、サンプリング周波数 (f_s) = 2MSPS。

表2. デジタル・インターフェースのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
CONVERSION TIME—CNV RISING EDGE TO DATA AVAILABLE	t _{CONV}	270	290	320	ns
ACQUISITION PHASE ¹	t _{ACQ}	290			ns
TIME BETWEEN CONVERSIONS	t _{CYC}	500			ns
CNV PULSE WIDTH (CS MODE) ²	t _{CNVH}	10			ns
SCK PERIOD (CS MODE) ³	t _{SCK}				
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
SCK PERIOD (DAISY-CHAIN MODE) ⁴	t _{SCK}				
VIO > 2.7 V		20			ns
VIO > 1.7 V		25			ns
SCK LOW TIME	t _{SCKL}	3			ns
SCK HIGH TIME	t _{SCKH}	3			ns
SCK FALLING EDGE TO DATA REMAINS VALID DELAY	t _{HSDO}	1.5			ns
SCK FALLING EDGE TO DATA VALID DELAY	t _{DSDO}				
VIO > 2.7 V				7.5	ns
VIO > 1.7 V				10.5	ns
CNV OR SDI LOW TO SDO D17 MOST SIGNIFICANT BIT (MSB) VALID DELAY (CS MODE)	t _{EN}				
VIO > 2.7 V				10	ns
VIO > 1.7 V				13	ns
CNV RISING EDGE TO FIRST SCK RISING EDGE DELAY	t _{QUIET1}	190			ns
LAST SCK FALLING EDGE TO CNV RISING EDGE DELAY ⁵	t _{QUIET2}	60			ns
CNV OR SDI HIGH OR LAST SCK FALLING EDGE TO SDO HIGH IMPEDANCE (CS MODE)	t _{DIS}			20	ns
SDI VALID SETUP TIME FROM CNV RISING EDGE	t _{SSDICNV}	2			ns
SDI VALID HOLD TIME FROM CNV RISING EDGE (CS MODE)	t _{HSDICNV}	2			ns
SCK VALID HOLD TIME FROM CNV RISING EDGE (DAISY-CHAIN MODE)	t _{HSCCKCNV}	12			ns
SDI VALID SETUP TIME FROM SCK RISING EDGE (DAISY-CHAIN MODE)	t _{SSDISCK}	2			ns
SDI VALID HOLD TIME FROM SCK RISING EDGE (DAISY-CHAIN MODE)	t _{HSDISCK}	2			ns

¹ アクイジション・フェーズとは、ADCが2MSPSのスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

² ターボ・モードでは、t_{CNVH}と最小t_{QUIET1}が一致する必要があります。

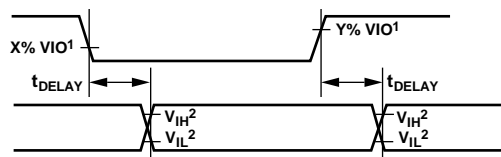
³ ターボ・モードを有効にして、最小SCKレートである75MHzを使用した場合のみ、2MSPSのスループット・レートが実現します。各種の動作モードで可能な最大スループットについては、表4を参照してください。

⁴ SCKでは、50%のデューティ・サイクルを想定しています。

表 3. レジスタ読出し／書込みのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
READ/WRITE OPERATION					
CNV Pulse Width ¹	t_{CNVH}	10			ns
SCK Period	t_{SCK}	9.8			ns
VIO > 2.7 V		12.3			ns
SCK Low Time	t_{SCKL}	3			ns
SCK High Time	t_{SCKH}	3			ns
READ OPERATION					
CNV Low to SDO D17 MSB Valid Delay	t_{EN}			10	ns
VIO > 2.7 V				13	ns
VIO > 1.7 V					ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	1.5			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}			7.5	ns
VIO > 2.7 V				10.5	ns
VIO > 1.7 V				20	ns
CNV Rising Edge to SDO High Impedance	t_{DIS}				ns
CNV RISING EDGE TO FIRST SCK RISING EDGE DELAY	t_{QUIET1}	190			ns
WRITE OPERATION					
SDI Valid Setup Time from SCK Rising Edge	$t_{SSDISCK}$	2			ns
SDI Valid Hold Time from SCK Rising Edge	$t_{HSDISCK}$	2			ns
CNV Rising Edge to SCK Edge Hold Time	$t_{HCNVSCK}$	0			ns
CNV Falling Edge to SCK Active Edge Setup Time	$t_{SCNVSCK}$	6			ns

¹ターボ・モードでは、 t_{CNVH} と最小 t_{QUIET1} が一致する必要があります。



¹FOR VIO ≤ 2.7V, X = 80, AND Y = 20; FOR VIO > 2.7V, X = 70, AND Y = 30.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 1.

16SZ5-002

図 2. タイミングの電圧レベル

表 4. 各動作モードで可能なスループット

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
THROUGHPUT, CS MODE					
3-Wire and 4-Wire Turbo Mode	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			2	MSPS
3-Wire and 4-Wire Turbo Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.78	MSPS
3-Wire and 4-Wire Mode	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.75	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.62	MSPS
3-Wire and 4-Wire Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.59	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.44	MSPS

絶対最大定格

入力過電圧クランプで過電圧状態を無期限に保つことはできません。

表 5.

Parameter	Rating
Analog Inputs IN+, IN- to GND	-0.3 V to $V_{REF} + 0.4$ V or ± 130 mA ¹
Supply Voltage REF, VIO to GND	-0.3 V to +6.0 V
VDD to GND	-0.3 V to +2.1 V
VDD to VIO	-6 V to +2.4 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature	-40°C to +125°C
Junction Temperature	150°C
Electrostatic Discharge (ESD) Ratings	
Human Body Model (HBM)	4 kV
Machine Model	200 V
Field Induced Charged Device Model	1.25 kV

¹ 電流の条件は、10ms 間隔でテストされています。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

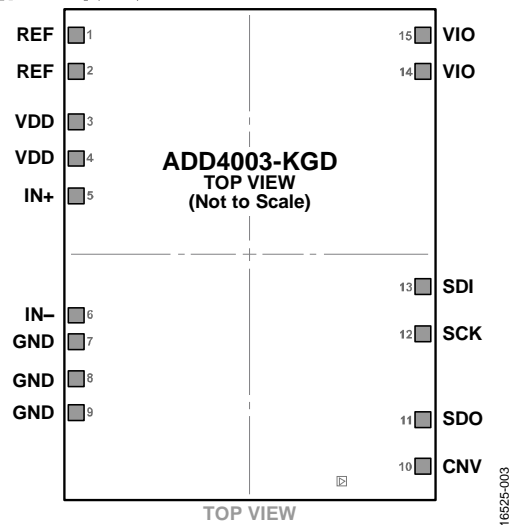


図 3. パッド構成

表 6. パッド機能の説明

Pad No.	X-Axis (μm)	Y-Axis (μm)	Mnemonic	説明
1	-747.675	+996.855	REF	リファレンス入力電圧。VREF 範囲は 2.4V~5.1V です。このピンは GND ピンと呼ばれ、10μF の X7R セラミック・コンデンサで GND ピンの近くにデカップリングする必要があります。
2	-747.675	+823.805	REF	リファレンス入力電圧。VREF 範囲は 2.4V~5.1V です。このピンは GND ピンと呼ばれ、10μF の X7R セラミック・コンデンサで GND ピンの近くにデカップリングする必要があります。
3	-750	+607.545	VDD	1.8V 電源。VDD の範囲は 1.71V~1.89V です。0.1μF のセラミック・コンデンサを使用して、VDD を GND にバイパスします。
4	-750	+442.715	VDD	1.8V 電源。VDD の範囲は 1.71V~1.89V です。0.1μF のセラミック・コンデンサを使用して、VDD を GND にバイパスします。
5	-744.365	+272.19	IN+	差動正アナログ入力。
6	-744.365	-260.63	IN-	差動負アナログ入力。
7	-745.845	-382.055	GND	電源グラウンド。
8	-745.845	-546.885	GND	電源グラウンド。
9	-745.845	-702.35	GND	電源グラウンド。
10	+747.78	-942.43	CNV	変換入力。この入力には複数の機能があります。この入力は立上がりエッジで変換を開始し、デバイスのインターフェース・モードとしてデジチェーン・モードまたはCSモードのどちらかを選択します。CSモードでは、CNV がローの場合に SDO ピンがイネーブルになります。デジチェーン・モードでは、CNV がハイの場合にデータの読み出しが実行されます。
11	+747.78	-733.54	SDO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期されます。
12	+747.78	-345.685	SCK	シリアル・データ・クロック入力。デバイスを選択すると、変換結果はこのクロックによってシフト出力されます。
13	+747.78	-132.405	SDI	シリアル・データ入力。この入力には複数の機能があります。この入力は、以下の要領で ADC のインターフェース・モードを選択します。CNV の立上がりエッジで SDI がローの場合は、デジチェーン・モードが選択されます。デジチェーン・モードでは、SDI がデータ入力として使用され、2つ以上の ADC の変換結果が 1 本の SDO ラインでデジチェーン接続されます。SDI のデジタル・データ・レベルは、18SCK サイクルの遅延で SDO に出力されます。CSモードは、CNV の立上がりエッジ中に、SDI がハイの場合に選択されます。このモードでは、SDI または CNV がローの場合に、シリアル出力信号を有効にできます。SDI または CNV がローの場合、変換が完了すると、ビジー・インジケータ機能が有効になります。CNV がローの場合は、SCK の立上がりエッジの発生時に、SDI で 16 ビット・ワードをクロック入力してデバイスをプログラムできます。
14	+747.675	+832.805	VIO	入出力インターフェースのデジタル電源。形式上、このピンはホスト・インターフェースと同じ電源 (1.8V、2.5V、3V、または 5V) です。0.1μF のセラミック・コンデンサで VIO を GND へバイパスします。
15	+747.675	+996.855	VIO	入出力インターフェースのデジタル電源。形式上、このピンはホスト・インターフェースと同じ電源 (1.8V、2.5V、3V、または 5V) です。0.1μF のセラミック・コンデンサで VIO を GND へバイパスします。

外形寸法

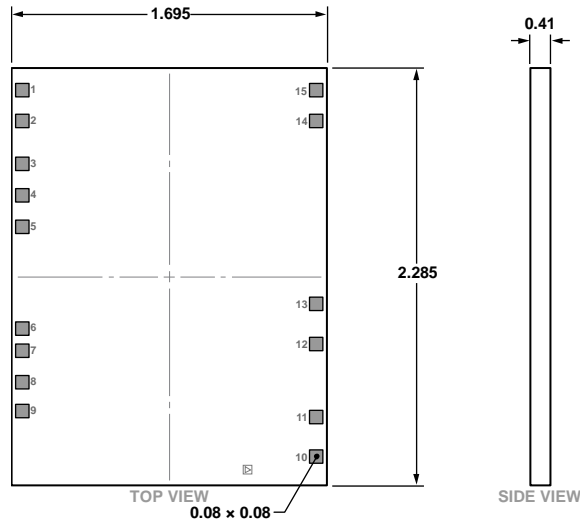


図 4.15 パッド・ベア・ダイ [チップ]
(C-15-1)
寸法：mm

01-23-2018-A

ダイの仕様とアセンブリの推奨事項

表 7. ダイの仕様

Parameter	Value	Unit
Chip Size	1695 × 2205	μm
Scribe Line Width	80 × 80	μm
Die Size	1695 × 2285	μm maximum
Thickness	410	μm
Bond Pad	70 × 70	μm maximum
Bond Pad Composition	AlCu (0.5%)	%
Backside	Standard assembly die attach	N/A
Passivation	Oxynitride	N/A

表 8. アセンブリの推奨事項

Assembly Component	Recommendation
Die Attach	Epoxy adhesive
Bonding Method	Gold ball or aluminum wedge
Bonding Sequence	Bond pin five first

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD4003-KGD-WP	-40°C to +125°C	15-Pad Bare Die [CHIP]	C-15-1