

特長

全機能内蔵型のモノリシック・レゾルバ/デジタル・コンバータ (RDC)

パラレルとシリアル12ビット・データ・ポート
システム障害検出機能

精度：±11分角

入力信号範囲：3.15Vp-p±27%

絶対位置および速度の出力

最大トラッキング・レート：1250rps、12ビット分解能

インクリメンタル・エンコーダ・エミュレーション (1回転あたり1024パルス)

プログラマブル・サイン波発振器を内蔵

単電源動作：5.00V±5%

動作温度範囲：-40~+125°C

44ピンLQFP

ESD保護：4kV

アプリケーション

自動車のモーション・センシングおよび制御

ハイブリッド電気自動車

電動パワー・ステアリング

集積化された始動発電機/オルタネータ

工業用モータ制御

プロセス制御

概要

AD2S1205は全機能内蔵、12ビット分解能のトラッキング・レゾルバ/デジタル・コンバータで、レゾルバにサイン波の励起信号を出力するプログラマブルなサイン波発振器を内蔵しています。

このコンバータは、Sin入力とCos入力で3.15Vp-p±27%の入力信号に対応します。タイプIIのトラッキング・ループを使用して入力をトラッキングし、SinとCosの各入力情報をデジタル信号の入力角と入力速度に変換します。最大トラッキング・レートは、外部クロック周波数の関数になっています。AD2S1205の性能は8.192MHz±25%の周波数範囲で規定されているため、最大トラッキング・レートは1250rpsになります。

機能ブロック図

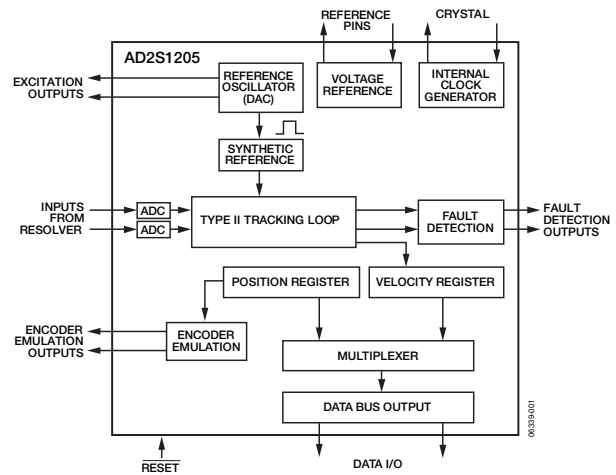


図1

製品のハイライト

- レシオメトリック・トラッキング変換：タイプIIトラッキング・ループは、変換遅延なしで連続的な位置データを出力します。また、リファレンス信号と入力信号はノイズと高調波歪みに対する耐性も備えています。
- システム障害検出：障害検出回路により、レゾルバ信号の喪失、入力信号のアウト・オブ・レンジ、入力信号の mismatch、位置トラッキングの喪失を検出できます。
- 入力信号範囲：Sin入力とCos入力は、3.15Vp-p±27%の差動入力電圧に対応できます。
- プログラマブルな励起周波数：励起周波数は、周波数セレクト・ピン (FS1ピンとFS2ピン) を使って容易に10kHz、12kHz、15kHz、20kHzに設定できます。
- トリプル・フォーマットの位置データ：12ビットのパラレル・ポートまたは3線シリアル・インターフェースを介して、12ビットの絶対角度位置データにアクセスします。インクリメンタル・エンコーダ・エミュレーションは、標準のAクワッドBフォーマットで有効な位置出力を供給します。
- デジタル速度出力：12ビットのパラレル・ポートまたは3線式シリアル・インターフェースを介して、12ビット符号付きのデジタル速度出力にアクセスします。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

AD2S1205

目次

特長	1	疑似スル状態	10
アプリケーション	1	プログラマブルな内蔵サイン波発振器	10
機能ブロック図	1	合成リファレンス信号の発生	11
概要	1	チャージ・ポンプ出力	11
製品のハイライト	1	コンバータとの接続	11
改訂履歴	2	クロックの条件	12
仕様	3	絶対位置および速度出力	12
絶対最大定格	5	パラレル・インターフェース	12
ESDに関する注意	5	シリアル・インターフェース	14
ピン配置と機能の説明	6	インクリメンタル・エンコーダ出力	16
レゾルバ・フォーマット信号	8	電源シーケンスとRESET	16
動作原理	9	回路動作	17
障害検出回路	9	ループ応答モデル	17
監視信号	9	誤差の原因	18
信号喪失 (LOS) の検出	9	外形寸法	19
信号性能低下の検出	9	オーダー・ガイド	19
位置トラッキング喪失の検出	10		
障害状態への応答	10		

改訂履歴

1/07—Revision 0: Initial Version

仕様

特に指定のない限り、 $AV_{DD}=DV_{DD}=5.0V \pm 5\%$ ($-40 \sim +125^{\circ}C$ 時)、 $CLKIN=8.192MHz \pm 25\%$ 。

表1

Parameter	Min	Typ	Max	Unit	Conditions/Comments
Sin, Cos INPUTS ¹					
Voltage	2.3	3.15	4.0	V p-p	Sinusoidal waveforms, Sin – SinLO and Cos – CosLO, differential inputs
Input Bias Current			12	μA	$V_{IN} = 3.25 V_{DC}$, $CLKIN = 10.24 MHz$
Input Impedance	0.35			$M\Omega$	$V_{IN} = 3.25 V_{DC}$
Common-Mode Voltage			100	mV peak	CMV with respect to REFOUT/2 at 10 kHz
Phase-Lock Range	-44		+44	Degrees	Sin/Cos vs. EXC output
ANGULAR ACCURACY					
Angular Accuracy			± 11	Arc minutes	Zero acceleration, Y grade
			± 22	Arc minutes	Zero acceleration, W grade
Resolution		12		Bits	Guaranteed no missing codes
Linearity INL			2	LSB	Zero acceleration, 0 rps to 1250 rps, $CLKIN = 10.24 MHz$
Linearity DNL			0.3	LSB	Guaranteed monotonic
Repeatability			1	LSB	
Hysteresis		1		LSB	
VELOCITY OUTPUT					
Velocity Accuracy			2	LSB	Zero acceleration
Resolution		11		Bits	
Linearity		1		LSB	Guaranteed by design, 2 LSB maximum
Offset		0	1	LSB	Zero acceleration
Dynamic Ripple		1		LSB	Zero acceleration
DYNAMIC PERFORMANCE					
Bandwidth	1000		2400	Hz	
Tracking Rate			750	rps	$CLKIN = 6.144 MHz$, guaranteed by design
			1000	rps	$CLKIN = 8.192 MHz$, guaranteed by design
			1250	rps	$CLKIN = 10.24 MHz$, guaranteed by design
Acceleration Error		30		Arc minutes	At 10,000 rps, $CLKIN = 8.192 MHz$
Settling Time 179° Step Input			5.2	ms	To within ± 11 arc minutes, Y grade, $CLKIN = 10.24 MHz$
			4.0	ms	To within 1 degree, Y grade, $CLKIN = 10.24 MHz$
EXC, \overline{EXC} OUTPUTS					
Voltage	3.34	3.6	3.83	V p-p	Load $\pm 100 \mu A$
Center Voltage	2.39	2.47	2.52	V	
Frequency		10		kHz	FS1 = high, FS2 = high, $CLKIN = 8.192 MHz$
		12		kHz	FS1 = high, FS2 = low, $CLKIN = 8.192 MHz$
		15		kHz	FS1 = low, FS2 = high, $CLKIN = 8.192 MHz$
		20		kHz	FS1 = low, FS2 = low, $CLKIN = 8.192 MHz$
EXC/ \overline{EXC} DC Mismatch			35	mV	
THD		-58		dB	First five harmonics

AD2S1205

Parameter	Min	Typ	Max	Unit	Conditions/Comments
FAULT DETECTION BLOCK					
Loss of Signal (LOS)					
Sin/Cos Threshold	2.18	2.24	2.3	V p-p	DOS and LOT go low when Sin or Cos fall below threshold
Angular Accuracy (Worst Case)			57	Degrees	LOS indicated before angular output error exceeds limit (4.0 V p-p input signal and 2.18 V LOS threshold)
Angular Latency (Worst Case)			114	Degrees	Maximum electrical rotation before LOS is indicated (4.0 V p-p input signal and 2.18 V LOS threshold)
Time Latency			125	μs	
Degradation of Signal (DOS)					
Sin/Cos Threshold	4.0	4.09	4.2	V p-p	DOS goes low when Sin or Cos exceeds threshold
Angular Accuracy (Worst Case)			33	Degrees	DOS indicated before angular output error exceeds limit
Angular Latency (Worst Case)			66	Degrees	Maximum electrical rotation before DOS is indicated
Time Latency			125	μs	
Sin/Cos Mismatch		385	420	mV	DOS latched low when Sin/Cos amplitude mismatch exceeds threshold
Loss of Tracking (LOT)					
Tracking Threshold		5		Degrees	LOT goes low when internal error signal exceeds threshold; guaranteed by design
Time Latency			1.1	ms	
Hysteresis	4			Degrees	Guaranteed by design
VOLTAGE REFERENCE					
REFOUT	2.39	2.47	2.52	V	±I _{OUT} = 100 μA
Drift		70		ppm/°C	
PSRR		-60		dB	
CHARGE-PUMP OUTPUT (CPO)					
Frequency		204.8		kHz	Square wave output, CLKIN = 8.192 MHz
Duty Cycle		50		%	
POWER SUPPLY					
I _{DD} Dynamic			20	mA	
ELECTRICAL CHARACTERISTICS					
V _{IL} , Voltage Input Low			0.8	V	
V _{IH} , Voltage Input High	2.0			V	
V _{OL} , Voltage Output Low			0.4	V	+1 mA load
V _{OH} , Voltage Output High	4.0			V	-1 mA load
I _{IL} , Low Level Input Current (Non-Pull-Up)	-10		+10	μA	Pins $\overline{\text{SAMPLE}}$, $\overline{\text{CS}}$, $\overline{\text{RDVEL}}$, CLKIN, $\overline{\text{SOE}}$
I _{IL} , Low Level Input Current (Pull-Up)	-80		+80	μA	Pins $\overline{\text{RD}}$, FS1, FS2, RESET
I _{IH} , High Level Input Current	-10		+10	μA	
I _{OZH} , High Level Three-State Leakage	-10		+10	μA	
I _{OZL} , Low Level Three-State Leakage	-10		+10	μA	

¹ AGNDを基準とするSin、SinLO、Cos、CosLOの各電圧は常に0.2V～AV_{DD}の範囲内とします。

絶対最大定格

表2

Parameter	Rating
Supply Voltage (V_{DD})	-0.3 V to +7.0 V
Supply Voltage (AV_{DD})	-0.3 V to +7.0 V
Input Voltage	-0.3 V to $V_{DD} + 0.3$ V
Output Voltage Swing	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range (Ambient)	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

AD2S1205

ピン配置と機能の説明

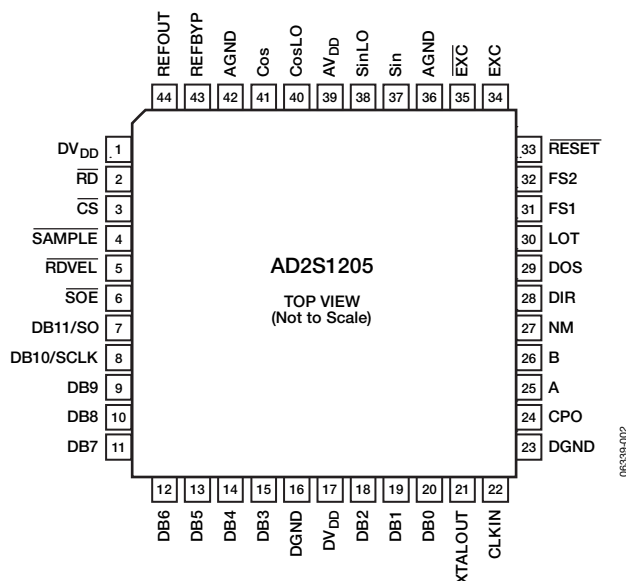


図2. ピン配置

表3. ピン機能の説明

ピン番号	記号	説明
1, 17	DV _{DD}	4.75~5.25Vのデジタル電源電圧。AD2S1205の全デジタル回路に供給される電源電圧です。理想的にはAV _{DD} とDV _{DD} を同じ電位にし、遷移時でも0.3V以上離れないようにする必要があります。
2	$\overline{\text{RD}}$	エッジ・トリガのロジック入力。このピンは、フレーム同期信号および出力イネーブル信号として動作します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ をローレベルに保持すると、出力バッファがイネーブルになります。
3	$\overline{\text{CS}}$	チップ・セレクト。アクティブ・ローレベルのロジック入力です。 $\overline{\text{CS}}$ をローレベルに保持すると、AD2S1205がイネーブルになります。
4	$\overline{\text{SAMPLE}}$	サンプル結果。ロジック入力。 $\overline{\text{SAMPLE}}$ 信号がハイレベルからローレベルに遷移した後、位置および速度積分器から位置レジスタと速度レジスタにデータがそれぞれ転送されます。
5	$\overline{\text{RDVEL}}$	速度読出し。ロジック入力です。角位置レジスタまたは角速度レジスタのいずれかを選択するときに $\overline{\text{RDVEL}}$ 入力を使用します。角位置レジスタを選択するときは $\overline{\text{RDVEL}}$ をハイレベルに保持し、角速度レジスタを選択するときは $\overline{\text{RDVEL}}$ をローレベルに保持します。
6	$\overline{\text{SOE}}$	シリアル出力イネーブル。ロジック入力。このピンは、パラレルまたはシリアルいずれかのインターフェースをイネーブルにします。 $\overline{\text{SOE}}$ ピンをローレベルに保持するとシリアル・インターフェース、 $\overline{\text{SOE}}$ ピンをハイレベルに保持するとパラレル・インターフェースが選択されます。
7	DB11/SO	データ・ビット11/シリアル・データ出力バス。 $\overline{\text{SOE}}$ ピンがハイレベルのときに、このピンは $\overline{\text{CS}}$ と $\overline{\text{RD}}$ によって制御されるスリーステート・データ出力ピンのDB11として動作します。 $\overline{\text{SOE}}$ ピンがローレベルのときは、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ によって制御されるシリアル・データ出力バスのSOとして動作します。各ビットは、SCLKの立上がりエッジでクロック出力されます。
8	DB10/SCLK	データ・ビット10/シリアル・クロック。パラレル・モード時に、このピンは $\overline{\text{CS}}$ と $\overline{\text{RD}}$ によって制御されるスリーステート・データ出力ピンのDB10として動作します。シリアル・モード時は、シリアル・クロック入力として動作します。
9 to 15	DB9 to DB3	データ・ビット9~3。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ によって制御されるスリーステート・データ出力ピンです。
16, 23	DGND	デジタル・グラウンド。AD2S1205のデジタル回路用のグラウンド・リファレンス・ポイントです。このDGND電圧をすべてのデジタル入力信号の基準にしてください。これらのピンは、両方ともシステムのAGNDプレーンに接続できます。理想的にはDGNDとAGNDを同じ電位にし、遷移時でも0.3V以上離れないようにする必要があります。
18 to 20	DB2 to DB0	データ・ビット2~0。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ によって制御されるスリーステート・データ出力ピンです。
21	XTALOUT	水晶発振器出力。規定の動的性能を得るために、CLKINピンとXTALOUTピンに外付けの水晶発振器を配置することを推奨します。8.192MHz±25%の周波数範囲で位置と速度の精度が保証されます。
22	CLKIN	クロック入力。規定のダイナミック性能を得るために、CLKINピンとXTALOUTピンに外付けの水晶発振器を配置することを推奨します。8.192MHz±25%の周波数範囲で位置と速度の精度が保証されます。

ピン番号	記号	説明
24	CPO	チャージ・ポンプ出力。アナログ出力。デューティサイクルが50%の204.8kHzの矩形波出力がCPO出力ピンから供給されます。この矩形波出力を使用して、負電源レールの電圧またはVCC電源レールの電圧を生成できます。
25	A	インクリメンタル・エンコーダ・エミュレーション出力A。ロジック出力。この出力は自動式であり、コンバータに入力されたレゾルバ・フォーマット入力信号が有効な場合に有効となります。
26	B	インクリメンタル・エンコーダ・エミュレーション出力B。ロジック出力。この出力は自動式であり、コンバータに供給されたレゾルバ・フォーマット入力信号が有効な場合に有効となります。
27	NM	ノース・マーカ・インクリメンタル・エンコーダ・エミュレーション出力。ロジック出力。この出力は自動式であり、コンバータに供給されたレゾルバ・フォーマット入力信号が有効な場合に有効となります。
28	DIR	方向。ロジック出力。インクリメンタル・エンコーダ・エミュレーション出力とともに使用します。DIR出力は入力回転方向を指示し、ハイレベルのときに角回転が増加します。
29	DOS	信号性能低下。ロジック出力。いずれかのレゾルバ入力（SinまたはCos）が規定のDOS Sin/Cosスレッシュホールドを超えると、信号性能低下（DOS）が検出されます。「信号性能低下」の項を参照。DOSピンがロジック・ローレベルになるとDOSの状態が表示され、入力信号が最大入力レベルを超えるとDOSがラッチされません。
30	LOT	トラッキング喪失。ロジック出力。LOTピンがロジック・ローレベルになるとLOTの状態が表示され、この出力はラッチされません。「トラッキング喪失」の項参照。
31	FS1	周波数選択1。ロジック入力。FS1をFS2と組み合わせて使用することで、EXC/EXCの周波数を設定できます。
32	FS2	周波数選択2。ロジック入力。FS2をFS1と組み合わせて使用することで、EXC/EXCの周波数を設定できます。
33	RESET	リセット。ロジック入力。AD2S1205には、V _{DD} が4.5~5.5Vの規定動作範囲に入るまでRESET入力をローレベルに保持するための外部リセット信号が必要です。「電源シーケンシングおよびリセット」の項を参照。
34	EXC	励起周波数。アナログ出力。内蔵の発振器がサイン波励起信号（EXC）とその相補信号（EXC）をレゾルバに供給します。FS1ピンとFS2ピンを使用して、このリファレンス信号の周波数を設定できます。
35	EXC	励起周波数の相補信号。アナログ出力。内蔵の発振器がサイン波励起信号（EXC）とその相補信号（EXC）をレゾルバに供給します。FS1ピンとFS2ピンを使用して、このリファレンス信号の周波数を設定できます。
36, 42	AGND	アナログ・グラウンド。これらのピンは、AD2S1205のアナログ回路用のグラウンド・リファレンス・ポイントです。このAGND電圧をすべてのアナログ入力信号と外部リファレンス信号の基準にしてください。これらのピンは、両方ともシステムのAGNDプレーンに接続してください。理想的にはAGNDとDGNDを同じ電位にし、遷移時でも0.3V以上離れないようにする必要があります。
37	Sin	差動Sin/SinLOペアのうちの正側アナログ入力。入力電圧範囲は2.3~4.0V _{p-p} 。
38	SinLO	差動Sin/SinLOペアのうちの負側アナログ入力。入力電圧範囲は2.3~4.0V _{p-p} 。
39	AV _{DD}	4.75~5.25Vのアナログ電源電圧。AD2S1205の全アナログ回路に供給される電源電圧です。理想的にはAV _{DD} とDV _{DD} を同じ電位にし、遷移時でも0.3V以上離れないようにする必要があります。
40	CosLO	差動Cos/CosLOペアのうちの負側アナログ入力
41	Cos	差動Cos/CosLOペアのうちの正側アナログ入力
43	REFBYP	リファレンス・バイパス。リファレンス・デカップリング用コンデンサをこのピンに接続してください。代表値として10μFと0.01μFを推奨します。
44	REFOUT	2.39~2.52Vの電圧リファレンス出力

レゾルバ・フォーマット信号

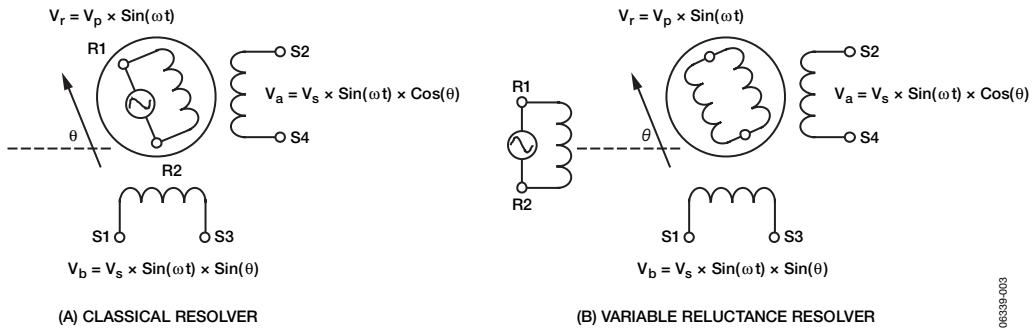


図3. 従来型レゾルバと可変リラクタンس・レゾルバ

従来型のレゾルバは、一般に回転子が1本の一次巻線で、固定子が2本の二次巻線になっている回転式の変成器です。これに対して、可変リラクタンс・レゾルバは図3に示すように固定子に一次巻線と二次巻線があり、回転子には巻線がありません。しかし、この回転子上には突起があるため、角度位置と二次巻線の結合によってサイン波に変化が生じます。いずれにおいても、レゾルバ出力電圧 (S3-S1, S2-S4) は以下ようになります。

$$S3-S1 = E_o \sin(\omega t) \times \sin\theta \quad (1)$$

$$S2-S4 = E_o \sin(\omega t) \times \cos\theta$$

ここで

θ = シャフト角

$\sin(\omega t)$ = 回転励起周波数

E_o = 回転励起振幅

固定子の巻線は機械的に90°ずらしてあります (図3を参照)。一次巻線は、ACリファレンスで励起されます。固定子の二次巻線に発生する振幅は、固定子を基準とした回転子 (シャフト) 位置の関数になっています。したがって、レゾルバはシャフト角のSINとCOSにより変調された2つの出力電圧 (S3-S1, S2-S4) を発生します。レゾルバ・フォーマット信号とは、式1に示すレゾルバ出力から得られる信号のことです。図4に、出力フォーマットを示します。

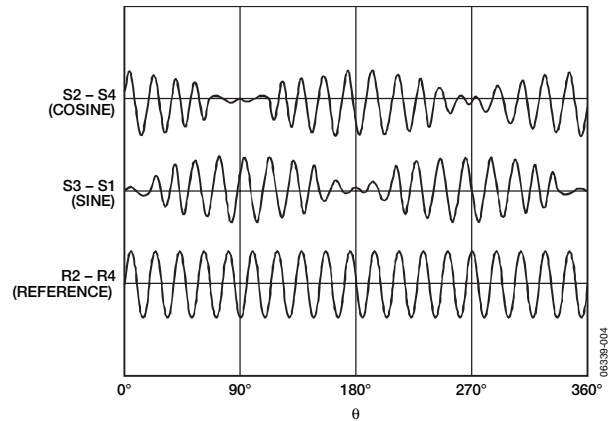


図4. 代表的な電気式レゾルバ信号

動作原理

AD2S1205は、タイプIIのトラッキング・クローズドループ方式に基づいて動作します。デジタル手法によるトラッキング・ループはレゾルバの位置と速度を連続的にトラッキングしますが、外部コンバータは不要で、待ち状態もありません。レゾルバが最下位ビットの重みに対応する位置を移動するとき、トラッキング・ループの出力が1LSB更新されます。

コンバータは、出力角 (φ) を発生しながらシャフト角 (θ) に追従します。この出力角 (φ) を帰還させて入力角 (θ) と比較しますが、この2つの角度の差が誤差となります。コンバータが正しく入力角に追従していれば、誤差は0になります。誤差を計測するため、S3-S1に $\text{Cos}\varphi$ を、S2-S4に $\text{Sin}\varphi$ を、それぞれ乗算します。

$$E_o \text{Sin}(\omega t) \times \text{Sin}\theta \text{Cos}\varphi \quad \text{S3-S1の場合} \quad (2)$$

$$E_o \text{Sin}(\omega t) \times \text{Cos}\theta \text{Sin}\varphi \quad \text{S2-S4の場合}$$

これらの差が次のようになります。

$$E_o \text{Sin}(\omega t) \times (\text{Sin}\theta \text{Cos}\varphi - \text{Cos}\theta \text{Sin}\varphi) \quad (3)$$

この信号を内部で発生された合成リファレンス信号を使って復調すると、次のようになります。

$$E_o (\text{Sin}\theta \text{Cos}\varphi - \text{Cos}\theta \text{Sin}\varphi) \quad (4)$$

式4は $E_o \text{Sin}(\theta - \varphi)$ に等しく、 $\theta - \varphi$ が小さな値のときは、この $E_o \text{Sin}(\theta - \varphi)$ はほぼ $E_o(\theta - \varphi)$ に等しくなります。ここで、 $\theta - \varphi$ は角度誤差です。

値 $E_o(\theta - \varphi)$ は、回転子の角度誤差とコンバータのデジタル角度出力との差です。

クローズドループ・システムは位相検出復調器、積分器、補整フィルタから構成されており、誤差信号をゼロにする作用があります。正常に動作すると、 φ はレゾルバ角 θ に等しくなり、コンバータの定格精度以内に納まります。一定の速度入力に固有の誤差なしで追従できるようにするために、タイプIIのトラッキング・ループが使用されています。

コンバータ動作の詳細については、「回路の動作」を参照してください。

障害検出回路

AD2S1205の障害検出回路は、レゾルバ信号の喪失、入力信号のアウト・オブ・レンジ、入力信号のミスマッチ、または位置トラッキングの喪失を検出します。ただし、AD2S1205が表示する位置は、レゾルバの実際のシャフト位置と大幅に異なることがあります。

監視信号

AD2S1205は、位置レジスタ内の角度レゾルバから受信したSIN信号およびCOS信号を比較して、監視信号を発生します。

監視信号は、「動作原理」で説明した誤差信号と同様の方法で得られます。受信した $\text{Sin}\theta$ 信号と $\text{Cos}\theta$ 信号にそれぞれ出力角の Sin と Cos を乗算し、その値を加算します。

$$\text{監視信号} = (A1 \times \text{Sin}\theta \times \text{Sin}\varphi) + (A2 \times \text{Cos}\theta \times \text{Cos}\varphi) \quad (5)$$

ここで

$A1$ =受信した Sin 信号 ($A1 \times \text{Sin}\theta$) の振幅

$A2$ =受信した Cos 信号 ($A2 \times \text{Cos}\theta$) の振幅

θ =レゾルバ角

φ =位置レジスタに格納されている角度

式5は復調後を示しており、キャリア信号 $\text{Sin}(\omega t)$ が除去されています。入力信号が一致する場合 (障害でない場合)、 $A1=A2$ となります。

$A1=A2$ で、かつコンバータが追従中 (したがって、 $\theta=\varphi$) の場合、監視信号の出力は一定振幅の $A1$ になり (監視信号= $A1 \times (\text{Sin}^2\theta + \text{Cos}^2\theta) = A1$)、シャフト角に無関係になります。 $A1 \neq A2$ の場合、監視信号の振幅は $A1$ と $A2$ の間でシャフト回転レートの2倍で変化します。監視信号を使用し、入力信号の性能低下または喪失を検出します。

信号喪失 (LOS) の検出

いずれかのレゾルバ入力 (Sin または Cos) が低下して、規定されたLOS Sin/Cos スレッシュホールドを下回るときに、信号喪失 (LOS) が検出されます。AD2S1205は監視信号と固定最小値を比較して、LOSを検出します。DOSとLOTの両出力がロジック・ローレベルにラッチされると、LOSが表示されます。DOSピンとLOTピンは、SAMPLEの立上がりエッジで障害のない状態にリセットされます。LOS状態は、DOS状態とLOT状態より高い優先順位を持っています (表4)。LOSは、角度出力誤差の最大 57° (最悪時) 以内で表示されます。

信号性能低下の検出

いずれかのレゾルバ入力 (Sin または Cos) が増加して、規定されたDOS Sin/Cos スレッシュホールドを上回るときに、信号性能低下 (DOS) が検出されます。AD2S1205は監視信号と固定最大値を比較して、DOSを検出します。また、入力信号 Sin と Cos の振幅のミスマッチが、規定のDOS Sin/Cos ミスマッチの値を超えたときにも、DOSが検出されます。この判定は、AD2S1205が監視信号の最小振幅と最大振幅を内部レジスタに連続的に格納して、最小と最大との差を計算することにより行われます。DOSはDOSピンがロジック・ローレベルになるときに表示され、入力信号が最大入力レベルを超えるときはラッチされません。信号のミスマッチによりDOSが表示されたときは、出力はローレベルにラッチされ、内部に格納された最小値と最大値がSAMPLEの立上がりエッジでリセットされるまで、保持されます。DOS状態は、LOT状態より高い優先順位を持っています (表4)。DOSは、角度出力誤差の最大 33° (最悪時) 以内で表示されます。

AD2S1205

位置トラッキング喪失の検出

トラッキング喪失 (LOT) は、以下の場合に検出されます。

- AD2S1205の内部誤差信号が5°を超えたとき
- 入力信号が最大トラッキング・レートを超えたとき
- 内部位置 (位置積分器) と外部位置 (位置レジスタ) との差が5°を超えたとき

LOTはLOTピンのロジック・ローレベルで表示され、ラッチされません。LOTは4°のヒステリシスを持っているため、内部誤差信号または内部/外部位置ミスマッチが1°を下回るまで、クリアされません。最大トラッキング・レートを超えた場合には、速度が最大トラッキング・レートを下回り、かつ内部/外部位置ミスマッチが1°未満になると、LOTがクリアされます。LOTは、位置のステップ変化 (たとえば、AD2S1205にRESET信号を入力した直後など)、または加速度が約65,000rps²未満の場合に表示されます。これは、トラッキング・コンバータが正常に機能していることを確認するビルトイン・テストとしても有効です。LOT状態は、DOSとLOSより優先順位が低くなっています (表4)。LOTとDOSは同時に表示されることはありません。

表4. 障害検出のデコーディング

Condition	DOS Pin	LOT Pin	Order of Priority
Loss of Signal (LOS)	0	0	1
Degradation of Signal (DOS)	0	1	2
Loss of Tracking (LOT)	1	0	3
No Fault	1	1	

障害状態への応答

AD2S1205が障害状態 (LOS、DOS、LOTのいずれか) を表示している場合には、出力データは無効になります。RESETまたはSAMPLEパルスによって障害状態が解除され、ただちに別の障害状態が続いて発生しない場合でも、出力データは破壊されている可能性があります。前述のように、固有のレイテンシを持つ障害状態がいくつか存在します。デバイスの障害がクリアされた場合、障害状態が再表示されるまでに、レゾルバの機械的位置にいくらかのレイテンシが発生します。

障害が表示されたとき、データの有効/無効にかかわらず、すべての出力ピンはデータを表示したままになります。障害状態により、パラレル出力、シリアル出力またはエンコーダ出力が強制的に既知状態になることはありません。

特定の障害状態に対する応答は、システム・レベルの条件で決定されます。AD2S1205の障害出力は、デバイスがAD2S1205の内部信号または外部信号で問題のある可能性を検出したことを示します。AD2S1205が出力した障害表示および速度データまたは位置データに基づいて、システム設計者は、適切な障害処理方法をアプリケーションの制御ハードウェアおよび/またはアルゴリズムに組み込む必要があります。

疑似ヌル状態

前述の誤差式 (「動作原理」の式4を参照) に基づくタイプIIのトラッキング・ループを採用するレゾルバ/デジタル・コンバータには、疑似ヌルと呼ばれる問題が生じることがあります。この状態は、 $\theta - \phi = 180^\circ$ のときの誤差式の準安定解に起因します。ヒステリシスがトラッキング・ループの外側に組み込まれているため、AD2S1205はこの状態を検出できません。AD2S1205で採用しているループ・アーキテクチャにより、内部誤差信号には常に何らかの動きがあるため (1クロック・サイクル当たり1LSB)、準安定状態では、コンバータが常に1クロック・サイクル内に不安定状態に移動します。これにより、入力位置で180°のステップ変化があったかのようにトラッキング・ループが疑似ヌル状態に反応します (応答時間は表1の「ダイナミック性能」で規定したものと同一)。したがって、レゾルバ信号が有効である限り、起動シーケンスの後で準安定状態に入ることは不可能です。

プログラマブルな内蔵サイン波発振器

内蔵の発振器は、サイン波の励起信号 (EXC) とその相補信号 (EXC) をレゾルバに供給します。このリファレンス信号の周波数は、FS1ピンとFS2ピンを使用して4つの標準周波数 (10kHz、12kHz、15kHz、20kHz) のいずれかに設定できます (表5を参照)。デフォルト周波数=10kHzになるようにFS1とFS2にはプルアップが内蔵されています。この信号の振幅は約2.5Vを中心にしており、振幅は3.6Vp-pです。

表5. 励起周波数の選択

Frequency Selection (kHz)	FS1	FS2
10	1	1
12	1	0
15	0	1
20	0	0

リファレンス信号の周波数は、CLKIN周波数の関数です。CLKIN周波数を低くすることにより、最小励起周波数も低くすることができます。これにより、6.144MHzのCLKIN周波数を使用して励起周波数を7.5kHzに設定することができますが、最大トラッキング・レートも750rpsに低下します。

AD2S1205のリファレンス出力は、ゲインを提供する外付けバッファ・アンプとレゾルバを駆動するための追加の電流も必要とします。推奨バッファ回路については図6を参照してください。

また、AD2S1205は、Sin入力とCos入力の位相にロックした内部同期リファレンス信号も供給します。レゾルバの一次巻線と二次巻線との間の位相誤差は、RDCの精度を低下させることがあるため、この位相誤差をこの同期リファレンス信号により補償します。これは、温度とケーブル接続に起因する位相シフトも補償するため、外部プリセット位相補償回路が不要になります。

AD2S1205

クロックの条件

規定のダイナミック性能を得るには、CLKINピンとXTALOUTピンに外付けの水晶発振器を配置することを推奨します。8.192MHz±25%の周波数範囲で位置と速度の精度が保証されます。ただし、クロック周波数が公称値よりも25%高ければ、フルスケール速度も公称値より25%高くなるように、速度出力はクロック周波数に比例します。最大トラッキング・レート、トラッキング・ループ帯域幅、励起周波数も同様にクロック周波数に従って変化します。

絶対位置および速度出力

角位置と角速度はバイナリ・データで表し、12ビットの平行・インターフェースまたは最大25MHzのクロック・レートで動作する3線式シリアル・インターフェースを使って取り出せます。

SOE入力

シリアル出力イネーブル・ピン (SOE) をハイレベルにすると平行・インターフェースがイネーブルになり、ローレベルにするとシリアル・インターフェースがイネーブルになります。ローレベルの場合、DB0~DB9の各ピンがハイ・インピーダンスの状態になり、DB11はシリアル出力 (SO)、DB10はシリアル・クロック入力 (SCLK) になります。

データ・フォーマット

角位置データは、12ビットの符号なしバイナリ・ワードでレゾルバ・シャフトの絶対位置を表します。角速度データは12ビットの2の補数ワードで、時計回りまたは反時計回りで回転するレゾルバ・シャフトの速度を表します。

平行・インターフェース

角位置と角速度はAD2S1205の2個の12ビット・レジスタに格納されており、12ビットの平行・ポートからアクセスします。SOEピンをハイレベルにすると、平行・インターフェースが選択されます。データは、SAMPLEピンがハイレベルからローレベルに遷移した後、速度積分器と位置積分器からそれぞれ速度レジスタと位置レジスタに転送されます。角位置レジスタまたは角速度レジスタのどちらから出力レジスタにデータを転送するかをRDVELピンで選択します。選択したレジスタから出力レジスタにデータを転送するには、CSピンをローレベルに保持する必要があります。RD入力は、出力レジスタからデータを読み出すとき、および出力バッファをイネーブルにするときに使用します。読出しサイクルのタイミング条件を図7に示します。

SAMPLE入力

データは、SAMPLE信号がハイレベルからローレベルに遷移した後、位置積分器と速度積分器からそれぞれ位置レジスタと速度レジスタに転送されます。このピンは、データの正常なラッチを保証するため、少なくとも t_1 の間ローレベルを保持する必要があります。この前にRDをローレベルにすると、データは有効になりません。コンバータは、読出し処理中も動作を続けます。SAMPLEの立ち上がりエッジで、監視信号の最小振幅と最大振幅を格納している内部レジスタがリセットされます。

CS入力

CSをローレベルにすると、デバイスがイネーブルになります。

RDVEL入力

RDVEL入力は、角位置レジスタまたは角速度レジスタを選択するときに使用します (図7)。角位置レジスタを選択するときはRDVELをハイレベルに保持し、角速度レジスタを選択するときはRDVELをローレベルに保持します。RDピンをローレベルにする前に、RDVELピンは少なくとも t_4 の間レベルを維持する必要があります。

RD入力

12ビットのデータ・バス・ラインは通常、高インピーダンス状態にあります。CSとRDをローレベルにすると、出力バッファがイネーブルになります。RD信号の立下がりエッジで、データが出力バッファへ転送されます。選択されたデータはバスに出力されて、RDがローレベルになってから t_6 以内に読み出すことができます。RDピンがハイレベルに戻ってから t_7 以内に、データ・ピンは高インピーダンス状態に戻ります。データを連続的に読み出す場合は、RDを解除した後で少なくとも t_3 の間待ち、その後RDを再入力してください。

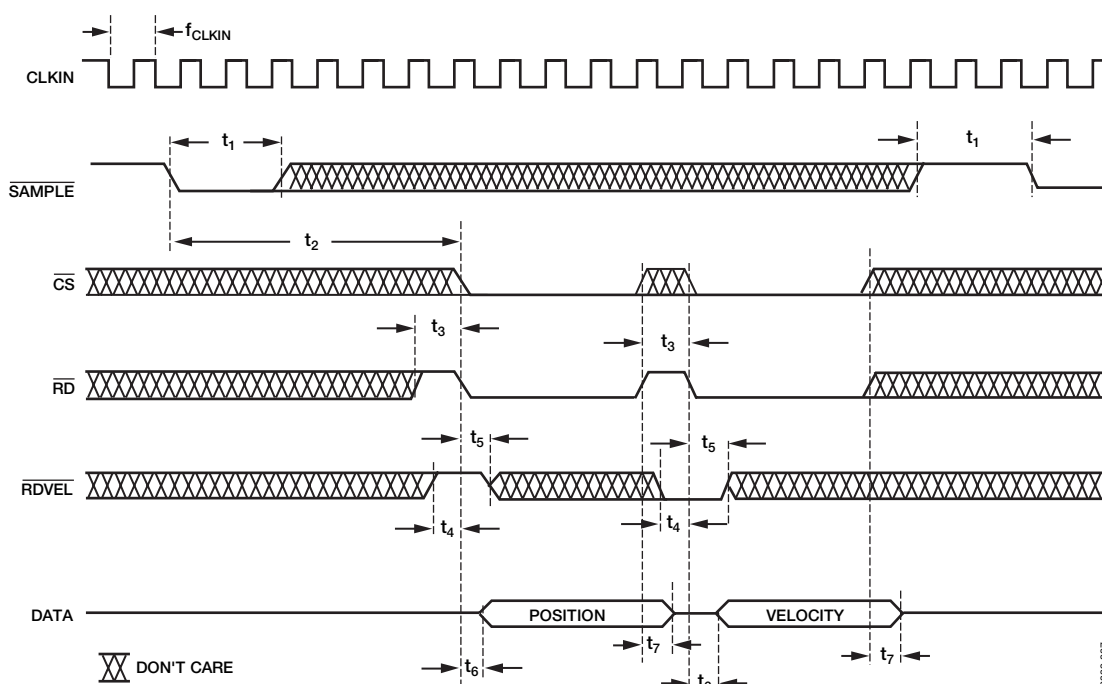


図7. パラレル・ポートの読み出しタイミング

表6. パラレル・ポートのタイミング

パラメータ	説明	Min	Typ	Max	単位
f_{CLKIN}	クロック入力周波数	6.144	8.192	10.24	MHz
t_1	SAMPLEパルス幅	$2 \times (1/f_{\text{CLKIN}}) + 20$			ns
t_2	SAMPLEからRD/CSのローレベルまでの遅延	$6 \times (1/f_{\text{CLKIN}}) + 20$			ns
t_3	RDパルス幅	18			ns
t_4	RD/CSをローレベルにする前のRDVELセットアップ時間	5			ns
t_5	RD/CSローレベルからのRDVELホールド時間	7			ns
t_6	RD/CSローレベルからデータ有効までの遅延のイネーブル			16	ns
t_7	RD/CSローレベルからデータが高Zになるまでの遅延のディスエーブル			18	ns

シリアル・インターフェース

角位置と角速度は、AD2S1205の2個の12ビット・レジスタに格納されています。これらのレジスタには、3線式シリアル・インターフェース（SO、RD、SCLK）経由でアクセスできます。このインターフェースは最大25MHzのクロック・レートで動作し、SPIおよびDSPインターフェースと互換性があります。SOEピンをローレベルにすると、シリアル・インターフェースが選択されます。データはSAMPLEピンを使って、最初に位置積分器と速度積分器からそれぞれ位置レジスタと速度レジスタへ転送されます。角位置レジスタまたは角速度レジスタのどちらから出力レジスタにデータを転送するかをRDVELピンで選択します。選択したレジスタから出力レジスタにデータを転送するには、CSピンをローレベルに保持する必要があります。RD入力はデータを読み出すときに使います。データは出力レジスタからクロックに同期してシリアル出力ピン（SO）に出力されます。シリアル・インターフェースが選択されると、DB11がシリアル出力ピン（SO）として使用され、DB10はシリアル・クロック入力（SCLK）として使用されます。DB0～DB9ピンは高インピーダンス状態になります。読出しサイクルのタイミング条件を図8に示します。

SO出力

出力シフト・レジスタは16ビット幅です。データはシリアル・クロック入力（SCLK）によって、16ビット・ワードでデバイスからクロック出力されます。この動作のタイミング図を図8に示します。16ビットのワードは、12ビットの角データ（RDVEL入力に応じて位置または速度）、1ビットのRDVELステータス、3ビットのステータス・ビット（パリティ・ビット、信号性能低下ビット、トラッキング喪失ビット）から構成されています。データはSOピンからMSBファースト（DB15から）でクロック出力されます。DB15～DB4は角情報に対応します。角位置データ・フォーマットは符号なしのバイナリで、全ビット「0」は0°に対応し、全ビット「1」は360° - 1LSBに対応します。角速度のデータ・フォーマットは2の補数であり、MSBが回転方向を表します。DB3はRDVELステータス・ビットで、これが1のときに位置、0のときに速度を表します。DB2は、信号性能低下フラグのDOSビットです（「障害検出回路」を参照）。ビット1は、トラッキング喪失を示すLOTフラグです（「障害検出回路」を参照）。ビット0は、パリティ・ビットのPARです。位置および速度データは奇数パリティ・フォーマットで表され、データ読出しには奇数個のロジック・ハイレベル（1）が常に含まれます。

SAMPLE入力

データは、SAMPLE信号がハイレベルからローレベルに遷移した後、位置積分器と速度積分器からそれぞれ位置レジスタと速度レジスタに転送されます。このピンは、データの正常なラッチを保証するため、少なくとも t_1 の間ローレベルを保持する必要があります。この前にRDをローレベルにすると、データが有効になりません。コンバータは、読出し処理中も動作を続けます。

CS入力

CSをローレベルにすると、デバイスがイネーブルになります。

RD入力

12ビットのデータ・バス・ラインは通常、高インピーダンス状態にあります。CSとRDをローレベルにすると、出力バッファがイネーブルになります。RD入力はエッジ・トリガ入力で、フレーム同期信号と出力イネーブルとして機能します。RD信号の立下がりエッジで、データが出力バッファへ転送され、シリアル出力ピン（SO）に出力されます。ただし、データがSO出力で有効になるためには、RDを t_2 の間ローレベルに維持しなければなりません。RDがローレベルになった後、シリアル・データはSCLKの立上がりエッジに同期してSOピンに出力されます。各データ・ビットはSCLKの立下がりエッジでSOピンに出力されます。しかし、MSBはRDの立下がりエッジでクロック出力されるため、MSBはSCLKの最初の立下がりエッジです。SOピン上で有効になっています。データ・ワードの他のビットはSCLKの立上がりエッジでシフト出力され、次の15クロック・パルスの間、SCLKの立下がりエッジでSOピンに出力されます。

SCLKの最初の立上がりエッジでDB14がシフトするとMSBが失われてしまうため、これを回避するために、SCLKがハイレベルに保持されている間にRDをハイレベルからローレベルに遷移させる必要があります。SCLKの最後の立下がりエッジの後で、RDをハイレベルに立ち上げることができます。RDをローレベルに保持し、DB0が読み出された後さらにSCLKを加えると、データ出力から「0」が出力されます。データを連続的に読み出す場合は、RDを解除した後で少なくとも t_3 の間待ち、その後RDを再入力してください。

RDVEL入力

RDVEL入力は、角位置レジスタまたは角速度レジスタを選択するときに使用します。角位置レジスタを選択するときはRDVELをハイレベルに保持し、角速度レジスタを選択するときはRDVELをローレベルに保持します。RDピンをローレベルにする前に、RDVELピンは少なくとも t_4 の間レベルを維持する必要があります。

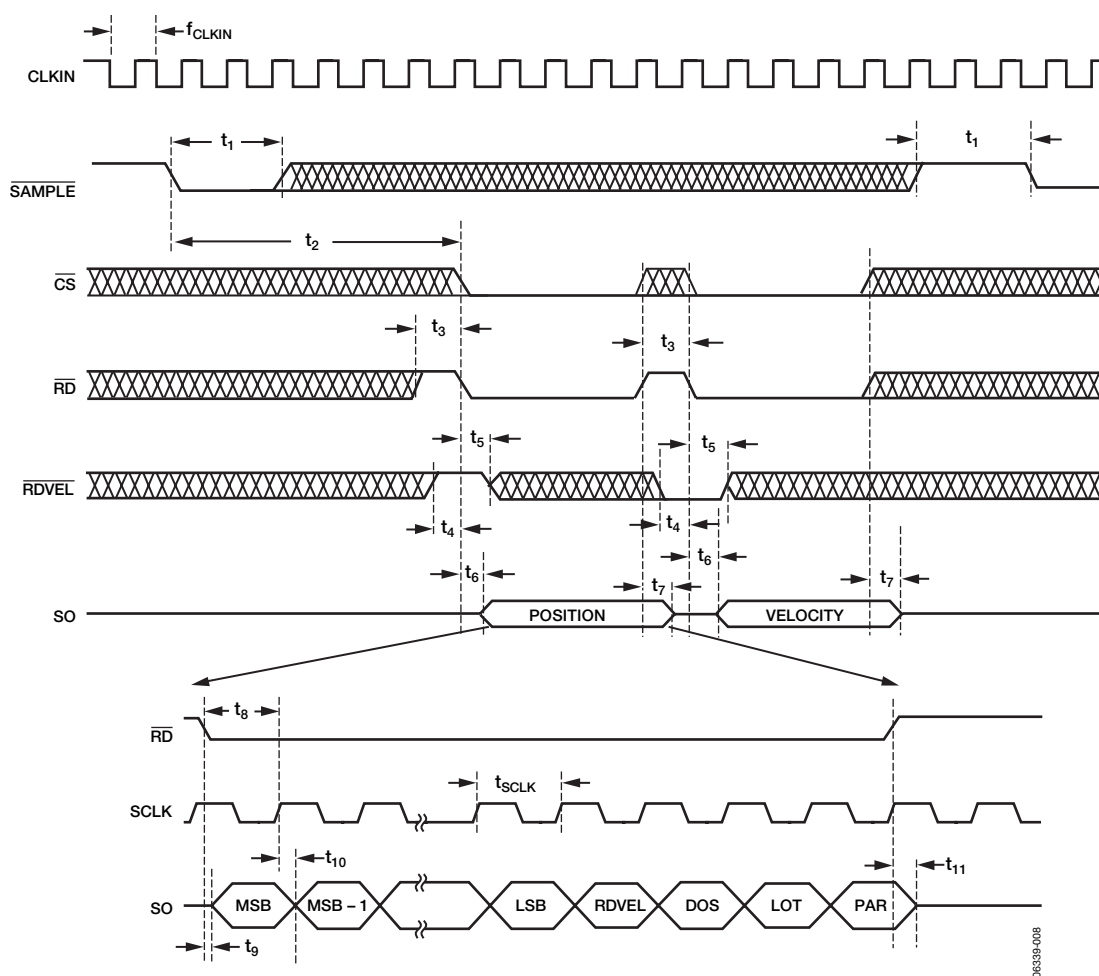


図8. シリアル・ポートの読出しタイミング

表7. シリアル・ポートのタイミング¹

パラメータ	説明	Min	Typ	Max	単位
t_8	$\overline{RD}/\overline{CS}$ からSCLKまでのMSB読出し時間	15		t_{SCLK}	ns
t_9	$\overline{RD}/\overline{CS}$ からDB有効までのSOイネーブル時間			16	ns
t_{10}	SCLKからDB有効までのデータ・アクセス時間			16	ns
t_{11}	$\overline{RD}/\overline{CS}$ からSOがハイレベルZになるまでのバス解放時間			18	ns
t_{SCLK}	シリアル・クロック周期 (最大25MHz)	40			ns

¹ $t_1 \sim t_7$ の定義は表6にあります。

AD2S1205

インクリメンタル・エンコーダ出力

インクリメンタル・エンコーダ・エミュレーション出力のA、B、NMは自励式で、コンバータに入力されたレゾルバ・フォーマット入力信号が有効な場合に有効となります。

AD2S1205は1024ラインのエンコーダをエミュレートします。すなわち、コンバータの分解能でいえば、1回転で1024のAパルスとBパルスを発生します。角度が増加する方向の回転（時計回り）では、Aパルスの方がBパルスよりも進んでいます。DIR出力が追加されているため、外付けのAとBの方向デコード・ロジックが不要になります。DIR出力は入力回転の方向を示し、角度が増加する回転方向に対してハイレベルが出力されます。DIRは非同期出力とみなすことができ、連続する2つのLSB更新サイクルの間に複数回の状態変化が可能です。これは、入力回転方向が変化しても回転の大きさが1 LSBより小さいときに、発生します。

絶対角位置がゼロを通過するとき、ノース・マーカ・パルスが発生します。ノース・マーカ・パルス幅は内部で90°に設定されており、Aサイクルを基準にしています。図9に、A、B、NMの関係を示します。

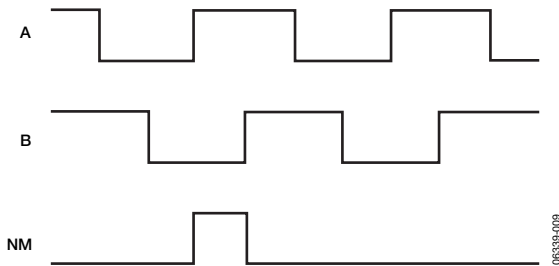


図9. 時計回りの方向に対するA、B、NMのタイミング

インクリメンタル・エンコーダとは異なり、AD2S1205のエンコーダ出力は、サイクル誤差、波形比、信号幅誤差、カウント密度、位相差などの誤差仕様の影響を受けません。エンコーダの最大速度定格 (n) は、最大スイッチング周波数 (f_{MAX}) と1回転当たりのパルス数 (PPR) から計算されます。

$$n = \frac{60 \times f_{MAX}}{PPR} \quad (9)$$

AD2S1205のAパルスとBパルスは、外部CLKIN周波数の1/2になる内部クロック周波数から発生します。CLKIN周波数の公称値が8.192MHzの場合、内部クロック周波数は4.096MHzになります。等価なエンコーダ・スイッチング周波数は、以下の式で求めることができます。

$$1/4 \times 4.096 \text{ MHz} = 1.024 \text{ MHz} \quad (4 \text{ Updates} = 1 \text{ Pulse}) \quad (10)$$

12ビットの場合、PPRは1024です。したがって、CLKINが8.192MHz時のAD2S1205の最大回転速度 (n) は、以下のようになります。

$$n = \frac{60 \times 1,024,000}{1024} = 60,000 \text{ rpm} \quad (11)$$

75,000rpmの最大回転速度を達成するには、10.24MHzの外部CLKINを選択して、内部クロック周波数を5.12MHzにします。

これは、使用する光システムのタイプに応じてf_{MAX}を20kHz（フォトダイオード）から125kHz（レーザ・ベース）の範囲に規定するエンコーダ仕様に十分に適合します。1024ラインのレーザ・ベースのエンコーダの最大速度は7300rpmです。

A出力とB出力があるため、AD2S1205とレゾルバ・ソリューションの組み合わせにより、既存のアプリケーション・ソフトウェアの変更またはアップグレードなしで、光エンコーダを直接置き換えることができます。

電源シーケンスとRESET

AD2S1205は、V_{DD}が規定の動作範囲4.5~5.5Vに落ち着くまでRESET入力をローレベルに保持しなければならないので、外部リセット信号が必要です。

RESETピンは、V_{DD}が規定の範囲内に安定した後、少なくとも10μs間ローレベルを保持する必要があります（図10のt_{RST}）。RESET信号をAD2S1205に入力すると、位置出力を値0x000（パラレル、シリアル、エンコーダの各インターフェースに出力される角度）に初期化し、図10に示すようにLOSを表示させます（LOTピンとDOSピンがローレベルを出力）。

正しいパワーアップ/リセット・シーケンスに従わないと、誤った位置表示が出力されることがあります。

RESET入力の立上がりエッジの後、内部回路が安定し、かつ入力位置のステップ変化に対してトラッキング・ループがセトリングするために、デバイスには少なくとも20ms（図10のt_{TRACK}）が必要です。t_{TRACK}が経過した後、SAMPLEパルスを入力する必要があります。これによって、LOTピンとDOTピンが解除され、障害検出回路で決めた状態に戻り、有効な位置データがパラレル出力とシリアル出力から出力されます（位置データをエンコーダ出力から取得する場合、t_{TRACK}の間にこれらを監視することが可能です）。

RESETピンはその後に内部でプルアップされます。

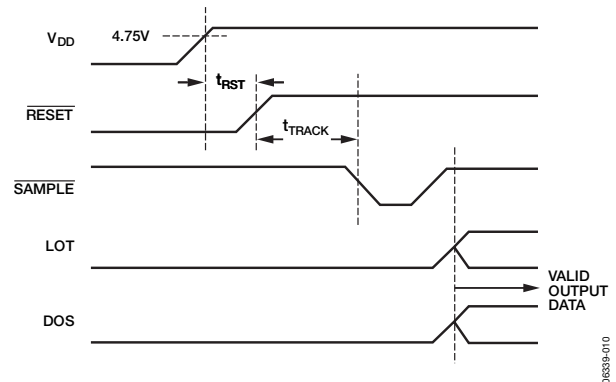


図10. 電源シーケンスとリセット

回路動作

ループ応答モデル

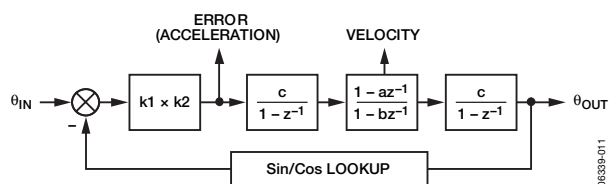


図11. RDCシステム応答のブロック図

このRDCはミックスド・シグナル・デバイスで、レゾルバからの信号をデジタル化する2個のADCと、これらのデジタル信号をデジタルの位置ワードと速度ワードに変換するタイプIIトラッキング・ループを使用しています。

最初のゲイン段は、Sin/Cos入力に対するADCゲインと、最初の積分器までの誤差信号ゲインから構成されています。最初の積分器は、速度に比例する信号を発生します。補償フィルタは1つの極と1つのゼロ点を持っており、位相マージンの提供と、高周波でのノイズ・ゲインの削減に使用されています。2番目の積分器は最初の積分器と同じもので、速度信号から位置出力を生成します。Sin/Cosルックアップはゲイン=1です。各セクションの値を次に示します。

ADCゲイン・パラメータ ($k1_{NOM}=1.8/2.5$)

$$K2 = \frac{V_{IN}(V_P)}{V_{REF}(V)} \quad (12)$$

誤差ゲイン・パラメータ

$$k2 = 18 \times 10^6 \times 2\pi \quad (13)$$

補償回路のゼロ点係数

$$a = \frac{4095}{4096} \quad (14)$$

補償回路の極の係数

$$b = \frac{4085}{4096} \quad (15)$$

積分器のゲイン・パラメータ

$$c = \frac{1}{4,096,000} \quad (16)$$

INT1とINT2の伝達関数

$$I(z) = \frac{1}{1-z^{-1}} \quad (17)$$

補償フィルタの伝達関数

$$C(z) = \frac{1-az^{-1}}{1-bz^{-1}} \quad (18)$$

R2Dオープンループの伝達関数

$$G(z) = kI \times k2 \times I(z)^2 \times C(z) \quad (19)$$

R2Dクローズドループの伝達関数

$$H(z) = \frac{G(z)}{1+G(z)} \quad (20)$$

クローズド・ループの振幅応答と位相応答は2次ローパス・フィルタの応答になります (図12と図13を参照)。

$G(z)$ をs平面に変換するために、 z に次式を代入して双一次逆変換を行います。

$$z = \frac{\frac{2}{t} + s}{\frac{2}{t} - s} \quad (21)$$

ここで、 t はサンプリング周期 ($1/4.096\text{MHz} \approx 244\text{ns}$) です。

代入すると、オープンループの伝達関数 $G(s)$ が得られます。

$$G(s) = \frac{kI \times k2(1-a)}{a-b} \times \frac{1+st + \frac{s^2 t^2}{4}}{s^2} \times \frac{1+s \times \frac{t(1+a)}{2(1-a)}}{1+s \times \frac{t(1+b)}{2(1-b)}} \quad (22)$$

この変換は、低い周波数 ($f < f_{SAMPLE}$) できれいに一致します。このような低い周波数 (AD2S1205のクローズドループ帯域内) では、伝達関数は次のように簡略になります。

$$G(s) \doteq \frac{K_a}{s^2} \times \frac{1+st_1}{1+st_2} \quad (23)$$

ここで、

$$t_1 = \frac{t(1+a)}{2(1-a)}$$

$$t_2 = \frac{t(1+b)}{2(1-b)}$$

$$K_a = \frac{kI \times k2(1-a)}{a-b}$$

各値を求めると、 $t_1=1\text{ms}$ 、 $t_2=90\mu\text{s}$ 、 $K_a \approx 7.4 \times 10^6 \text{s}^{-2}$ が得られます。クローズドループ応答は次のように表されます。

$$H(s) = \frac{G(s)}{1+G(s)} \quad (24)$$

S領域に変換することにより、オープンループDCゲイン (K_a)を求めることができます。この値は、ループの加速度誤差の計算に有効です (「誤差原因」の項を参照)。

AD2S1205

図14に、10°のステップ入力に対するステップ応答を示します。θ-φの大きな値に対して誤差計算（式2を参照）は非線形であるため、位置の大きなステップ変化（90°~180°）に対する応答時間は一般に、位置の小さなステップ変化（<20°）に対する応答の3倍になります。AD2S1205の速度のステップ変化に対する応答は、位置のステップ変化に対する応答特性と同じです。

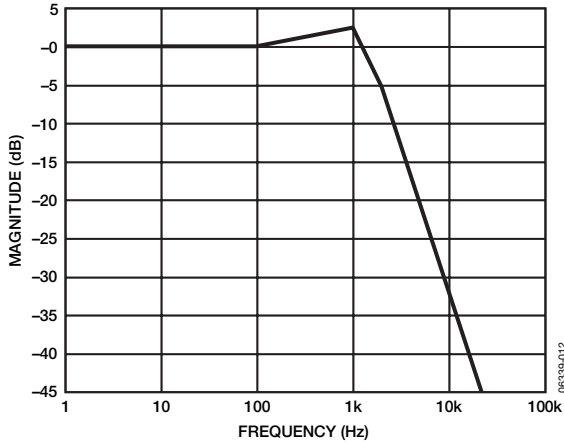


図12. RDCシステムの振幅応答

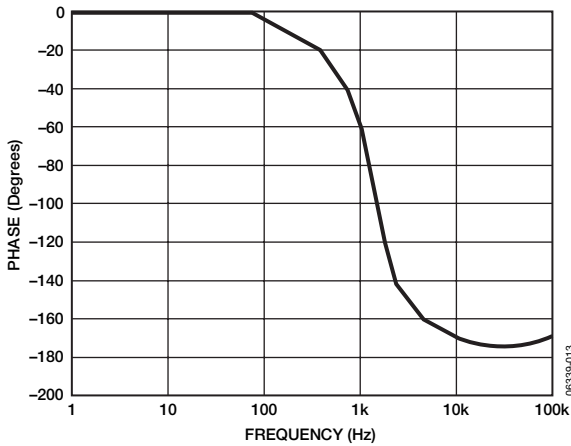


図13. RDCシステムの位相応答

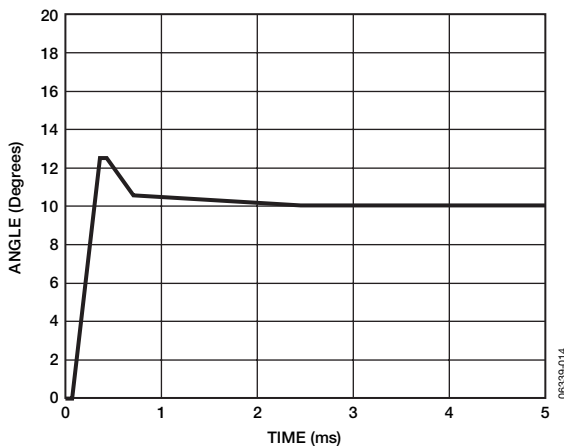


図14. 小さなステップに対するRDCの応答

誤差の原因

加速度

タイプIIのサーボ・ループを採用するトラッキング・コンバータには、速度の遅れはありませんが、加速度の誤差が存在します。この誤差は、コンバータの加速度定数 (K_a) を使って求められます。

$$K_a = \frac{\text{Input Acceleration}}{\text{Tracking Error}} \quad (25)$$

変形すると、

$$\text{Tracking Error} = \frac{\text{Input Acceleration}}{K_a} \quad (26)$$

図15に、AD2S1205のトラッキング誤差と加速度の関係を示します。

分子と分母の単位は一致させる必要があります。AD2S1205の最大加速度は、5°の出力位置誤差（すなわち、LOTが表示される時）を発生する加速度として定義されています。最大加速度は次のように計算されます。

$$\text{Maximum Acceleration} = \frac{K_a (\text{sec}^{-2}) \times 5^\circ}{360 (\text{°/rev})} \doteq 103,000 \text{ rps}^2 \quad (27)$$

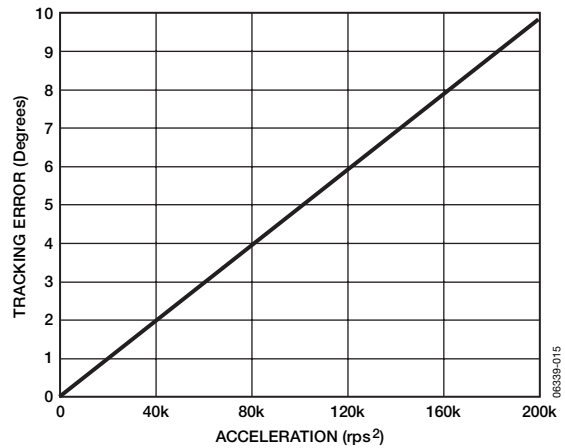


図15. トラッキング誤差 対 加速度

外形寸法

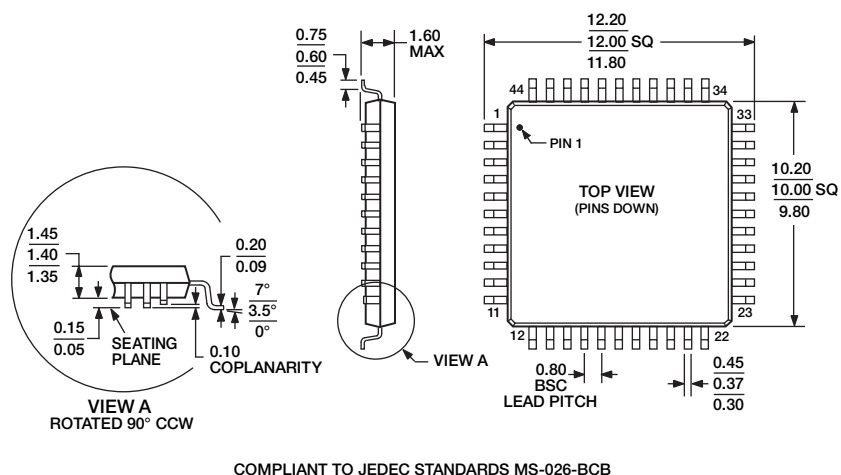


図16. 44ピン薄型クワッド・フラット・パッケージ [LQFP]
(ST-44-1)
寸法単位 (mm)

D06339-0-1/07(0)-J

オーダー・ガイド

Model	Temperature Range	Angular Accuracy	Package Description	Package Option
AD2S1205YSTZ ¹	-40°C to +125°C	±11 arc min	44-Lead Low Profile Quad Flat Package [LQFP]	ST-44-1
AD2S1205WSTZ ¹	-40°C to +125°C	±22 arc min	44-Lead Low Profile Quad Flat Package [LQFP]	ST-44-1
EVAL-AD2S1205CBZ ^{1,2}			Evaluation Board	
EVAL-CONTROL BRD ^{2,3}			Controller Board	

¹ Z=鉛フリー製品

² 単体の評価用ボードとしても使用できますが、評価・デモ用途の評価用ボード・コントローラと接続して使用することもできます。

³ 評価用ボード・コントローラ。このコントローラ・ボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイセズ製評価用ボード全製品の制御と通信をPCで行うことができます。完全な評価を行うためには、評価用ボード(EVAL-AD2S1205CBZ)、EVAL-CONTROL BRD2、12V ACトランスを注文してください。