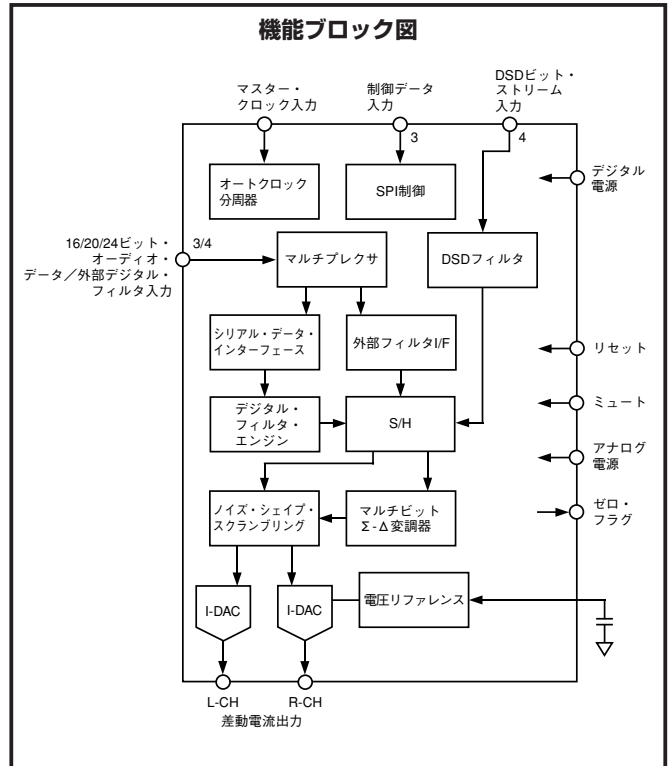


特長

- 5V電源動作のステレオ・オーディオDACシステム
- 16/18/20/24ビット・データに対応
- 24ビット、192kHzサンプル・レートのPCMオーディオ・データをサポート
- SACDビット・ストリームおよび外部デジタル・フィルタ・インターフェースをサポート
- 32kHz、44.1kHz、48kHz、88.2kHz、96kHzおよび192kHzを含む、広範なPCMサンプル・レートに対応
- アイドル・トーンとノイズ・フロアを低減する“完全な微分直線性再生”機能を備えたマルチビットΣ-Δ変調器
- データ・ダイレクト・スクランプリングDACレジッタに対して低感度
- “ビット・イクスパンション”フィルタによるSACD再生をサポート
- 高性能化に最適な差動電流出力
- 8.64mAp-pの差動出力
- 48kHzサンプル・レート時に120dBのSNR/DNR(ミュートなし)、(Aウエイト、ステレオ)
- 123dBのSNR/DNR(モノラル)
- 110dBのTHD + N
- 110dBの阻止帯域減衰と±0.0002dBの通過帯域リップル
- 8倍オーバーサンプリング・デジタル・フィルタ
- クリックレス・ボリューム・コントロールを内蔵
- SACDミュート・パターン検出をサポート
- 位相モード時に64fs/128fsのDSD SACDをサポート
- 外部フィルタを使用するための内部デジタル・フィルタのパススルー
- マスター・クロック: 256fs、512fs、768fs
- ハードウェアおよびソフトウェア制御が可能なクリックレス・ミュート
- シリアル・モード、ビット長、サンプル・レート、ボリューム、ミュート、ディエンファシス、モノラル・モードのシリアル(SPI)制御
- 32kHz、44.1kHzおよび48kHzのサンプル・レートに対応するデジタル・ディエンファシス
- 右詰め、左詰め、I²SおよびDSPの各種モードで使用可能な柔軟性の高いシリアル・データ・ポート
- 28ピンSSOPプラスチック・パッケージ

アプリケーション

- ハイエンドDVDオーディオ
- SACD
- CD
- ホーム・シアター・システム
- 車載用オーディオ・システム
- サンプリング・キーボード楽器
- デジタル・ミキシング・コンソール
- デジタル・オーディオ・エフェクト・プロセッサ



製品概要

AD1955は、全機能内蔵型の高性能、シングルチップのステレオ・デジタル・オーディオ再生システムです。マルチビットΣ-Δ変調器、高性能デジタル・インターポレーション・フィルタ、および連続時間差動電流出力DACで構成されています。その他の特長として、SPI互換のシリアル制御ポート経由でプログラミング設定が可能なクリックレス・ステレオ減衰器とミュート機能を内蔵しています。AD1955は、192kHzと96kHzのサンプル周波数および24ビットをはじめ、既知の全DVDオーディオ・フォーマットと完全に互換です。さらに、コンパクト・ディスク「レッドブック」に対応する50μs/15μsデジタル・ディエンファシスに加えて、32kHzおよび48kHzのサンプル・レートでのディエンファシスをサポートすることで、下位互換性も備えています。

(12ページに続く)

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD1955—仕様

テスト条件

(特に注記のない限り)

アナログ電源電圧 (AV_{DD})	5V
デジタル電源電圧 (DV_{DD})	5V
リファレンス電流 (I_{REF})	0.960mA
周囲温度	25°C
入力クロック	12.288MHz
入力信号	984.375Hz、0dBフルスケール
入力サンプル・レート	48kHz
測定帯域幅	20Hz~20kHz
ワード幅	24ビット
負荷容量	100pF
負荷インピーダンス	47k Ω
入力HI電圧	2.4V
入力LO電圧	0.8V

アナログ性能 (図を参照。 $I_{REF} = 0.960mA$ 、 $V_{BIAS} = 2.80V$)

パラメータ	Min	Typ	Max	単位
分解能		24		ビット
信号対ノイズ比 (20Hz~20kHz) *				
差動出力 (Aウエイト、RMS) (ステレオ)		120	114	dB
差動出力 (Aウエイト、RMS) (モノラル)		123		dB
シングルエンド出力 (Aウエイト、RMS) (ステレオ)		119		dB
ダイナミックレンジ (20Hz~20kHz、-60dB入力) *				
差動出力 (Aウエイト、RMS) (ステレオ)		120	114	dB
差動出力 (Aウエイト、RMS) (モノラル)		123		dB
シングルエンド出力 (Aウエイト、RMS) (ステレオ)		119		dB
全高調波歪み+ノイズ (ステレオ)、0dBFS時		-110	-102.5	dB
アナログ出力				
差動出力レンジ (フルスケール)		8.64		mAp-p
各出力ピン上の出力容量			100	pF
出力バイアス電流、各出力		-3.24		mA
帯域外エネルギー (0.5 × f_s ~100kHz)			-90	dB
リファレンス電圧	2.245	2.39	2.505	V
DC精度				
ゲイン誤差			±6	%
チャンネル間ゲイン・ミスマッチ		0.01	0.26	dB
ゲイン・ドリフト		25		ppm/°C
チャンネル間クロストーク (EIAJ方式)		-125		dB
チャンネル間フェーズ偏差		±0.1		度
ミュート減衰量		-100		dB
ディエンファシス・ゲイン誤差			±0.1	dB

* RMSモードでAudio Precision System Two Cascadeを使用して測定しています。平均化モード時の性能は、約2dB改善されています。左右チャンネルの性能は同一です (ただし、チャンネル間ゲイン・ミスマッチとチャンネル間フェーズ偏差の仕様を除く)。

仕様は予告なく変更される場合があります。

デジタルI/O (特に注記のない限り、 -40°C ~ $+85^{\circ}\text{C}$)

パラメータ	Min	Typ	Max	単位
ハイレベル入力電圧 (V_{IH})	2.2			V
ローレベル入力電圧 (V_{IL})			0.8	V
入力リーク電流 (I_{IH} @ $V_{IH} = 2.4\text{V}$)	-3		+3	μA
入力リーク電流 (I_{IL} @ $V_{IL} = 0.8\text{V}$)	-3		+3	μA
ハイレベル出力電圧 (V_{OH}) $I_{OH} = 1\text{mA}$	2.4			V
ローレベル出力電圧 (V_{OL}) $I_{OL} = 1\text{mA}$			0.4	V
入力容量			20	pF

仕様は予告なく変更される場合があります。

温度

パラメータ	Min	Typ	Max	単位
仕様保証温度		25		$^{\circ}\text{C}$
機能性保証温度範囲	-40		+85	$^{\circ}\text{C}$
保管温度範囲	-55		+125	$^{\circ}\text{C}$

仕様は予告なく変更される場合があります。

電源

パラメータ	Min	Typ	Max	単位
電源				
デジタル電圧	4.50	5	5.50	V
アナログ電圧	4.50	5	5.50	V
アナログ電流		20		mA
アナログ電流—リセット		20		mA
デジタル電流		22		mA
デジタル電流—リセット		2		mA
消費電力				
動作時—両方の電源		210		mW
動作時—アナログ電源		100		mW
動作時—デジタル電源		110		mW
電源変動除去比				
アナログ電源ピン上の1kHz 300mVp-p信号		-77		dB
アナログ電源ピン上の20kHz 300mVp-p信号		-72		dB

仕様は予告なく変更される場合があります。

デジタル・フィルタ特性

サンプル・レート (kHz)	通過帯域 (kHz)	阻止帯域 (kHz)	阻止帯域減衰量 (dB)	通過帯域リップル (dB)
44.1	DC—20	24.1—328.7	110	± 0.0002
48	DC—21.8	26.23—358.28	110	± 0.0002
96	DC—39.95	56.9—327.65	115	± 0.0005
192	DC—87.2	117—327.65	95	0/-0.04 (DC—21.8kHz) 0/-0.5 (DC—65.4kHz) 0/-1.5 (DC—87.2kHz)

仕様は予告なく変更される場合があります。

AD1955 – 仕様 (続き)

群遅延

チップ・モード	群遅延計算	f_s (kHz)	群遅延	単位
INT8倍モード	$5553/(128 \times f_s)$	48	903.8	μs
INT4倍モード	$5601/(64 \times f_s)$	96	911.6	μs
INT2倍モード	$5659/(32 \times f_s)$	192	921	μs

仕様は予告なく変更される場合があります。

デジタル・タイミング (−40°C ~ +85°C、AVDD = DVDD = 5.0V ± 10%の条件下で保証)

パラメータ	説明	Min	単位
t_{DMP}	MCLKサイクル ($F_{MCLK} = 256 \times F_{LRCLK}$)	50	ns
t_{DML}	MCLK LOパルス幅 (全モード)	$0.4 \times t_{DMP}$	ns
t_{DMH}	MCLK HIパルス幅 (全モード)	$0.4 \times t_{DMP}$	ns
t_{DBH}	BCLK/EF_BCLKハイ	20	ns
t_{DBL}	BCLK/EF_BCLKロー	20	ns
t_{DBP}	BCLK/EF_BCLKサイクル	60	ns
t_{DLS}	LRCLK/EF_WCLKセットアップ	0	ns
t_{DLH}	LRCLKホールド (DSPシリアル・ポート・モードのみ)	15	ns
t_{DWH}	EF_WCLKハイ	20	ns
t_{DWL}	EF_WCLKロー	20	ns
t_{DDS}	SDATA/EF_LDATA/EF_RDATAセットアップ	0	ns
t_{DDH}	SDATA/EF_LDATA/EF_RDATAホールド	20	ns
t_{DPHS}	DSD_PHASEセットアップ	20	ns
t_{DSDS}	DSD_DATAセットアップ	5	ns
t_{DSDH}	DSD_DATAホールド	5	ns
t_{DSKP}	DSD_SCLKサイクル	60	ns
t_{DSKH}	DSD_SCLKハイ	20	ns
t_{DSKL}	DSD_SCLKロー	20	ns
t_{DMP}	CCLKサイクル	50	ns
t_{DML}	CCLK LOパルス幅	15	ns
t_{DMH}	CCLK HIパルス幅	10	ns
t_{CLS}	CLATCHセットアップ	0	ns
t_{CLH}	CLATCHホールド	15	ns
t_{CDS}	CDATAセットアップ	0	ns
t_{CDH}	CDATAホールド	5	ns
t_{RSTL}	RST LOパルス幅	10	ns

仕様は予告なく変更される場合があります。

絶対最大定格*

パラメータ	Min	Max	単位
DGND基準のDV _{DD}	-0.3	6	V
AGND基準のAV _{DD}	-0.3	6	V
デジタル入力	DGND-0.3	DV _{DD} + 0.3	V
アナログ出力	AGND-0.3	AV _{DD} + 0.3	V
DGND基準のAGND	-0.3	+0.3	V
リファレンス電圧		(AV _{DD} + 0.3)/2	
ハンダ付け		300	℃
		10	秒

パッケージの熱特性

パッケージ	Typ	単位
θ_{JA} (熱抵抗値[接合部-周囲間])	109.0	℃/W
θ_{JC} (熱抵抗値[接合部-ケース間])	39.0	℃/W

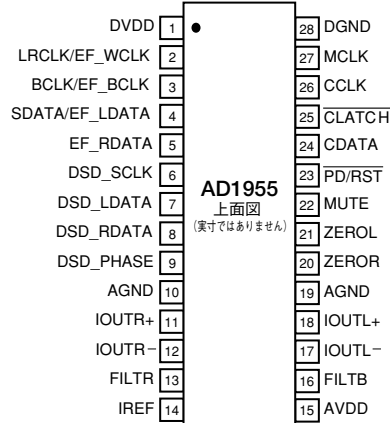
*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

オーダー・ガイド

モデル	温度レンジ	パッケージの説明	パッケージ・オプション*
AD1955ARS	-40℃ ~ +85℃	28ピンSSOP	RS-28
AD1955ARSRL	-40℃ ~ +85℃	28ピンSSOP	RS-28 (13インチ・リールを使用)
EVAL-AD1955EB		評価用ボード	

*RS = シュリンク・スモールアウトライン・パッケージ

ピン配置



注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

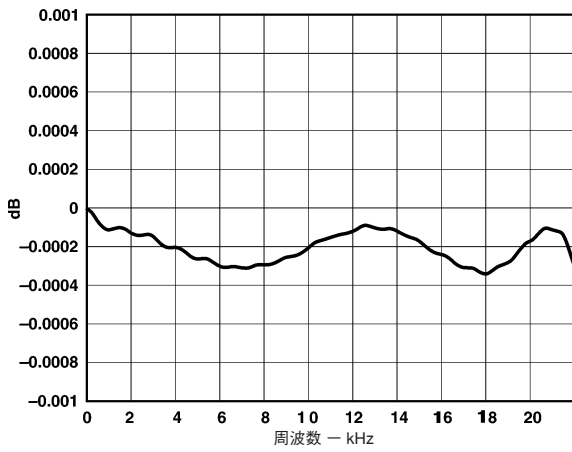


AD1955

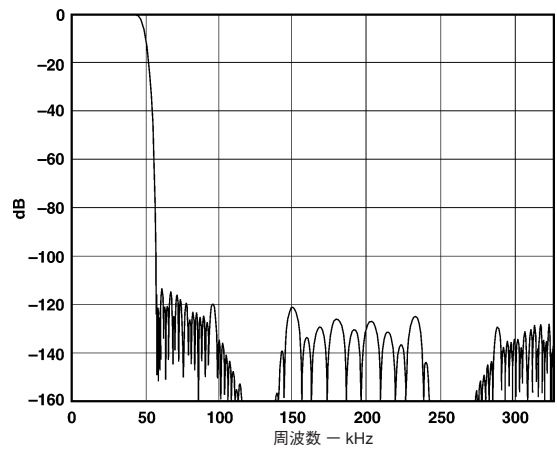
ピン機能説明

ピン番号	入力/出力	記号	説明
1		DVDD	5Vデジタル電源に接続されるデジタル電源
2	入力	LRCLK/EF_WCLK	PCMモード時は、入力データ用の左右チャンネル・クロック入力 外部フィルタ・モード時は、ワード・クロック入力
3	入力	BCLK/EF_BCLK	PCMモード時は、入力データ用のビット・クロック入力 外部フィルタ・モード時は、ビット・クロック入力
4	入力	SDATA/EF_LDATA	MSBファーストの2の補数シリアル・オーディオ・データ PCMモード時は、2チャンネル（左右）の16ビット～24ビット・データ 外部フィルタ・モード時は、左チャンネル・データ
5	入力	EF_RDATA	PCMモード時は使用されません。 外部フィルタ・モード時は、右チャンネル・データ
6	入出力	DSD_SCLK	DSDデータ用のシリアル・クロック入力です。ノーマル・モード時は64 × 44.1kHz (2.8224MHz) または128 × 44.1kHz (5.6448MHz)、フェーズモード時は128 × 44.1kHz (5.6448MHz) または256 × 44.1kHz (11.2896MHz) にすることが必要です。
7	入力	DSD_LDATA	左チャンネルのDSDデータ入力
8	入力	DSD_RDATA	右チャンネルのDSDデータ入力
9	入出力	DSD_PHASE	DSD位相基準信号です。64 × 44.1kHz (2.8224MHz) にすることが必要です。 使用しない場合には、ローに接続することが必要です。
10		AGND	アナログ・グラウンド
11	出力	IOUTR+	右チャンネルのアナログ正出力
12	出力	IOUTR-	右チャンネルのアナログ負出力
13	出力	FILTR	電圧リファレンスのフィルタ・コンデンサ接続ピン。このピンとAGND間に10 μFおよび0.1 μFのコンデンサを並列に接続して、電圧リファレンスのバイパスおよびデカップリング処理を行います。
14		IREF	外部バイアス抵抗の接続ポイント
15		AVDD	5Vアナログ電源に接続されるアナログ電源
16	出力	FILTB	フィルタ・コンデンサ接続ピン。このピンとAGND間に10 μFおよび0.1 μFのコンデンサを並列に接続します。
17	出力	IOUTL-	左チャンネルのアナログ負出力
18	出力	IOUTL+	左チャンネルのアナログ正出力
19		AGND	アナログ・グラウンド
20	出力	ZEROR	右チャンネルのゼロ・フラグ出力。右チャンネルに信号入力がないとき、またはDSDミュート・パターンが検出されるときに、このピンがハイになります。
21	出力	ZEROL	左チャンネルのゼロ・フラグ出力。左チャンネルに信号入力がないとき、またはDSDミュート・パターンが検出されるときに、このピンがハイになります。
22	入力	MUTE	ミュート信号。ハイにアサートすると、左右両方のステレオ・アナログ出力がミュートされます。アサートを解除すると、通常の動作に復帰します。
23	入力	$\overline{\text{PD/RST}}$	パワーダウン/リセット用の入力。ローの状態に保持すると、AD1955がリセット状態に設定され、デジタル回路がパワーダウンします。この信号の立ち上がりエッジでAD1955がリセットされます。シリアル制御ポート・レジスタは、デフォルト値にリセットされます。ハイに接続すると、通常の動作に戻ります。
24	入力	CDATA	シリアル制御入力。MSBファーストで転送され、16ビットの符号なしデータが含まれます。制御情報と特定チャンネルの減衰量の指定に使用します。
25	入力	$\overline{\text{CLATCH}}$	制御データのラッチ入力
26	入力	CCLK	制御データのクロック入力。制御入力データは、CCLKの立ち上がりエッジで有効になることが必要です。CCLKは連続的、またはゲートすることができます。
27	入力	MCLK	マスター・クロック入力。外部クロック・ソースに接続してください。
28		DGND	デジタル・グラウンド

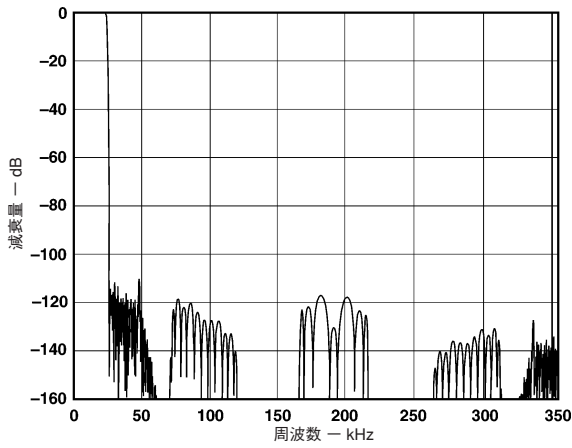
代表的な性能特性－AD1955



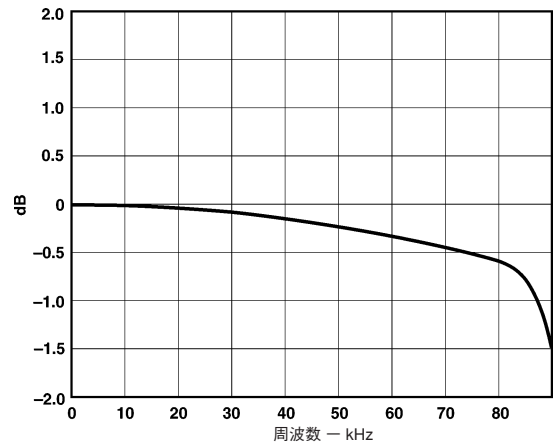
TPC 1 通過帯域応答、8倍モード、48kHzサンプル・レート



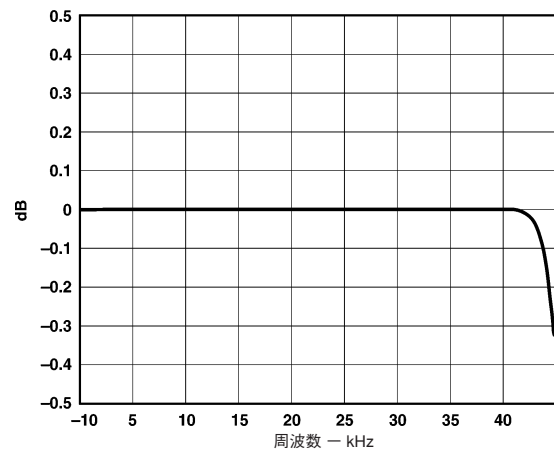
TPC 4 総合応答、4倍モード、96kHzサンプル・レート



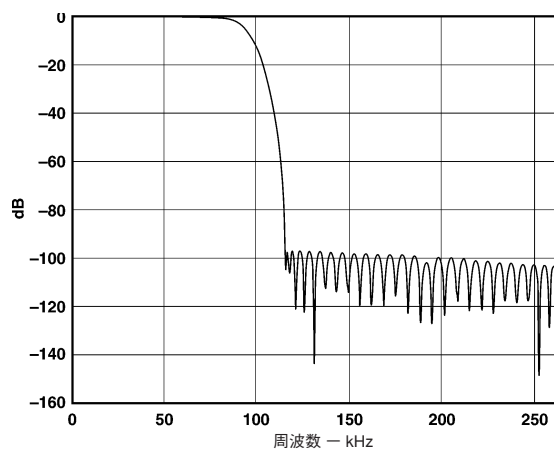
TPC 2 総合応答、8倍モード、48kHzサンプル・レート



TPC 5 通過帯域応答、2倍モード、192kHzサンプル・レート

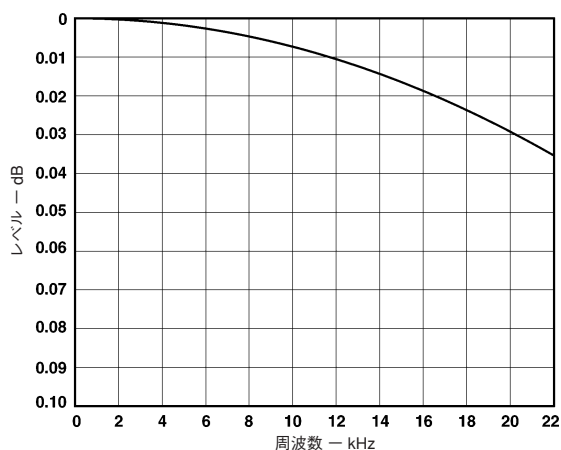


TPC 3 44kHz通過帯域応答、4倍モード、96kHzサンプル・レート

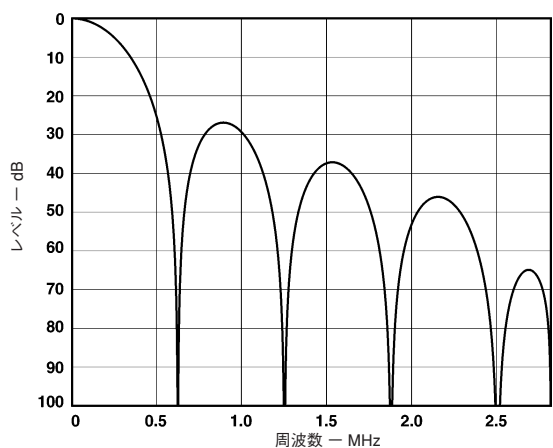


TPC 6 総合応答、2倍モード、192kHzサンプル・レート

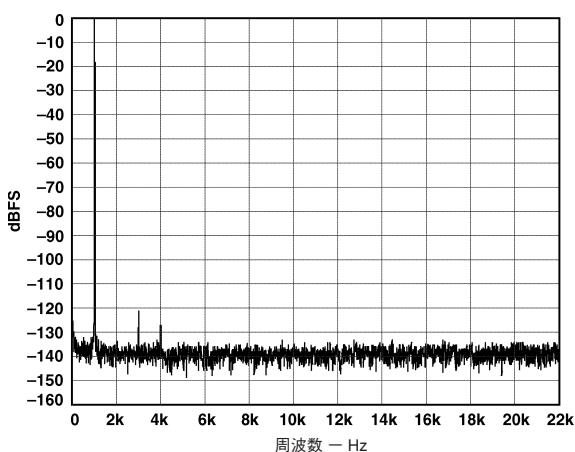
AD1955



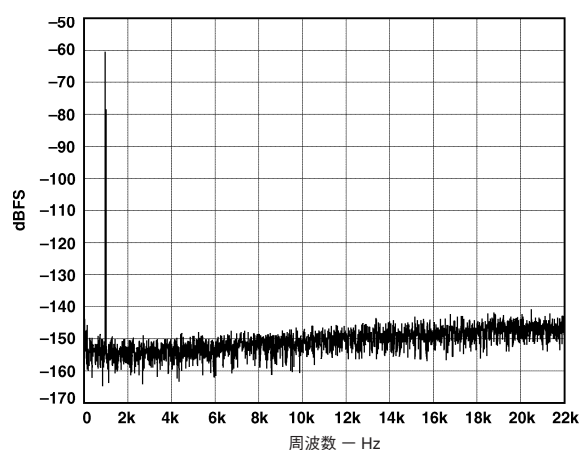
TPC 7 DSDデジタル・フィルタの通過帯域



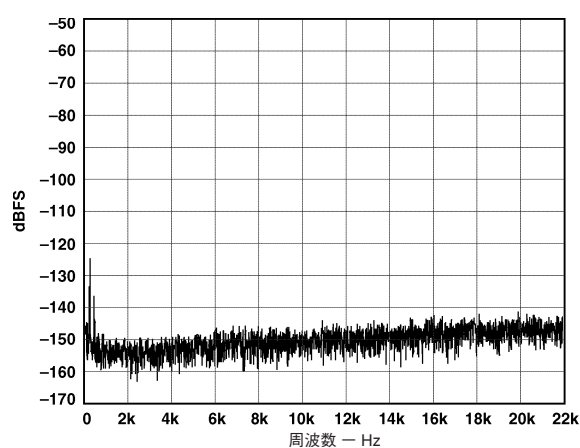
TPC 8 DSDデジタル・フィルタの応答、入力サンプル・レート = 2.8224MHz



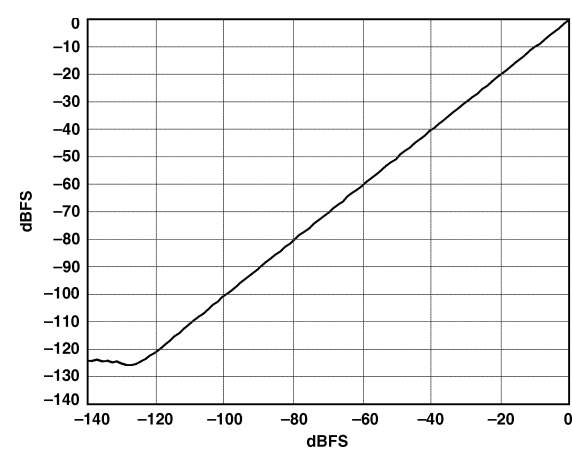
TPC 9. FFTプロット、THD + N = -110dBFS、PCM SR = 48kHz、0dBFS @ 1kHz



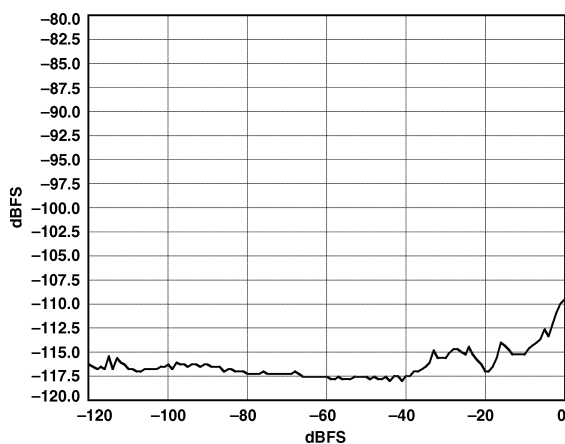
TPC 10 FFTプロット、DNR = 121dBFS (Aウエイト)、PCM SR = 48kHz、-60dBFS @ 1kHz



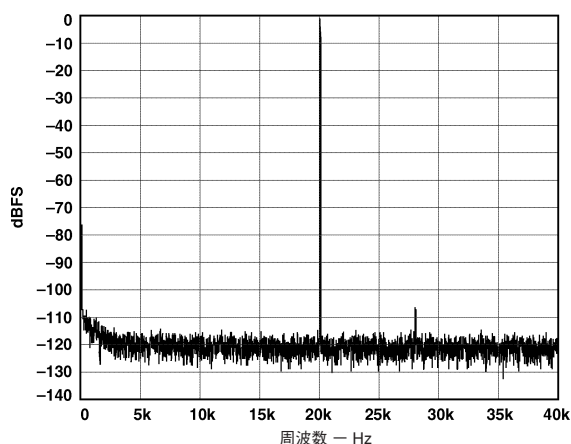
TPC 11 FFTプロット、SNR = 121dBFS (Aウエイト)、PCM SR = 48kHz、ゼロ入力



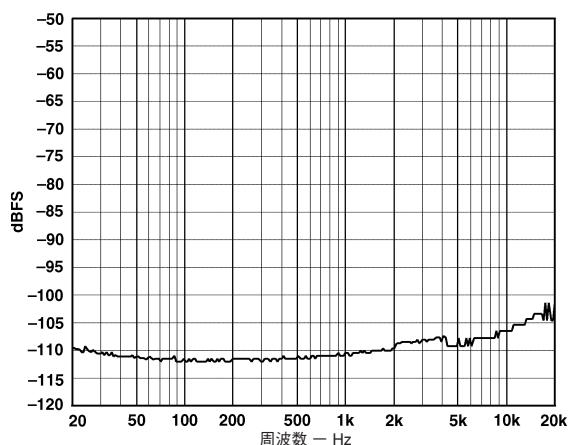
TPC 12 直線性、PCM SR = 48kHz、0dBFS~-140dBFS入力 @ 200Hz



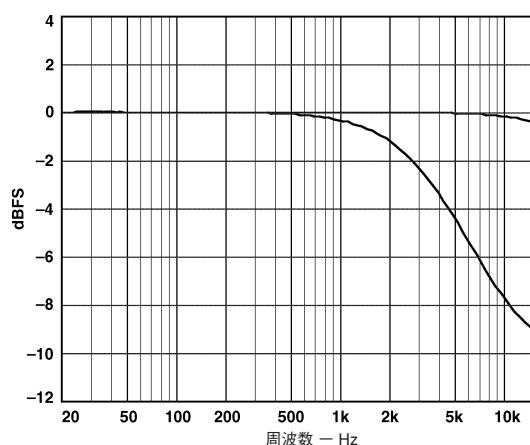
TPC 13 THD + N対振幅プロット、PCM SR = 48kHz、0dBFS~-120dBFS入力 @ 1kHz



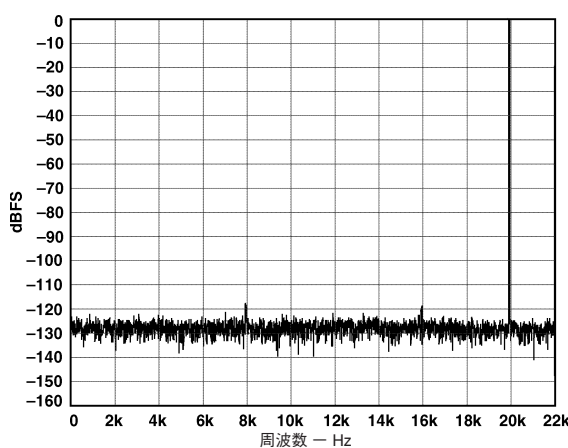
TPC 16 広帯域FFTプロット、PCM SR = 48kHz、0dBFS入力 @ 20kHz



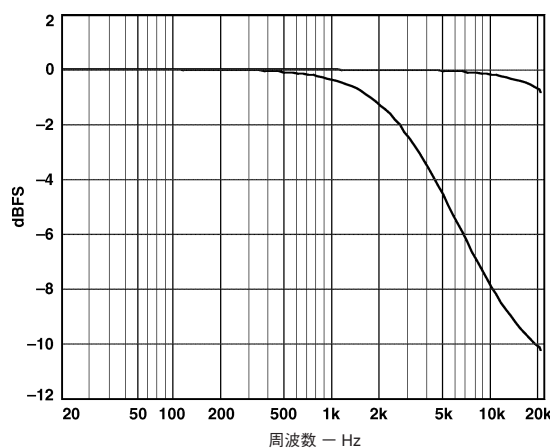
TPC 14 THD + N対周波数プロット、PCM SR = 48kHz、0dBFS入力



TPC 17. ディエンファシス周波数応答、PCM SR = 32kHz、0dBFS入力

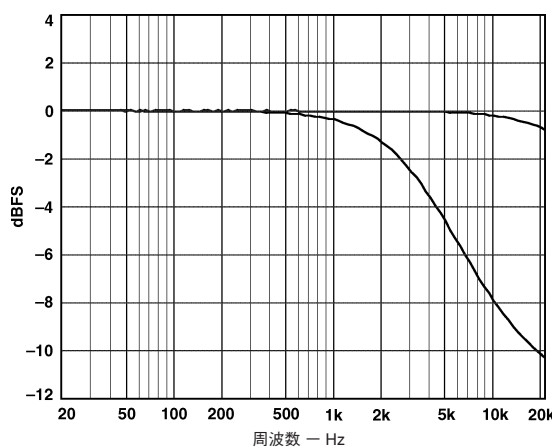


TPC 15. FFTプロット、PCM SR = 48kHz、0dBFS入力 @ 20kHz、帯域幅 = 22kHz

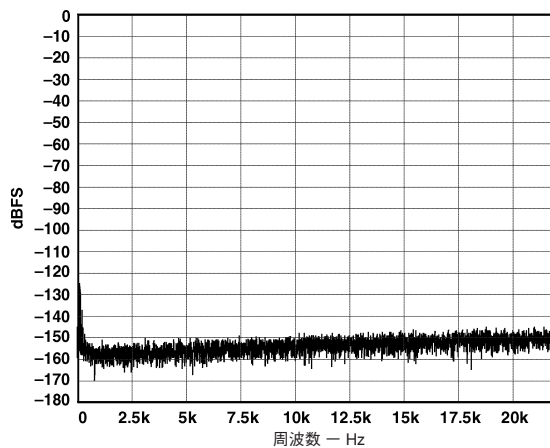


TPC 18. ディエンファシス周波数応答、PCM SR = 44.1kHz、0dBFS入力

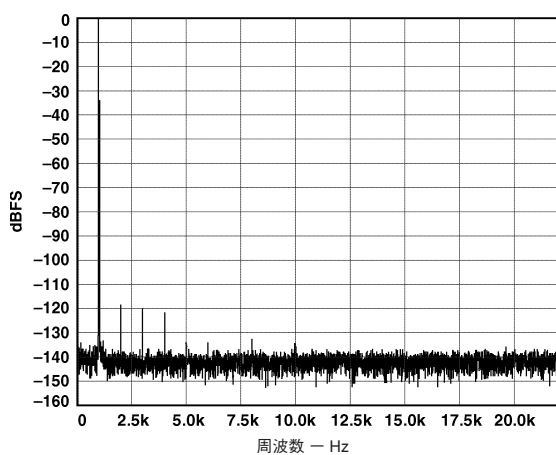
AD1955



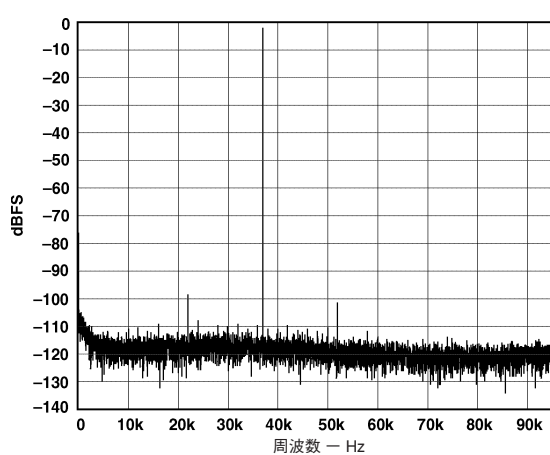
TPC 19 ディエンファシス周波数応答、PCM SR = 48kHz、0dBFS入力



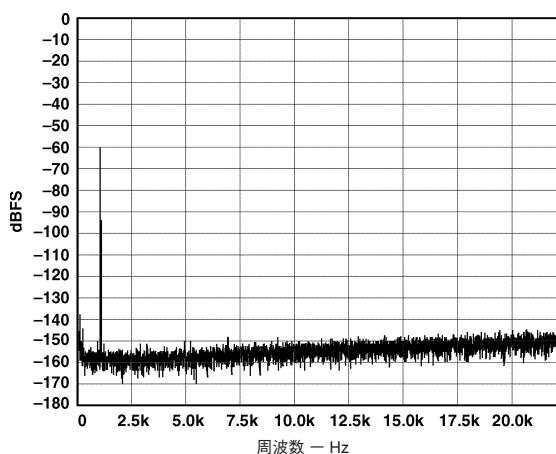
TPC 22 FFTプロット、PCM SR = 96kHz、ゼロ入力、帯域幅 = 22kHz



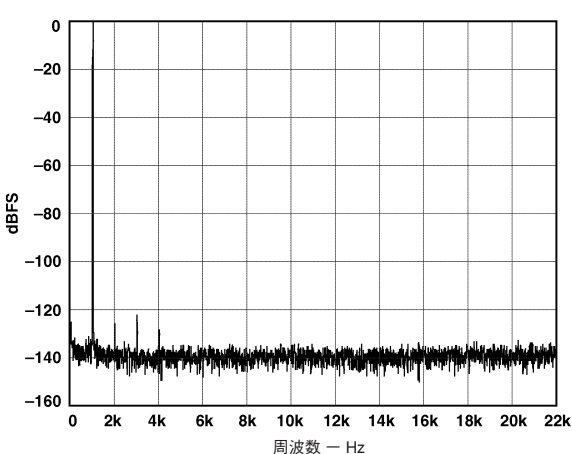
TPC 20 FFTプロット、PCM SR = 96kHz、0dBFS入力 @ 1kHz、帯域幅 = 22kHz



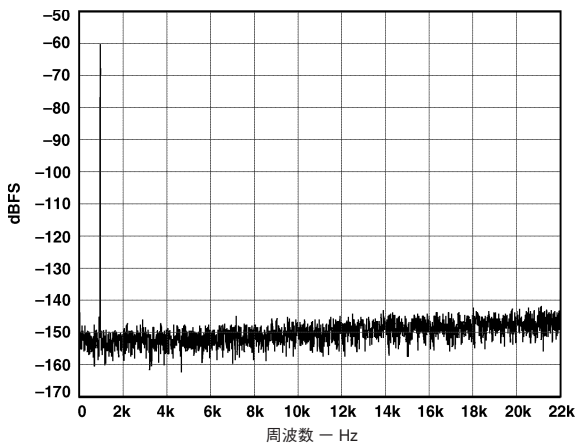
TPC 23. 広帯域FFTプロット、PCM SR = 96kHz、0dBFS入力 @ 37kHz



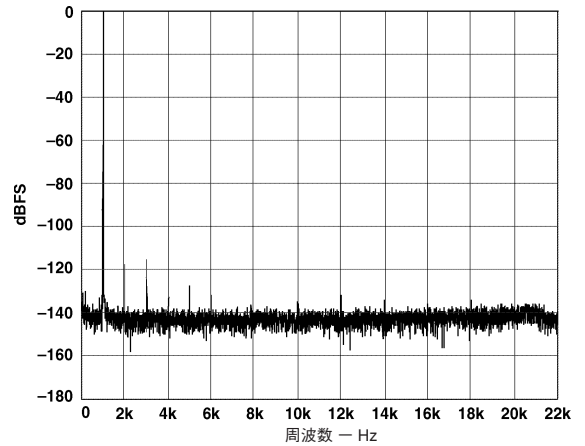
TPC 21 FFTプロット、PCM SR = 96kHz、-60dBFS入力 @ 1kHz、帯域幅 = 22kHz



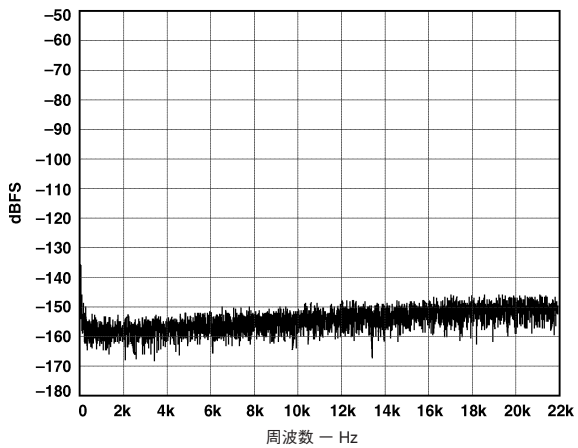
TPC 24 FFTプロット、PCM SR = 192kHz、0dBFS入力 @ 1kHz



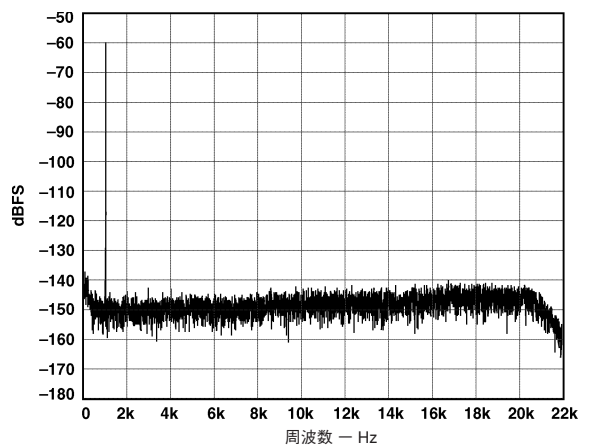
TPC 25 FFTプロット、PCM SR = 192kHz、-60dBFS 入力 @ 1kHz



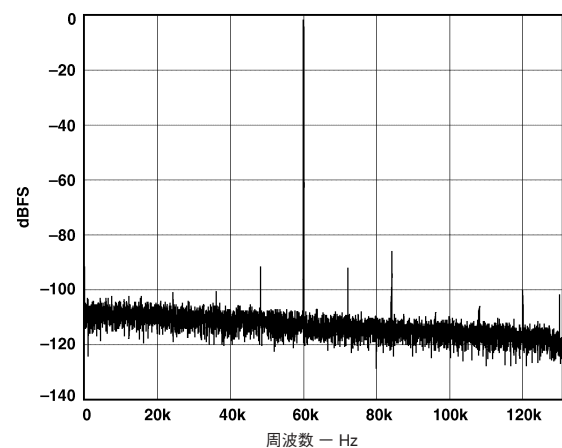
TPC 28 FFTプロット、 $64 \times f_s$ DSD、SR = 44.1kHz、0dBFS入力 @ 1kHz



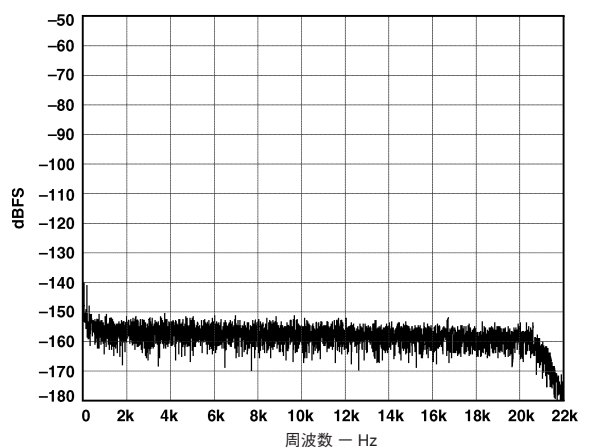
TPC 26 FFTプロット、PCM SR = 192kHz、ゼロ入力



TPC 29. FFTプロット、 $64 \times f_s$ DSD、SR = 44.1kHz、-60dBFS入力 @ 1kHz

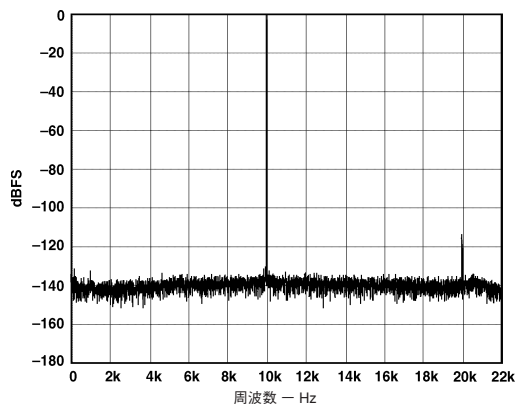


TPC 27 広帯域FFTプロット、PCM SR = 192kHz、0dBFS入力 @ 60kHz

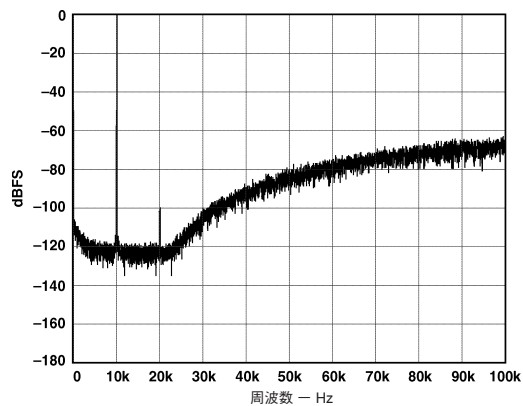


TPC 30. FFTプロット、 $64 \times f_s$ DSD、SR = 44.1kHz、ゼロ入力

AD1955



TPC 31 FFTプロット、 $64 \times f_s$ DSD、SR = 44.1kHz、0dBFS入力 @ 10kHz



TPC 32. 広帯域FFTプロット、 $64 \times f_s$ DSD、SR = 44.1kHz、0dBFS入力 @ 10kHz

(1ページから続く)

AD1955は非常に柔軟性の優れたシリアル・データ入力ポートを備えており、各種のADC、DSP、SACDデコーダ、外部デジタル・フィルタ、AES/EBUレシーバ、およびサンプル・レート・コンバータとの直接的な相互接続が可能です。AD1955は左詰め、IPS、右詰め、またはDSPのシリアル・ポートと互換のモードに設定できます。これは、すべての標準PCMモードでMSBファースト、2の補数フォーマット、16、18、20および24ビット幅をサポート可能です。さらに、AD1955はSACD再生用のインターフェース、および外部デジタル・インターポレーション・フィルタまたはHDCDデコーダとの動作に使用される外部デジタル・フィルタ・インターフェースも備えています。AD1955では、5V電源が使用されます。AD1955は28ピンSSOPパッケージのモノリシックICとして製造され、動作温度範囲は -40°C ~ $+85^{\circ}\text{C}$ です。

動作上の特長

シリアル・データ入力ポート

AD1955のフレキシブルなシリアル・データ入力ポートはPCM/外部デジタル・フィルタ・モード時にMSBファーストの2の補数フォーマットで標準のPCMオーディオ・データおよび外部デジタル・フィルタの出力データを受け入れ、またSACD専用のシリアル・ポートはSACDモード時にDSDビット・ストリームを受け入れます。制御レジスタ0のビット12および13によってPCMモードを選択すると、左チャンネルのデータ・フィールドが常に右チャンネルのデータ・フィールドよりも先行されます。PCMモード時のシリアル・データ・フォーマットとワード長は、SPI制御レジスタのモード選択ビット(それぞれ、ビット4と5、およびビット2と3)によって設定します。

右詰めモードを除くすべてのデータ・フォーマットでは、シリアル・ポートは最大で24ビットまでに制限された任意のビット数を受け入れます(24ビットを超えてもエラーが発生することなく、余分なビットは内部で切り捨てられます)。右詰めモードの場合には、制御レジスタ0のビット2と3を使用して、ワード長を16、18、20または24ビットに設定します。パワーアップ時のデフォルト設定は24ビット、IPSになります。

制御レジスタ0のビット12と13で選択する外部デジタル・フィルタ・モード時は、ビット2と3を使用してワード長を16、18、20または24ビットに設定し、またフォーマットはビット4および5で設定します。バースト・モードのクロックを使用するには、フォーマットを左詰めに設定する必要があります。DSPモードは使用されません。LRCLKは常に、立ち下がりがエッジでアクティブになります。PCMおよび外部デジタル・フィルタ・モードでのパワーアップ時のデフォルト設定は、24ビット・モードです。

制御レジスタ0のビット12と13で選択するSACDモード時は、SACDポートはDSDビット・ストリームを受け入れます。

SPI制御ポートを使用していない場合には、SPIピン(24、25および26)はDGNDまたはDVDDに接続してください。

PCMモード時のシリアル・データ・フォーマット

サポートされるフォーマットを図1に示します。タイミングの詳細については、図2を参照してください。

左詰めモード時は、LRCLKは左チャンネルに対してハイ、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジで有効になることが必要です。MSBはLRCLKの遷移に対して左詰めとなり、MSB遅延はありません。

IPSモード時は、LRCLKは左チャンネルに対してロー、右チャンネルに対してハイになります。データは、BCLKの立ち上がりエッジで有効になることが必要です。MSBはLRCLKの遷移に対して左詰めとなりますが、1BCLKサイクルの遅延があります。

DSPシリアル・ポート・モード時は、左チャンネルのMSBが有効になる前に、LRCLKが少なくとも1ビット・クロック・サイクルの間ハイに保持されることが必要であり、さらに右チャンネルのMSBが有効になる前にも同様に、LRCLKが少なくとも1ビット・クロック・サイクルの間ハイに保持されることが要求されます。データは、BCLKの立ち下がりがエッジで有効になることが必要です。DSPシリアル・ポート・モードは、最大24ビットまでの任意のワード長で使用することが可能です。

このモード時には、RESET後の最初のLRCLKパルスで左チャンネル・データが送信され、その時点以降に同期が維持されることを確実にすることがDSPの役割になります。

右詰めモード(16ビットの場合を示す)時は、LRCLKは左チャンネルに対してハイ、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジで有効になることが必要です。

通常の動作時には、1フレームあたり64ビットのクロック(または1/2フレームあたり32)が使用されます。SPIワード長制御ビット(制御レジスタ0のビット2および3)を24ビット(0:0)に設定すると、シリアル・ポートはLRCLKが遷移した後の8番目のビット・クロック・パルスから始まるデータの受け入れを開始します。ワード長制御ビットを20ビット・モードに設定すると、データの受け入れは12番目のビット・クロック位置から開始されます。18ビット・モード時には、データの受け入れは14番目のビット・クロック位置から開始されます。また、16ビット・モード時には、データの受け入れは16番目のビット・クロック位置から開始されます。

AD1955は $32 \times f_s$ のBCLK周波数「パック・モード」動作が可能である点に注目してください。このモードでは、LRCLKの遷移でMSBが左詰めに、次のLRCLK遷移でLSBが右詰めに、LRCLKは左チャンネルに対してハイ、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジで有効になります。AD1955が左詰めモードにプログラミングされたとき、このパック・モードを利用することができます。

外部デジタル・フィルタ・モード時のシリアル・データ・フォーマット

外部デジタル・フィルタ・モード時は、AD1955は最大で24ビットまでのシリアル、2の補数、MSBファースト・フォーマットのデータを外部デジタル・フィルタ、HDCDデコーダまたは汎用DSPから受け入れます。外部デジタル・フィルタ・モードを制御レジスタ0のビット12と13で選択すると、2番ピンから5番ピンまでがワード・クロック入力 (EF_WCLK、2番ピン)、ビット・クロック入力 (EF_BCLK、3番ピン)、左チャンネル・データ入力 (EF_LDATAL、4番ピン)、および右チャンネル・データ入力 (EF_RDATAL、5番ピン) にそれぞれ割り当てられ、 $8f_s$ (48kHz)、 $4f_s$ (96kHz)、 $2f_s$ (196kHz) のオーバーサンプリング・データを受け入れます。

左右チャンネル・データは、EF_BCLKの立ち上がりエッジで有効になることが必要です。左詰めまたは右詰めモードの設定が可能です。バースト・モードのBCLKは、左詰めモードで使用できます。

SACDモード時のシリアル・データ・フォーマット

SACDモード時は、AD1955はノーマル・モードまたは位相変調モードのいずれかをサポートします。モードの選択は、制御レジスタ1のビット6で設定します。ノーマル・モードを選択すると、DSD_SCLK、DSD_LDATALおよびDSD_RDATALがDSDデコーダ・チップとのインターフェースに使用されます。このモード時には、 $64f_s$ レート、2.8224MHzのDSD_SCLKの立ち上がりエッジを使用して、DSDデータがAD1955にクロック入力されます。DSD_PHASEピンは、LOWに接続してください。

位相変調モードを選択すると、DSD_PHASEピンも同様にDSDデコーダとのインターフェースに使用されます。このモード時には、デコーダからデータを受信するための基準信号として $64f_s$ のDSD_PHASE信号が使用されます。DSDデータは、 $128f_s$ のDSD_SCLKを使用してAD1955にクロック入力されます。

AD1955は、マスターまたはスレーブ・デバイスとして動作できます。マスター・モードに設定すると、AD1955はDSD_SCLKとDSD_PHASE (位相変調モードの場合) をDSDデコーダに出力し、ノーマル・モードと位相変調モード0をサポートします。スレーブ・モードに設定すると、AD1955はDSD_SCLKとDSD_PHASE (位相変調モードの場合) をDSDデコーダから受信し、ノーマル・モードと位相変調モードのすべてをサポートします。

SACDポートが使用されていない場合には、SACDピン (6、7、8、9のピン) を有効なロジック・レベルに接続することが必要です。DSD_SCLKとDSD_PHASEの各ピン上には、微小なプルアップ電流 (代表値0.6mA) がある点に注意してください。

マスター・クロック

制御レジスタ0および1を使用して、AD1955を適切なサンプル・レートおよびマスター・クロック・レートに設定しなければなりません。各インターポレーションモードで許容可能なマスター・クロック周波数を、下に記載しています。

外部フィルタ・モード時は、AD1955は下に示す入力サンプル・レ

トに応じたマスター・クロック周波数を受け入れます。

SACDモード時には、AD1955は $256f_s$ 、 $512f_s$ または $768f_s$ のマスター・クロックを受け入れます。 f_s の公称値は44.1kHzです。スレーブ・モード時は、DSD_SCLKの立ち上がりエッジがMCLKの立ち上がりエッジと一致するようにデフォルト設定されます。DSD_SCLKの立ち上がりエッジがMCLKの立ち下がりエッジと一致するように設定する場合には、制御レジスタ1のビット2を1に設定してください。マスター・モード時には、DSDクロック出力を生成するために使用されるMCLKエッジの選択に、このビットを利用することができます。

ゼロ検出

PCMモード時の1024 LRCLKサイクル期間中、または $8f_s$ の外部デジタル・フィルタ・モード時の8192 LRCLKサイクル期間中に、オーディオ入力データが連続的にゼロであることをAD1955が検出すると、ZEROL (21番ピン) またはZEROR (20番ピン) がアクティブに設定されます。

SACDモード時は、AD1955はSACDミュート・パターンを検出します。入力ビット・ストリームが約22msの間ミュート・パターンを示すと、AD1955はZEROL (21番ピン) またはZEROR (20番ピン) をアクティブに設定します。制御レジスタ1のビット8を使用して、出力をアクティブ・ハイまたはローに設定することが可能です。

リセット/パワーダウン

$\overline{\text{PD/RST}}$ ピンをローに設定すると、AD1955がリセットされます。AD1955をパワーダウン状態に設定するときは、制御レジスタ0のビット15を使用します。

オーディオ出力

DAC出力を一定の電圧レベルに維持するアクティブのI/Vコンバータを使用することが必要です。DACの性能が大幅に劣化するので、受動型のI/Vコンバータは使用しないでください。温度変化に対して最良のTHD + N性能を確保するには、2.80Vのリファレンス電圧をI/Vコンバータに使用する必要があります。使用する部品数を少なくするために、FILTRの出力電圧を利用できます。この場合には、 I_{REF} の低減によって高温時のTHD + N性能が改善されますが、これに伴ってゲイン (リニア依存性) とDNR/SNR (二乗根依存性) が低下する欠点があります。

AD1955のオーディオ出力は、定常なバイアス電流に重畳される入力信号に比例して電流をシンクします。使用する電流/電圧 (I/V) コンバータは、このバイアス電流に加えて信号電流を供給する能力を備えていることが必要です。あるいは、I/Vコンバータの動作範囲の中心を設定するために、正の電圧に抵抗または電流源を使用して、この電流をゼロにすることも可能です。

アプリケーション回路に示すように、最大限のヘッドルームとTHDバランスを得るために、プルアップ抵抗を使用してI/Vコンバータの出力を0Vに設定する場合には、以下の式を利用できます。

$$R_{\text{PULLUP}} = \left[\frac{V_{\text{SUPPLY}} - V_{\text{BIAS}}}{I_{\text{BIAS}} + (V_{\text{BIAS}} / R_{1/V})} \right]$$

PCMモード

インターポレーションモード	許容可能なマスター・クロック周波数 ($\times f_s$)								入力サンプル・レート (nominal) (kHz)
	64	96	128	192	256	384	512	768	
48kHz (INT 8倍) モード					●		●	●	32, 44.1, 48
96kHz (INT 4倍) モード			●		●	●			88.2, 96
192kHz (INT 2倍) モード	●		●	●					176.4, 192

外部フィルタ・モード

入力サンプル・レート	許容可能なマスター・クロック周波数 ($\times f_s$)								入力サンプル・レート (nominal) (外部フィルタに対する) (kHz)
	64	96	128	192	256	384	512	768	
$8 \times f_s$					●		●	●	32, 44.1, 48
$4 \times f_s$			●		●	●			88.2, 96
$2 \times f_s$	●		●	●					176.4, 192

AD1955

たとえば、図7~10に示すステレオ回路では、上記の式を使用して以下のプルアップ抵抗値が求められます。

$$\left[\frac{12.0\text{ V} - 2.80\text{ V}}{3.24\text{ mA} + (2.80\text{ V} / 2.00\text{ K})} \right] = 1.98\text{ k}\Omega$$

したがって、2.00kΩの抵抗を使用します。

使用電源は、可能な限りローノイズとすることが必要です。

シリアル制御ポート

AD1955には、内部制御レジスタのプログラミングが可能なSPI互換の制御ポートが用意されています。このSPI制御ポートは、3線式のシリアル・ポートです。フォーマットはMotorola SPIフォーマットと似ていますが、相違点として入力データ・ワードが16ビット幅になっています。シリアル・ビット・クロックは、DACのサンプル・レートに対して完全に非同期にすることが可能です。以下の図には、SPI信号のフォーマットを記載しています。CCLKは連続または16クロック・バーストにできる点に注目してください。

SPIレジスタの定義

表I DAC制御レジスタ0

ビット	説明	値	定義
15	パワーダウン	0	動作
		1	パワーダウン
14	ミュート	0	ミュートなし
		1	ミュート
13:12	データ・フォーマット	00	PCM
		01	外部DF
		10	SACDスレーブ
		11	SACDマスター
11:10	出力フォーマット	00	ステレオ
		01	無効
		10	左チャンネル・モノラル
		11	右チャンネル・モノラル
9:8	PCMサンプル・レート	00	48 kHz
		01	96 kHz
		10	192 kHz
		11	予約済み
7:6	ディエンファシス 曲線選択	00	なし
		01	44.1 kHz
		10	32 kHz
		11	48 kHz
5:4	PCM/EFシリアル・ データ・フォーマット	00	I ² S
		01	右詰め
		10	DSP
		11	左詰め
3:2	PCM/EFシリアル・ データ幅	00	24ビット
		01	20ビット
		10	18ビット
		11	16ビット
1:0	SPIレジスタ・アドレス	00	

デフォルト = 0

表II DAC制御レジスタ1

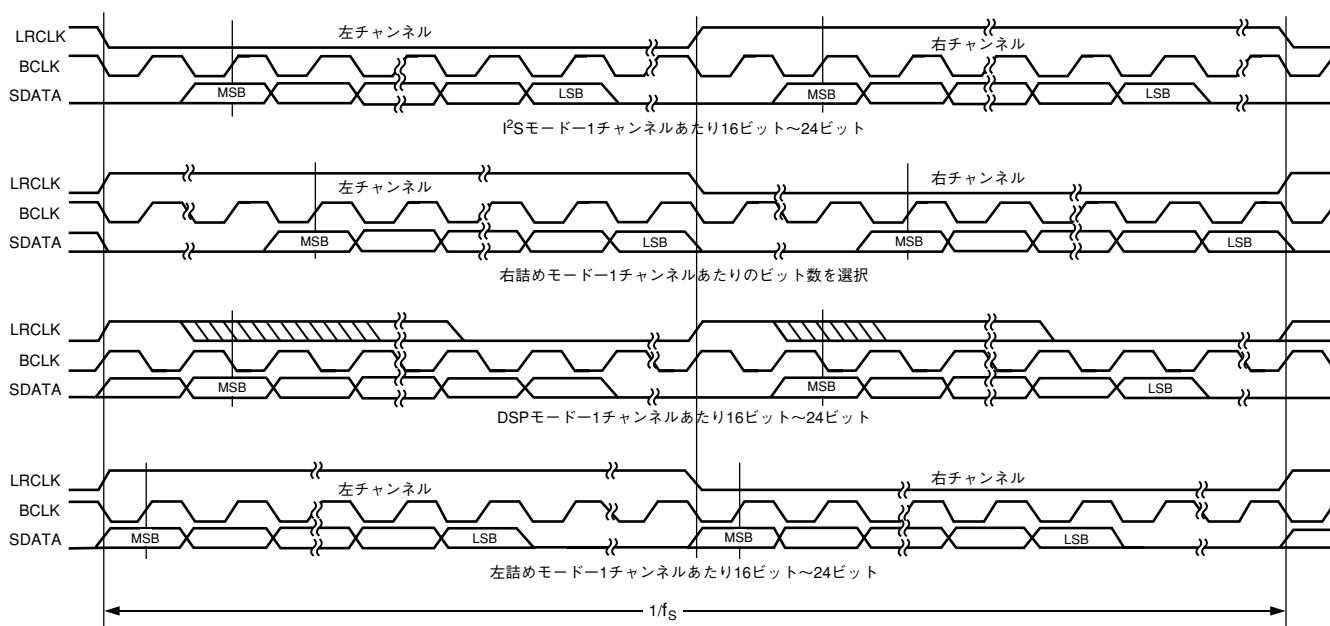
ビット	説明	値	定義
10:9	MCLKモード	00	256 × f _S
		01	512 × f _S
		10	768 × f _S
		11	予約済み
8	ゼロ・フラグ極性	0	アクティブ・ハイ
		1	アクティブ・ロー
7	SACDビット・レート	0	64 × f _S
		1	128 × f _S
6	SACDモード	0	ノーマル
		1	位相モード
5:4	SACD位相選択	00	位相0
		01	位相1
		10	位相2
		11	位相3
3	SACDビット反転	0	ノーマル
		1	反転
2	SACD MCLKから BCLK位相への遷移	0	立ち上がりエッジ
		1	立ち下がりエッジ
1:0	SPIレジスタ・アドレス	01	

デフォルト = 0

表III DACボリューム・レジスタ

ビット	説明	値	定義
15:2	ボリューム	14ビット 符号なし	
1:0	SPIレジスタ・アドレス	10	左チャンネル・ボリューム
		11	右チャンネル・ボリューム

デフォルト = フル・ボリューム



注意

1. DSPモードでは、チャンネルが識別されません。
2. LRCLKは一般的にf_sで動作しますが、DSPモード時は2 × f_sで動作します。
3. BCLK周波数は64 × LRCLKが通常ですが、バースト・モードでの動作になります。

図1 サポートされるシリアル・データ・フォーマット

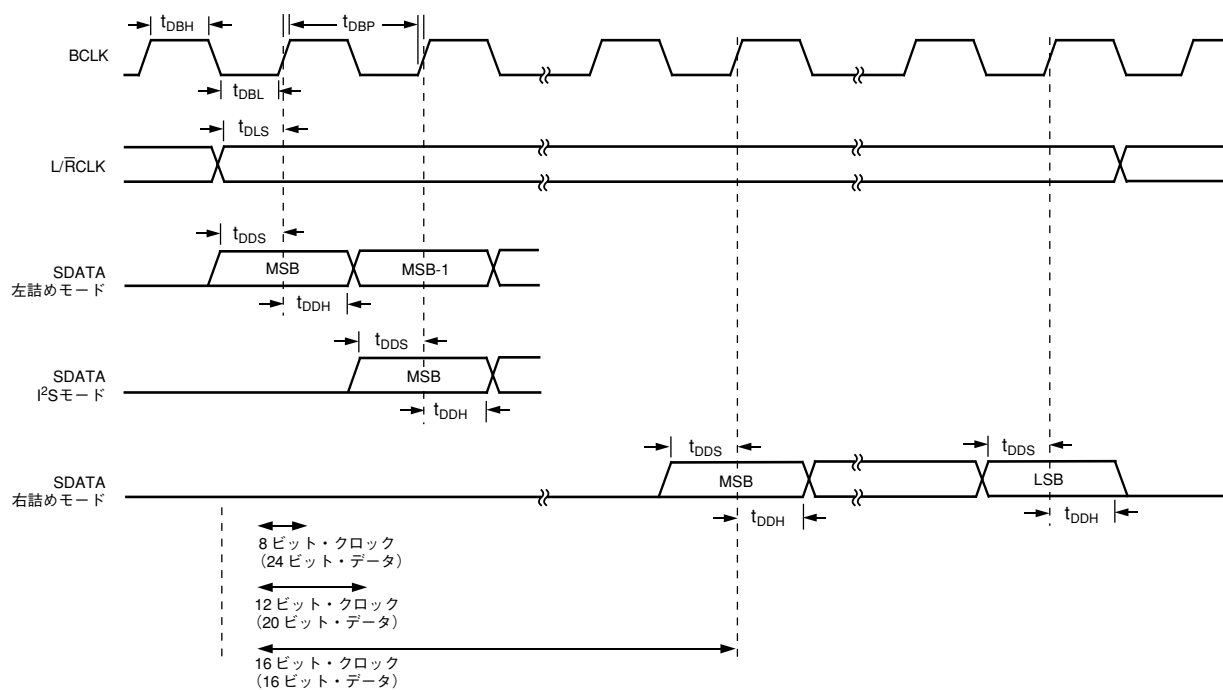


図2 シリアル・データ・ポートのタイミング

AD1955

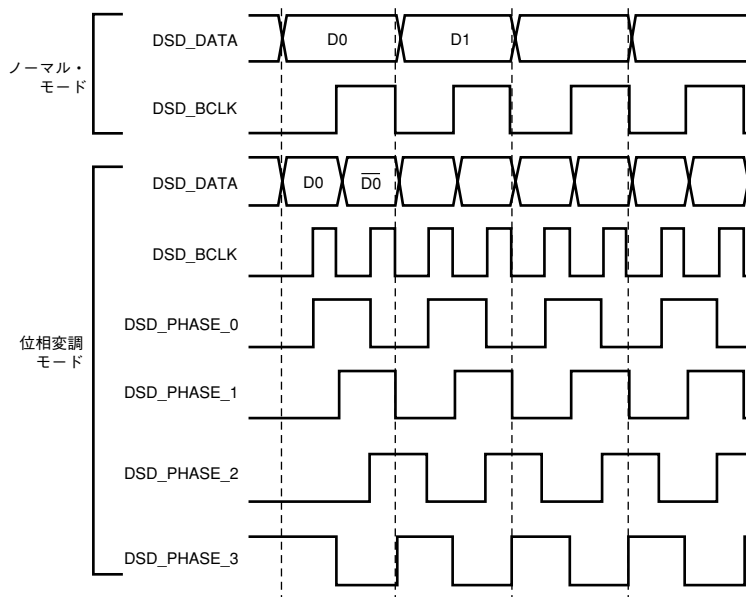


図3 DSDモードのタイミング

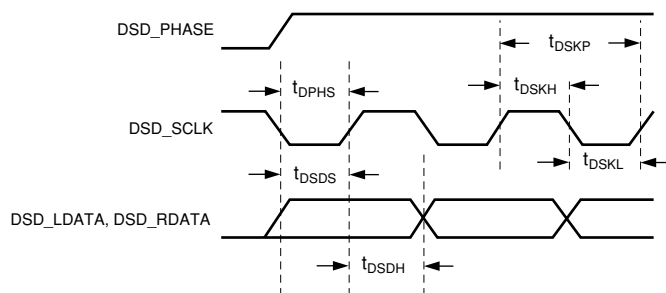


図4 DSDシリアル・ポートのタイミング

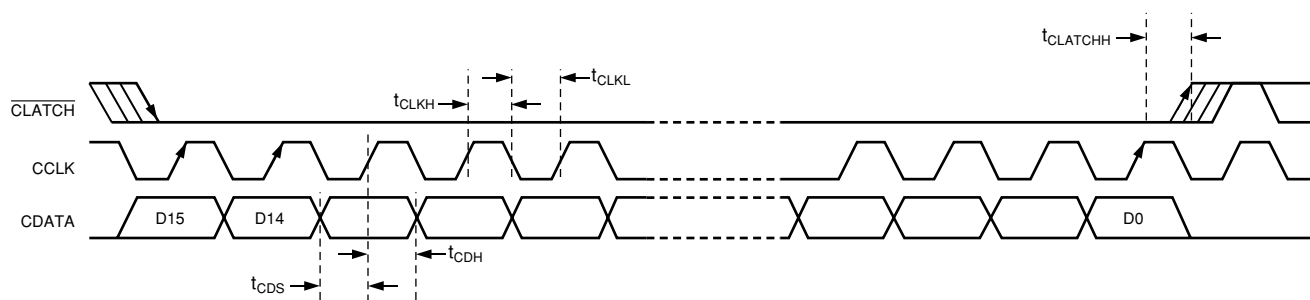
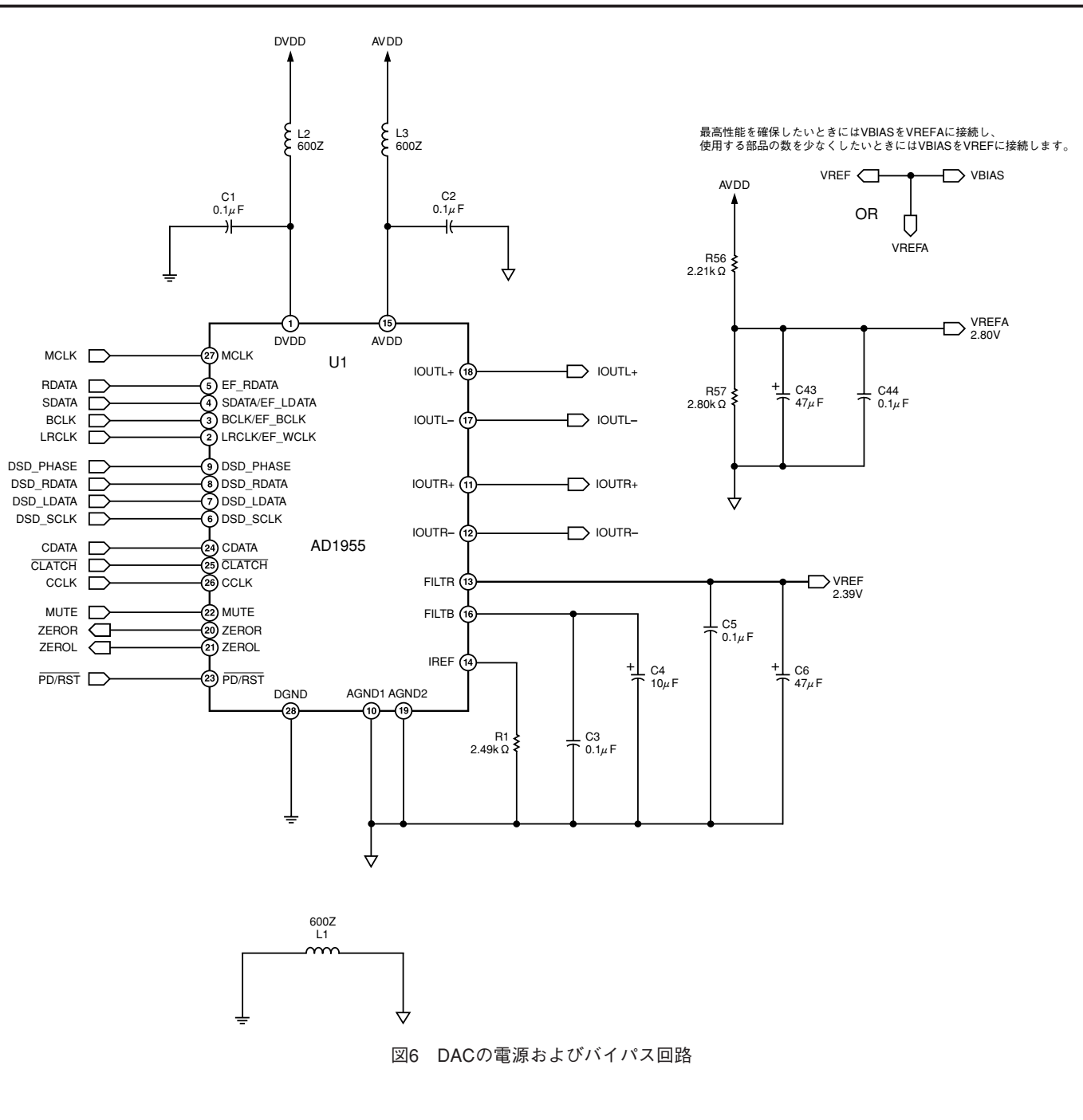


図5 シリアル制御ポートのタイミング



AD1955

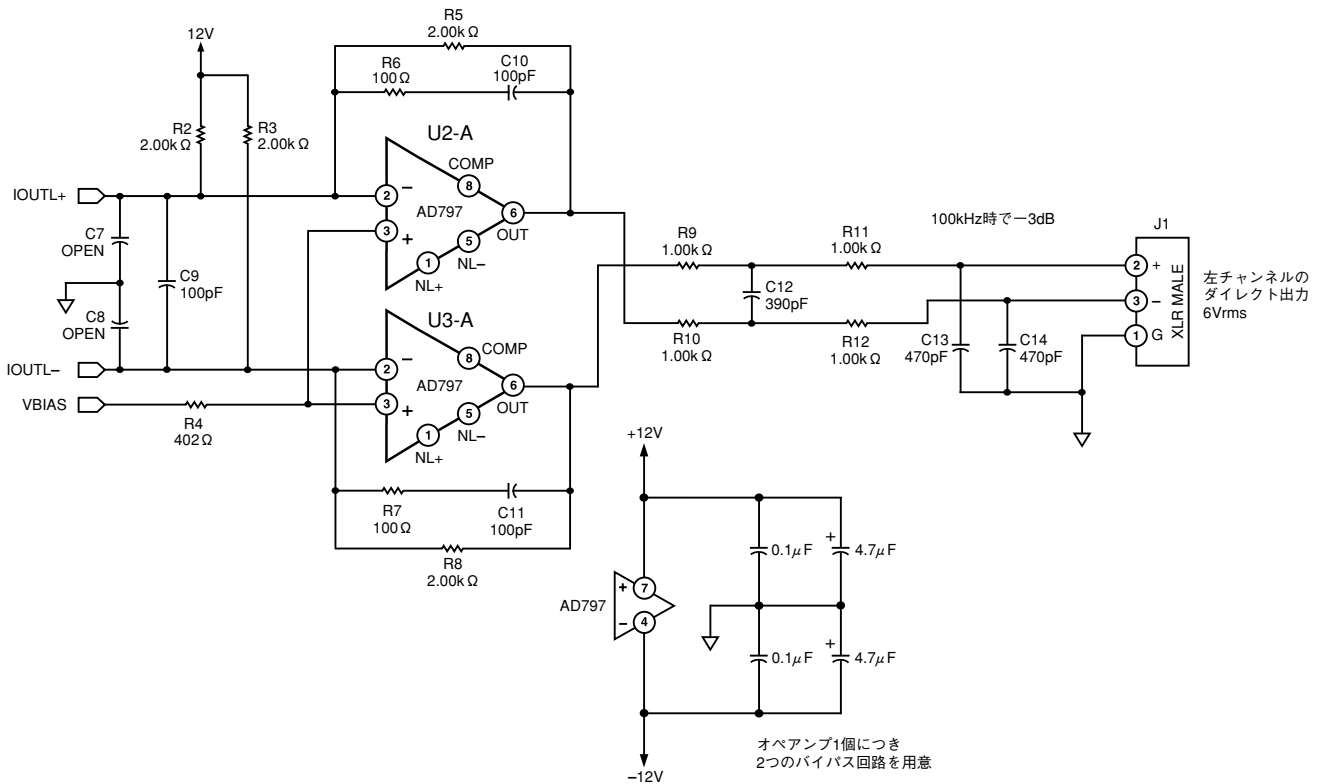


図7 左チャンネルの差動出力

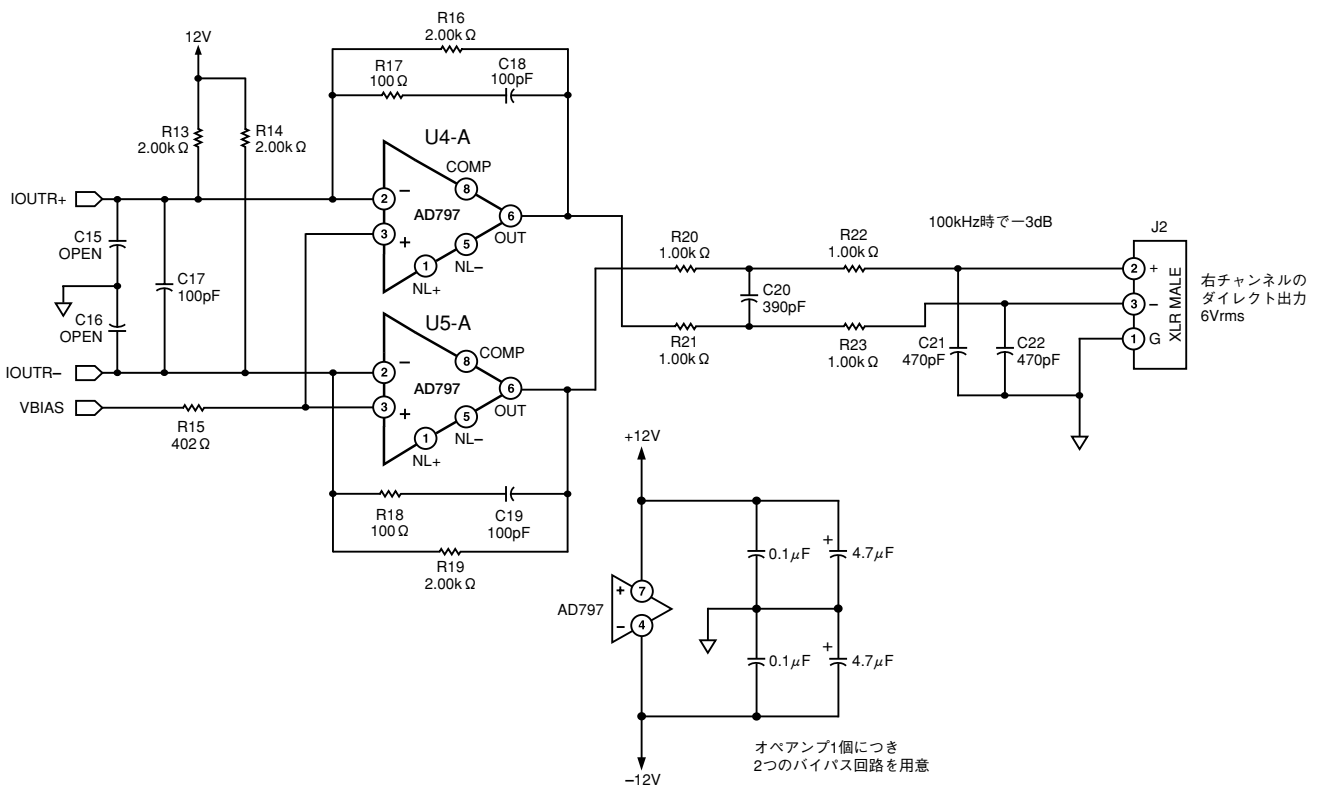


図8 右チャンネルの差動出力

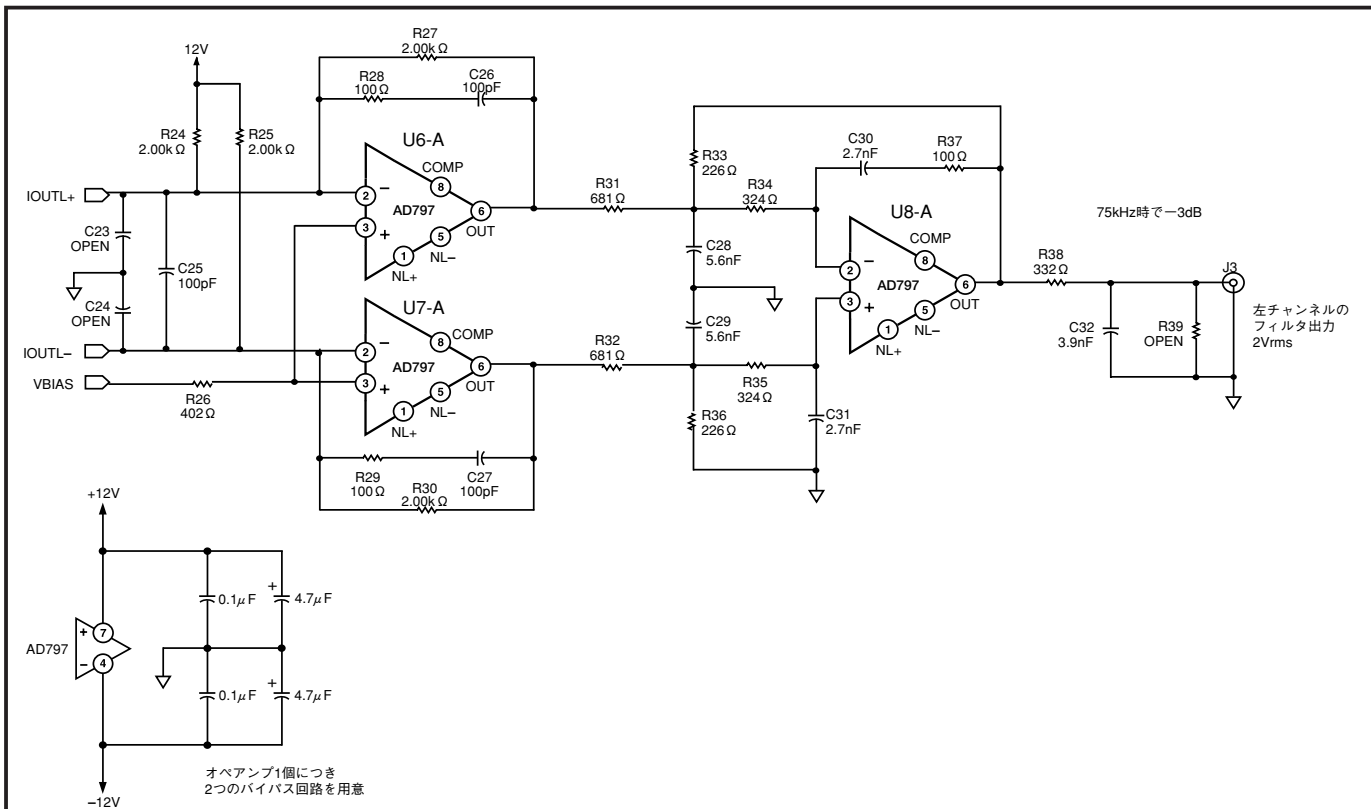


図9 左チャンネルのシングルエンド出力

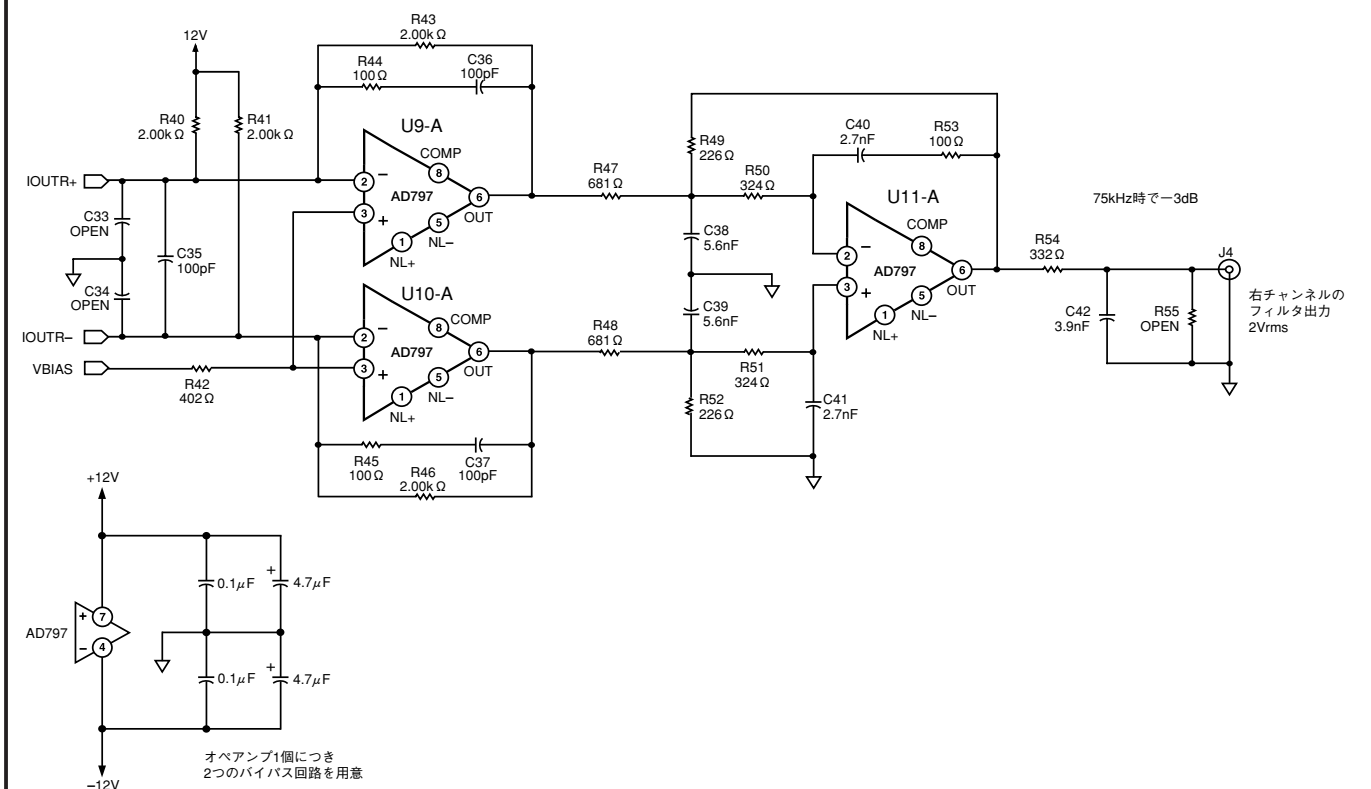


図10 右チャンネルのシングルエンド出力

AD1955

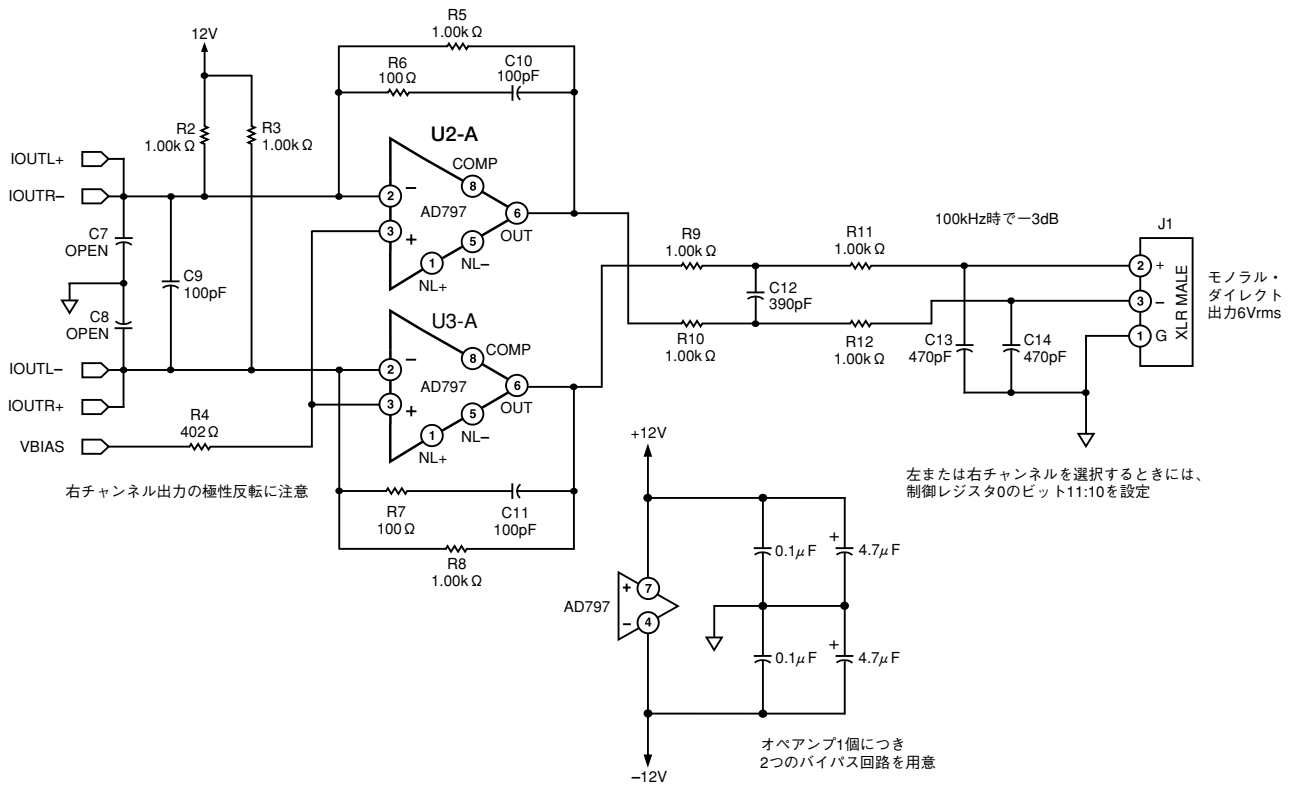


図11 モノラル差動出力

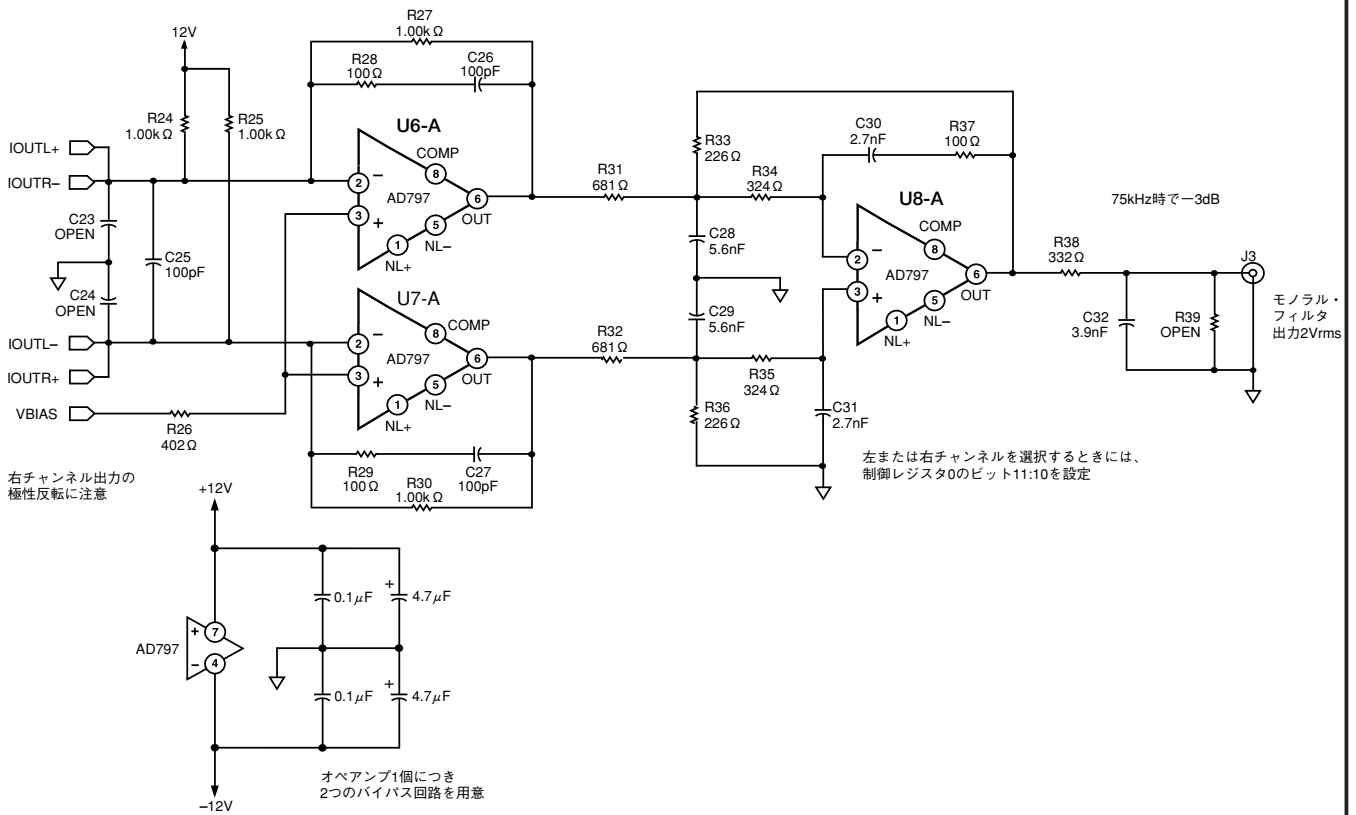
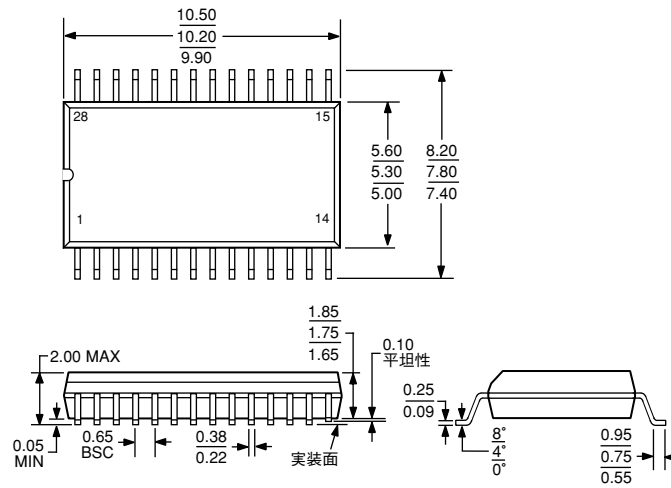


図12 モノラル・シングルエンド出力

外形寸法

サイズはミリメートルで示します。

28ピン・シュリンク・スモールアウトライン・パッケージ (SSOP) (RS-28)



JEDEC標準MO-150AHに準拠

AD1955

AD1955

TDS12/2002/700

PRINTED IN JAPAN

