

特長

- 5V、3チャンネルのオーディオDACシステム
- 最大で48kHzまでのサンプル・レートに対応
- 1チャンネル当り7つのバイクワッド・フィルタ部
- 任意の入力/出力特性曲線の選択と時定数の調整が可能なデュアル・ダイナミック・プロセッサ
- 1チャンネル当り0ms~6msの可変遅延によるスピーカ・アライメント
- Phat Stereo™エフェクトを可能にするステレオ拡散アルゴリズム
- SPIポート経由での新しいプログラムの完全なダウンロードを可能にするプログラムRAM
- SPIポート経由での200以上のパラメータの完全な制御を可能にするパラメータRAM
- 確実なフィルタ更新のためのセーフアップロード・モードを特長とするSPIポート
- 各種モードとメモリ転送を完全に制御する2個の制御レジスタ
- 性能を最適化する差動出力
- 48kHzのサンプル・レート時で112dBの信号対ノイズ比(ミュートなし)、(Aウェイト、ステレオ)
- 70dBの阻止帯域減衰量
- クリックレス・ボリューム・コントロールを内蔵
- ハードウェアとソフトウェアによる制御が可能なクリックレス・ミュート
- 32kHz、44.1kHz、48kHzのサンプル・レートに対応するデジタル・ディエンファシス処理
- 右詰め、左詰め、I²Sコンパチブル、およびDSPシリアル・ポートの各種モードを備えた柔軟性の高いシリアル・データ・ポート

補助デジタル入力

- グラフィカル・カスタム・プログラミング用ツール
- 44ピンMQFPまたは48ピンLQFPプラスチック・パッケージ

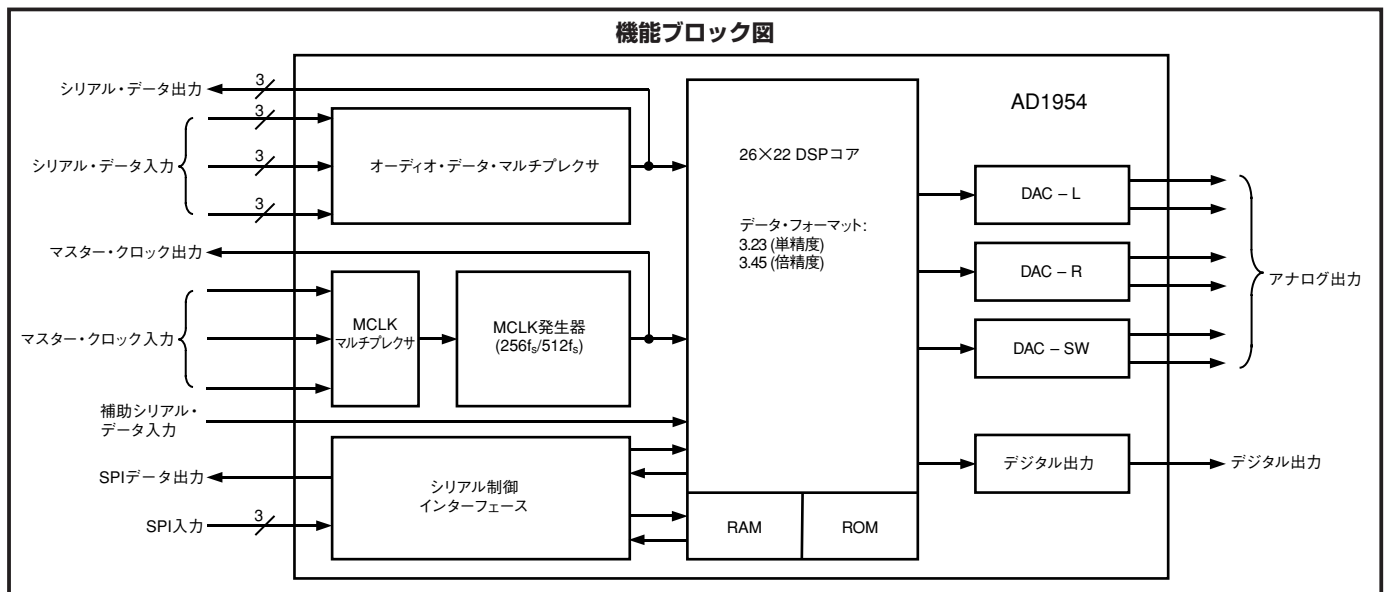
特長

- 2.0/2.1チャンネル・オーディオ・システム(2つのメイン・チャンネルとサブウーファ)
- マルチメディア・オーディオ
- 車載用サウンド・システム
- ステレオ・ミニコンポ
- ホームシアター・システム(AC-3ポスト・プロセッサ)
- 電子楽器
- 座席埋め込みサウンド・システム(航空機、長距離バス)

製品の概要

AD1954は、全機能内蔵型の26ビット・シングルチップの3チャンネル・デジタル・オーディオ再生システムであり、スピーカのイコライゼーション、デュアル・バンド・コンプレッション/リミット、遅延補償およびイメージ・エンハンスメントを実行するためのDSP機能を内蔵しています。このアルゴリズムを利用して、スピーカ、アンプ、および聴取環境の現実的な限界を補償できるので、結果として得られるオーディオ品質が大幅に改善されます。

AD1954で使用される信号処理は、ハイエンドのスタジオ用装置と同等なものです。処理の大半は完全な48ビットの倍精度モードで実行されるので、非常に良好な低レベル信号特性が得られ、しかもリミット・サイクルまたはアイドル・トーンがまったく発生しません。コンプレッサ/リミッタには、ハイエンドの放送用コンプレッサによく利用されている最新の2バンド・アルゴリズムが採用されています。(9ページに続く)



SigmaDSPおよびPhat Stereoは、アナログ・デバイセズ社の商標です。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

REV.0

AD1954

目次

特長／アプリケーション／製品の概要	1	パラメータRAMの読み出し／書き込みフォーマット (シングル・アドレス)	25
機能ブロック図	1	パラメータRAMのブロック読み出し／書き込みフォーマット (バースト・モード)	25
仕様	3	プログラムRAMの読み出し／書き込みフォーマット (シングル・アドレス)	25
絶対最大定格	6	プログラムRAMのブロック読み出し／書き込みフォーマット (バースト・モード)	25
オーダー・ガイド	6	SPI制御レジスタ1の書き込みフォーマット	25
ピン配置	6	SPI制御レジスタ1の読み出しフォーマット	25
ピン機能説明	7	SPI制御レジスタ2の書き込みフォーマット	25
代表的な性能特性	8	SPIボリューム・レジスタの書き込みフォーマット	25
概要	9	データ・キャプチャ・レジスタの書き込みフォーマット	26
特長	9	データ・キャプチャ・シリアル出力レジスタ (アドレスおよびレジスタ選択)の書き込みフォーマット	26
ピン機能	10	データ・キャプチャの読み出しフォーマット	26
信号処理	12	セーフロード・レジスタの書き込みフォーマット	26
信号処理の概要	12	SPI読み出し／書き込みデータ・フォーマット	26
数値フォーマット	12	初期化設定	26
ハイパス・フィルタ	13	パワーアップ・シーケンス	26
バイクワッド・フィルタ	13	クロック・モードの設定	26
ボリューム	14	データおよびMCLK入力セレクトの設定	27
ステレオ・イメージ・エキスパンダ	14	データ・キャプチャ・レジスタ	27
遅延	15	シリアル・データ入力ポート	29
メイン・コンプレッサ／リミッタ	15	シリアル・データ入力モード	29
サブウーファ・コンプレッサ／リミッタ	17	デジタル制御ピン	30
ディエンファシス・フィルタリング	18	ミュート	30
サブウーファを使用しないシステムに対する サブ・リ・インジェクション・パスの利用	18	ディエンファシス	30
補間フィルタ	18	アナログ出力部	30
SPIポート	18	グラフィカル・カスタム・プログラミング用ツール	31
概要	18	付録	32
SPIアドレスのデコーディング	19	外形寸法	33
制御レジスタ1	20		
制御レジスタ2	21		
ボリューム・レジスタ	22		
パラメータRAMのデータ内容	22		
パラメータ更新オプション	24		
ソフトシャットダウン・メカニズム	24		
セーフロード・メカニズム	24		
RAMモードの要約	24		

テスト条件 (特に注記のない限り適用)

電源電圧 (AV _{DD} 、DV _{DD})	5.0V
周囲温度	25°C
入力クロック	12.288MHz
入力信号	1.000kHz、0dBフルスケール
入力サンプル・レート	48kHz
測定帯域幅	20Hz~20kHz
ワード幅	24ビット
負荷容量	2200pF
負荷インピーダンス	2.74kΩ
入力電圧ハイ	2.0V
入力電圧ロー	0.8V

アナログ性能*

パラメータ	Min	Typ	Max	単位
分解能		24		ビット
信号対ノイズ比 (20Hz~20kHz)、(左/右出力)				
フィルタなし (ステレオ)		109		dB
Aウェイト・フィルタ付き		112		dB
ダイナミック・レンジ (20Hz~20kHz、-60dB入力)、(左/右出力)				
フィルタなし		109		dB
Aウェイト・フィルタ付き	109	112		dB
全高調波歪み+ノイズ (左/右出力)				
V _O = -0.5dB	-93	-100		dB
信号対ノイズ比 (20Hz~20kHz)、(サブウーファ出力)				
フィルタなし (ステレオ)		104		dB
Aウェイト・フィルタ付き		107		dB
ダイナミック・レンジ (20Hz~20kHz、-60dB入力)、(サブウーファ出力)				
フィルタなし		104		dB
Aウェイト・フィルタ付き	104	107		dB
全高調波歪み+ノイズ (サブウーファ出力)				
V _O = -0.5dB	-90	-96		dB
アナログ出力				
差動出力レンジ (±フルスケール)、(左/右出力)		2.74		V _{p-p}
差動出力レンジ (±フルスケール)、(サブウーファ出力)		2.77		V _{p-p}
CMOUT		2.50		V
DC精度				
ゲイン誤差 (左/右チャンネル)	-5		+5	%
ゲイン誤差 (サブウーファ・チャンネル)	-8		+8	%
チャンネル間ゲイン・ミスマッチ	-0.250		+0.250	dB
ゲイン・ドリフト		150		ppm/°C
DCオフセット	-30		+30	mV
チャンネル間クロストーク (EIAJ方式)		-120		dB
チャンネル間フェーズ偏差		±0.1		度
ミュート減衰量		-107		dB
ディエンファシス・ゲイン誤差			±0.1	dB

*左右チャンネルの性能は、まったく同じです (チャンネル間ゲイン・ミスマッチおよびチャンネル間フェーズ偏差の仕様を除く)。
仕様は予告なく変更される場合があります。

AD1954

デジタルI/O

パラメータ	Min	Typ	Max	単位
入力電圧ハイ (V_{IH})	2.1			V
入力電圧ハイ (V_{IH}) - RESETB	2.25			V
入力電圧ロー (V_{IL})			0.8	V
入力漏れ電流 ($I_{IH}@V_{IH} = 2.1V$)			10	μA
入力漏れ電流 ($I_{IL}@V_{IL} = 0.8V$)			10	μA
ハイ・レベル出力電圧 (V_{OH})、 $I_{OH} = 2mA$	DVDD-0.5			V
ロー・レベル出力電圧 (V_{OL})、 $I_{OL} = 2mA$			0.4	V
入力容量			20	pF

仕様は予告なく変更される場合があります。

消費電力

パラメータ	Min	Typ	Max	単位
電源*				
アナログおよびデジタル電圧	4.5	5	5.5	V
アナログ電流		42	48	mA
アナログ電流、パワーダウン時		40	46	mA
デジタル電流		60	67	mA
デジタル電流、SPIパワーダウン時		6	10	mA
デジタル電流、リセット・パワーダウン時		51	59	mA
消費電力				
動作、アナログおよびデジタル電源		510		mW
動作、アナログ電源		210		mW
動作、デジタル電源		300		mW
SPIパワーダウン、アナログおよびデジタル電源		230		mW
リセット・パワーダウン、アナログおよびデジタル電源		455		mW
電源変動除去比				
1kHz、300mVp-p信号 (アナログ電源ピン上)		-80		dB
20kHz、300mVp-p信号 (アナログ電源ピン上)		-80		dB

* ODVDD電流は、負荷容量とクロック・レートに応じて変化します。

仕様は予告なく変更される場合があります。

温度レンジ

パラメータ	Min	Typ	Max	単位
仕様保証		25		°C
機能保証	-40		+105	°C
保管	-55		+125	°C

仕様は予告なく変更される場合があります。

デジタル・タイミング

パラメータ	Min	Typ	Max	単位
t _{DMP} MCLK時間 (512f _S モード)	41			ns
t _{DMP} MCLK時間 (256f _S モード)	81			ns
t _{DMD} MCLK推奨デューティ・サイクル@12.288MHz (256f _S モード)	45		55	%
t _{DMD} MCLK推奨デューティ・サイクル@24.576MHz (512f _S モード)	40		60	%
t _{DMD} MCLK遅延 (全モード)			25	ns
t _{DBH} BCLKロー・パルス幅	10			ns
t _{DBH} BCLKハイ・パルス幅	10			ns
t _{DBD} BCLK遅延 (BCLK0に対する)			25	ns
t _{DLS} LRCLKセットアップ	0			ns
t _{DLH} LRCLKホールド	10			ns
t _{DL D} LRCLK遅延 (LRCLK0に対する)			25	ns
t _{DDS} SDATAセットアップ	0			ns
t _{DDH} SDATAホールド	10			ns
t _{DDD} SDATA遅延 (SDATA0に対する)			25	ns
t _{CCL} CCLKロー・パルス幅	12			ns
t _{CCH} CCLKハイ・パルス幅	12			ns
t _{CLS} CLATCHセットアップ	10			ns
t _{CLH} CLATCHホールド	10			ns
t _{CLD} CLATCHハイ・パルス幅	10			ns
t _{CDS} CDATAセットアップ	0			ns
t _{CDH} COUTホールド	10			ns
t _{COD} COUT遅延			35	ns
t _{COH} COUTホールド	2			ns
t _{DCD} DCSOUT遅延			35	ns
t _{DCH} DCSOUTホールド	2			ns
t _{PDRP} PD/RSTロー・パルス幅	5			ns

仕様は予告なく変更される場合があります。

44.1kHzでのデジタル・フィルタ特性

パラメータ	Min	Typ	Max	単位
通過帯域リップル			±0.01	dB
阻止帯域減衰		70		dB
通過帯域		20		kHz
		0.5442×f _S		
阻止帯域		24		kHz
		0.4535×f _S		
群遅延		24.625/f _S		秒

仕様は予告なく変更される場合があります。

AD1954

絶対最大定格*

DVDD対DGND	-0.3V~+6V
ODVDD対DGND	-0.3V~+6V
AVDD対AGND6	-0.3V~+6V
デジタル入力	DGND-0.3V~DVDD+0.3V
アナログ入力	AGND-0.3V~AVDD+0.3V
AGND対DGND	-0.3V~+0.3V
リファレンス電圧	(AVDD+0.3V)/2V
最大接合部温度	125℃
保管温度レンジ	-65℃~+150℃
ハンダ付け温度	300℃/10秒

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージの熱抵抗特性 (44ピンMQFP)

	Min	Typ	Max	単位
θ_{JA} (熱抵抗値[接合部-周囲間])		72		℃/W
θ_{JC} (熱抵抗値[接合部-ケース間])		19.5		℃/W

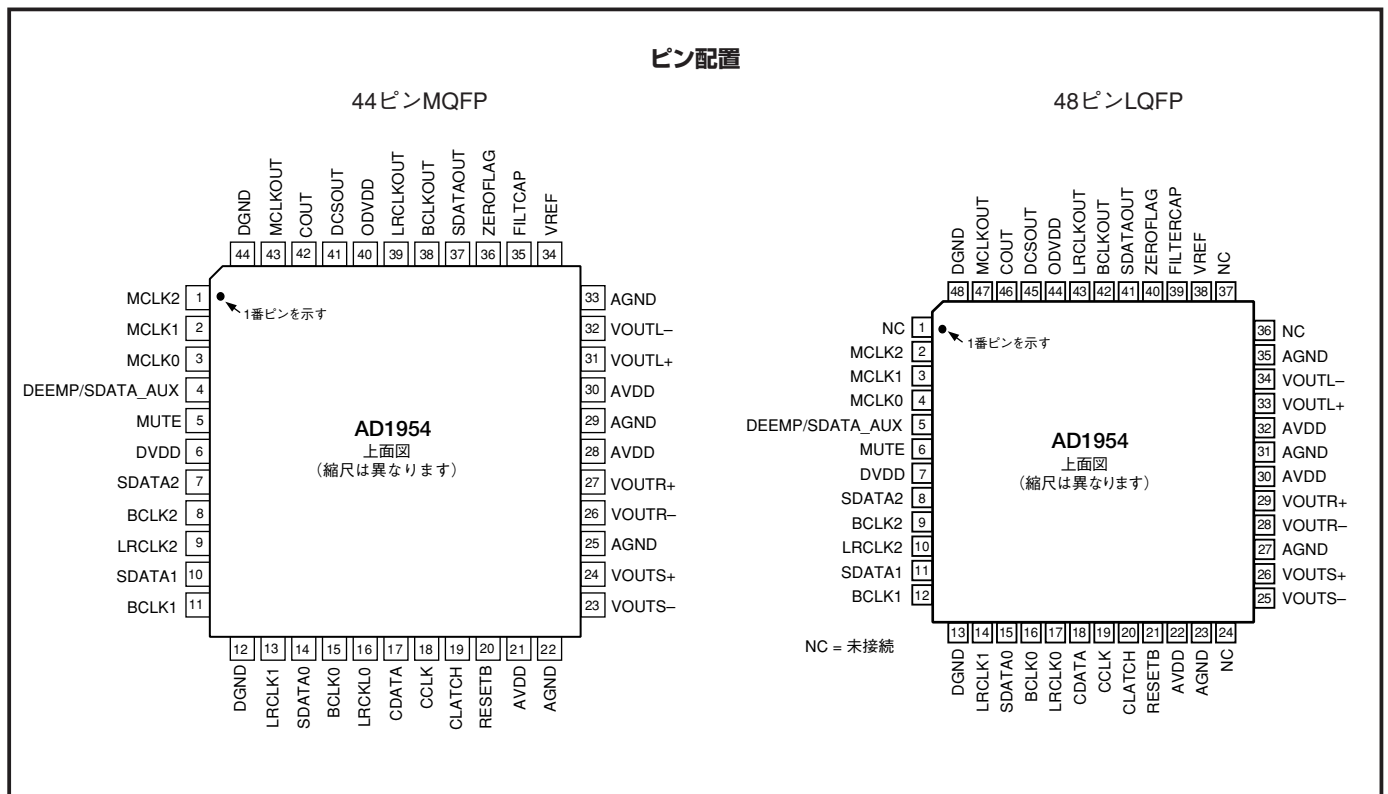
パッケージの熱抵抗特性 (48ピンLQFP)

	Min	Typ	Max	単位
θ_{JA} (熱抵抗値[接合部-周囲間])		76		℃/W
θ_{JC} (熱抵抗値[接合部-ケース間])		17		℃/W

オーダー・ガイド

モデル	温度レンジ	パッケージ	パッケージ・オプション
AD1954YS	-40℃~+105℃	44ピンMQFP	S-44
AD1954YSRL	-40℃~+105℃	44ピンMQFP	S-44 (13インチ・リールを使用)
AD1954YST	-40℃~+105℃	48ピンLQFP	ST-48
AD1954YSTRL	-40℃~+105℃	48ピンLQFP	ST-48 (13インチ・リールを使用)

ピン配置



注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vにおよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD防止措置をとるようお奨めします。



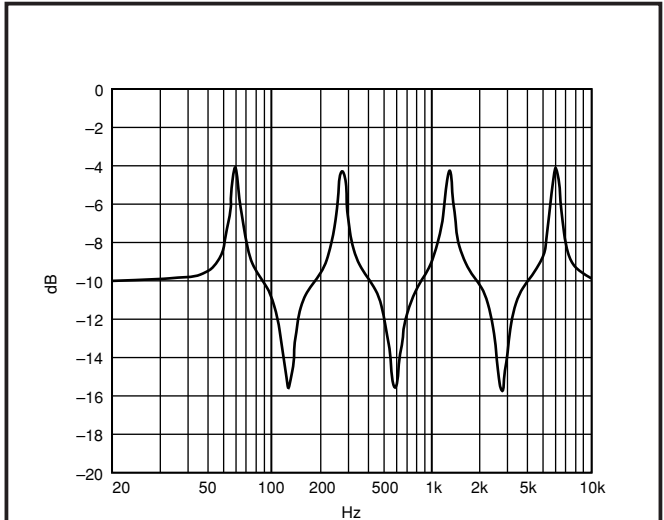
ピン機能説明

ピン番号 (44ピンMQFP)	ピン番号 (48ピンLQFP)	記号	入力/出力	説明
	1	NC		未接続
1	2	MCLK2	入力	マスター・クロック入力2、 $256f_s/512f_s$
2	3	MCLK1	入力	マスター・クロック入力1、 $256f_s/512f_s$
3	4	MCLK0	入力	マスター・クロック入力0、 $256f_s/512f_s$
4	5	DEEMP/SDATA_AUX	入力	44.1kHzディエンファシス・フィルタのイネーブル入力 (他はSPI制御によってイネーブル可能) / 補助シリアル・データ入力
5	6	MUTE	入力	ミュート信号。ボリュームのランプダウンを開始します。
6	7	DVDD		DSPコアのデジタル電源、4.5V~5.5V
7	8	SDATA2	入力	シリアル・データ入力2
8	9	BCLK2	入力	ビット・クロック2
9	10	LRCLK2	入力	左/右クロック2
10	11	SDATA1	入力	シリアル・データ入力1
11	12	BCLK1	入力	ビット・クロック1
12	13	DGND		デジタル・グラウンド
13	14	LRCLK1	入力	左/右クロック1
14	15	SDATA0	入力	シリアル・データ入力0
15	16	BCLK0	入力	ビット・クロック0
16	17	LRCLK0	入力	左/右クロック0
17	18	CDATA	入力	SPIデータ入力
18	19	CCLK	入力	SPIデータ・ビット・クロック
19	20	CLATCH	入力	SPIデータ・フレーム信号
20	21	RESETB	入力	リセット信号、アクティブ・ロー
21	22	AVDD		5Vアナログ電源
22	23	AGND		アナログ・グラウンド
	24	NC		未接続
23	25	VOUTS-	出力	サブアナログDAC負出力
24	26	VOUTS+	出力	サブアナログDAC正出力
25	27	AGND		アナログ・グラウンド
26	28	VOUTR-	出力	右チャンネル・アナログDAC負出力
27	29	VOUTR+	出力	右チャンネル・アナログDAC正出力
28	30	AVDD		5Vアナログ電源
29	31	AGND		アナログ・グラウンド
30	32	AVDD		5Vアナログ電源
31	33	VOUTL+	出力	左チャンネル・アナログDAC正出力
32	34	VOUTL-	出力	左チャンネル・アナログDAC負出力
33	35	AGND		アナログ・グラウンド
	36	NC		未接続
	37	NC		未接続
34	38	VREF	入力	フィルタされたAVDD/2の接続ピン
35	39	FILTCAP	入力	ノイズ・リダクション用コンデンサの接続ピン
36	40	ZEROFLAG	出力	ゼロ・フラグ出力。左右両方のチャンネルが1024フレームに対して0 のときに、ハイになります。
37	41	SDATAOUT	出力	シリアル・データ・マルチプレクサ出力
38	42	BCLKOUT	出力	ビット・クロック・マルチプレクサ出力
39	43	LRCLKOUT	出力	左/右クロック・マルチプレクサ出力
40	44	ODVDD		出力ドライバ用のデジタル電源ピン、2.5V~5.5V
41	45	DCSOUT	出力	データ・キャプチャ・レジスタ用のデータ・キャプチャ・シリアル出力。 選択されたLRCLKおよびBCLKと併用して、3線式出力を構成します。
42	46	COUT	出力	SPIデータ出力。非アクティブのときに、スリーステートになります。
43	47	MCLKOUT	出力	マスター・クロック出力、 $512f_s/256f_s$ (SPIレジスタで選択される周波数)
44	48	DGND		デジタル・グラウンド

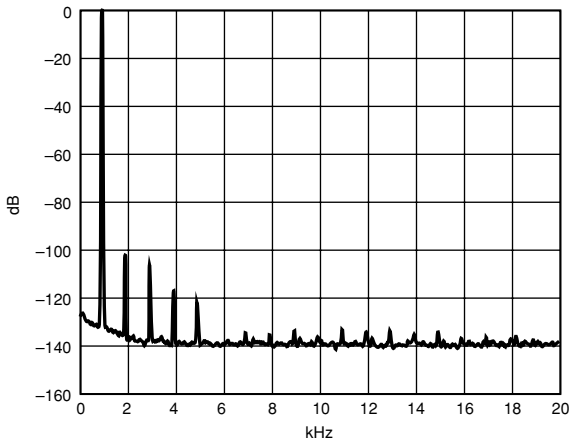
AD1954

性能プロット

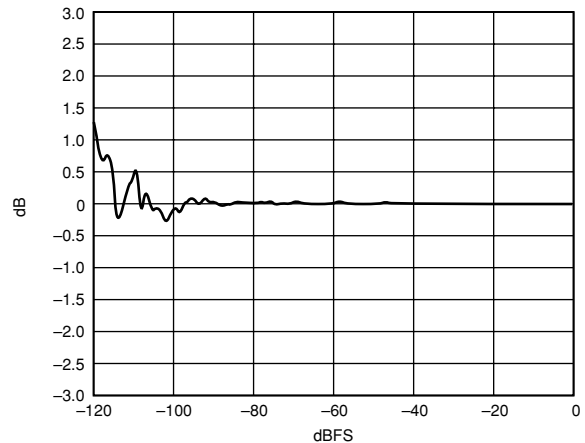
以下のプロットには、実際のシリコン上で達成した性能を図示しています。TPC 1には、THD+Nが -100dB の場合の、2次高調波によって支配されている 1kHz フルスケール信号のFFTを示しています。TPC 2には、ロー・レベルの悪影響要素が排除されていることを実証する -60dB の正弦波のFFTを示しています。TPC 3は、7つのイコライゼーション・バイクワッドを 6dB のブーストとカットの交互パターンに設定したときの周波数応答プロットです。TPC 4は直線性のプロットで、TPC 3の作成に使用したものと同一イコライゼーション特性曲線を適用して測定を実施しています。バイクワッド・フィルタが使用されないときに、信号はイコライゼーション効果のないフィルタを通過します。したがってTPC 4では、バイクワッド・フィルタでの倍精度算術演算によって、量子化の影響が実質的にすべて除去されていることを示しています。TPC 5にはコンプレッサに印加されるトン・バーストを示していますが、この図からアタックおよびリカバリ特性を明確に確認できます。このプロットでは、rms検出器を通常のrms時定数にプログラミング設定しており、ホールド／減衰機能を使用しませんでした。



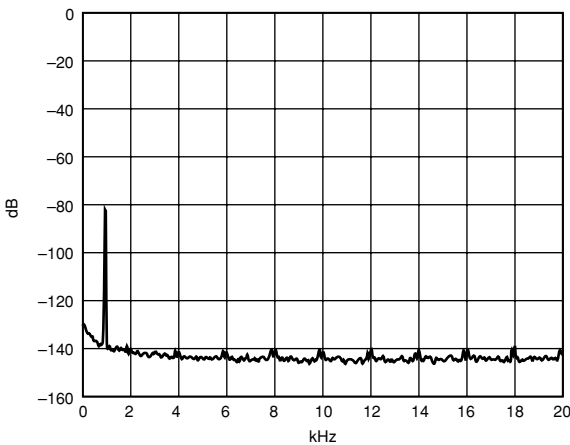
TPC 3. EQバイクワッド・フィルタの周波数応答



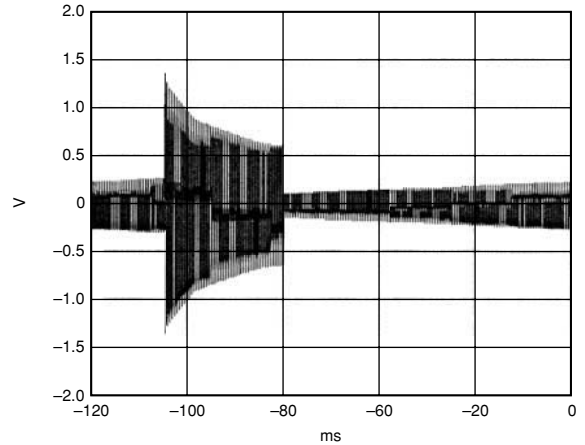
TPC 1. フルスケール正弦波のFFT (32kポイント)



TPC 4. 直線性プロット



TPC 2. -60dB 正弦波のFFT (32kポイント)



TPC 5. コンプレッサのスレッシュホールドを -20dB に設定したときのトン・バースト応答

製品の概要 (1ページから続く)

拡張型SPIポートによって、アルゴリズム・フローのどのポイントからでもリードバックが可能であると同時に、クリックのないパラメータ更新を実行できます。

AD1954は、弊社が特許を持つマルチビット・シグマ-デルタDACアーキテクチャを採用しています。これにより、112dBのSNRとダイナミック・レンジ、および-100dBのTHD+Nが達成されています。この仕様によって、AD1954はローエンドのステレオラジカセからハイエンドの業務用ミキシング/編集システムまで、幅広いアプリケーションに利用できます。

AD1954にはさらに、単にDSPとしての使用を可能にするデジタル出力も用意されています。このデジタル出力は、AD1954の対応チャンネル(3チャンネル)より多くのチャンネル数に拡張するために、外部DACを駆動する目的で利用することも可能です。

AD1954は、デフォルトの信号処理プログラム、またはカスタムのユーザー設計プログラムのどちらでも動作させることができます。弊社では、カスタム・プログラミング用として、グラフィカル・プログラミング用ツールを提供しています。

特長

AD1954は、1個の補間およびオーディオ信号処理用の26ビットDSP(48ビット倍精度)、3個のマルチビット・シグマ-デルタ変調器、およびアナログ出力駆動回路で構成されています。また、セーフアップロード機能を利用して、フィルタ係数とデジタル・ディエンファシス・フィルタを確実にかつ同時に更新するパラメータRAMが内蔵されています。これに加えて、入力セレクタも内蔵されているので、最大で3つまでのシリアル・データおよびマスター・クロック・ソースの選択が可能です。3チャンネル構成は、2本のサテライト・スピーカと1本のサブウーファを含む2.1再生システムに特に効果的です。デフォルト・プログラムでは、サテライトとサブウーファの各出力を別個にイコライズおよびコンプレッション/リミットできます。AD1954の

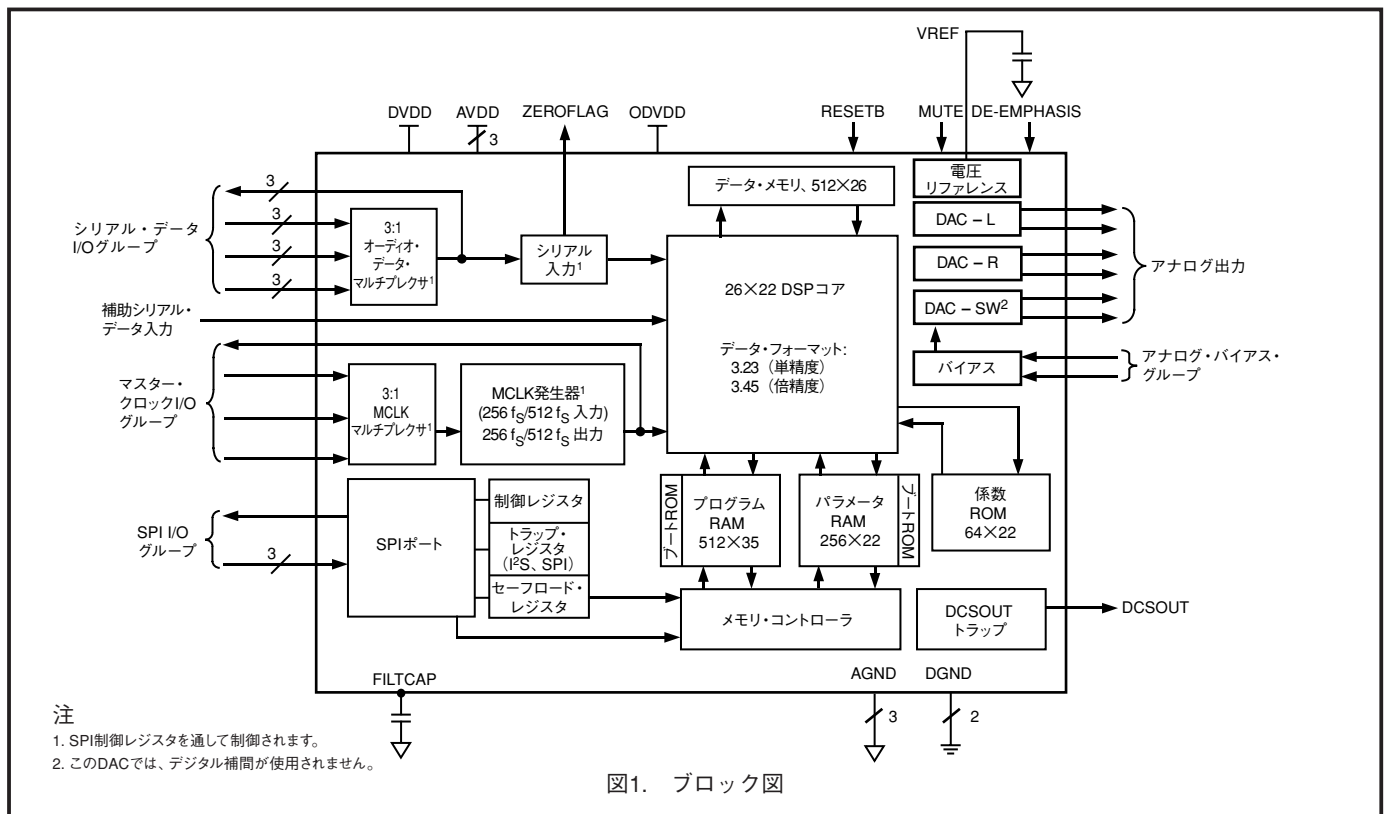
ブロック図を図1に示します。

AD1954には、パワーアップ時に内部プログラムROMからブートされるプログラムRAMが内蔵されています。信号処理パラメータは、パワーアップ時に内部ブートROMによって起動される256記憶位置割当てのパラメータRAM内に保存されます。新しい値は、SPIポートを使用してパラメータRAMに書き込まれます。パラメータRAM内に保存される値によって、IIRイコライゼーション・フィルタ、デュアル・バンド・コンプレッサ/リミッタ、ディレイ値、ステレオ拡散アルゴリズムの設定が制御されます。

AD1954は、プログラムRAMとパラメータRAMの両方の読み出し/書き込み能力を完全にサポートする最新方式のSPIポートを備えています。チップのシリアル・モードおよび各種のオプション機能を制御する2個の制御レジスタも用意されています。さらに、メモリのアップロード/ダウンロードを容易にするハンドシェイク機能も備えています。

AD1954は、DSPのアルゴリズム・フローのどのポイントからでもプロセッサの信号フローをタップするようにプログラミング設定できる、4個の独立したデータ・キャプチャ回路を内蔵しています。このキャプチャ信号へのアクセスは、個別のシリアル出力ピン(すなわち、外部のDACまたはDSPに接続可能なピン)を使用するか、またはデータ・キャプチャSPIレジスタからデータを読み出す方法で行えます。これにより、AD1954の基本的な機能が容易に拡張できます。

AD1954のプロセッサ・コアは、最新のコンプレッション/リミット・アルゴリズムを簡単なコードで実行できるように、細心の注意を払って設計されています。AD1954は、2個の独立したコンプレッサ/リミッタを備えています。コンプレッサ/リミッタは、rmsベースの振幅検出およびアタック/ホールド/リリース制御を行うと同時に、ユーザーはパラメータRAM内に常駐するルックアップ・テーブルに任意のコンプレッション特性曲線をロードできます。コンプレッサは、オーバーシュートを防止するルックアヘッド・コンプレッション機能も備えています。



AD1954

AD1954は非常に柔軟性の高いシリアル・データ入力ポートを備えており、各種のADC、DSP、AES/EBUレシーバ、サンプル・レート・コンバータとの直接接続が可能です。AD1954は左詰、PS、右詰、あるいはDSPシリアル・ポートとコンパチブルなモードに設定できます。全モードで16ビット、20ビット、24ビットをサポート可能です。AD1954は、2の補数フォーマットのシリアル・オーディオ・データをMSBファーストで受け付けます。シリアル入力マルチプレクサと補助シリアル入力を同時に使用することによって、AD1954を4チャンネルのシリアル入力モードに設定することも可能です。

AD1954は、5V単電源で動作します。AD1954はシングル・モノリシック集積回路で構成され、動作温度レンジが -40°C ~ $+105^{\circ}\text{C}$ の44ピンMQFPまたは48ピンLQFPにパッケージングされています。

ピン機能

入力ピンはすべて、TTL入力レベル互換のロジックしきい値を持っているため、3.3Vロジックを使用するシステムで利用できます。デジタル出力レベルは、幅広い外部デバイスとの互換性を維持するために、電圧レンジを2.7V~5.5VとするODVDDピンによってすべて制御されます。(「ピン機能説明」を参照)

SDATA0、SDATA1、SDATA2—シリアル・データ入力

この3つの入力の1つは制御レジスタ2のビット7および6への書き込みによって設定される内部マルチプレクサで選択されます。デフォルトは00で、SDATA0が選択されます。シリアル・フォーマットの選択は、制御レジスタ0のビット3-0の書き込みによって行われます。クリックやポップ・ノイズを発生せずに入力ソースを変更する推奨方法については、「SPI読み出し／書き込みデータ・フォーマット」を参照してください。

LRCLK0、LRCLK1、LRCLK2—入力データ・フレーミング用の左／右クロック

アクティブLRCLK入力は、制御レジスタ2のビット7および6への書き込みで選択されます。デフォルトは00で、LRCLK0が選択されます。LRCLKの解釈は、制御レジスタ0への書き込みによって設定されるシリアル・モードに基づいて変化します。

BCLK0、BCLK1、BCLK2—シリアル・データ・クロック入力用のシリアル・ビット・クロック

アクティブBCLK入力は、制御レジスタ2のビット7および6への書き込みで選択されます。デフォルトは00で、BCLK0が選択されます。BCLKの解釈は、制御レジスタ0への書き込みによって設定されるシリアル・モードに基づいて変化します。

LRCLKOUT、BCLKOUT、SDATAOUT—3つのシリアル入力グループの1つを選択するマルチプレクサの出力

選択したシリアル入力信号を他の外部デバイスに送信するときに使用します。制御レジスタ2のビット8に1を書き込むことで、イネーブルになります。デフォルト・モードは、0すなわちOFFです。

MCLK0、MCLK1、MCLK2—マスター・クロック入力

アクティブ入力は、制御レジスタ2のビット5および4への書き込みで選択されます。デフォルトは00で、MCLK0が選択されます。マスター・クロック周波数は、 $256 \times f_s$ または $512 \times f_s$ のいずれかにする必要があります(f_s は入力サンプリング・レート)。マスター・クロック周波数のプログラミング設定は、制御レジスタ2のビット2への書き込みによって行います。デフォルトは、0($512 \times f_s$)です。オーディオ・クリックやポップ・ノイズを発生せずにクロック・ソースを変更する推奨方法については、「初期化設定」を参照してください。デフォルトのMCLKソース・ピンがMCLK0であるため、AD1954の初期化ルーチンを完了できるようにするには、パワーアップ時にこのピン上にクロック信号が存在することが必要である点に注意してください。

MCLKOUT—マスター・クロック出力

$256 \times f_s$ 、 $512 \times f_s$ 、あるいは選択したMCLK入力ピンのコピーのいずれかを生成するように、マスター・クロック出力ピンをプログラミング設定できます。ピンのプログラミングは、制御レジスタ2のビット1および0への書き込みによって行います。デフォルトは00で、MCLK0ピンがデイスエーブルになります。

CDATA—SPI制御ポート用のシリアル・データ入力

SPIポートのタイミングに関する詳細は、「SPIポート」を参照してください。

COUT—シリアル・データ出力

レジスタとメモリの位置のリードバックに使用されます。SPIの読み出しがアクティブでないとき、これはスリープ状態になります。SPIポートのタイミングに関する詳細は、「SPIポート」を参照してください。

CCLK—SPIビット・レート・クロック

SPIトランザクションの間に、連続的に動作させるか、またはゲートオフにすることができます。SPIポートのタイミングに関する詳細は、「SPIポート」を参照してください。

CLATCH—SPIラッチ信号

SPIトランザクションの開始時にローになり、終了時にハイになる必要があります。各SPIトランザクションの実行に使用されるCCLKの数は、SPIトランザクションの開始時に送信されるアドレスと読み出し／書き込みビットに応じて異なります。SPIのタイミングの詳細は、「SPIポート」を参照してください。

RESETB—アクティブ・ローのリセット信号

RESETBがハイになった後で、AD1954は初期化シーケンスを実行し、このときにプログラムおよびパラメータRAMは内蔵ブートROMのデータ内容で初期化されます。すべてのSPIレジスタが0に設定され、データRAMも同様にゼロに設定されます。1024のMCLKサイクルの後で、初期化が完了します。MCLK IN FREQ SELECT (制御レジスタ2のビット2)はパワーアップ時は $512 \times f_s$ にデフォルト設定されるので、この初期化は外部MCLKのクロック速度で実行され、外部MCLKの絶対周波数には関係なく、1024のMCLKサイクルで終了します。初期化が完了するまで、新しい値をSPIポートに書き込んではいけません。

DZEROFLAG—ゼロ入力インジケータ

両方のシリアル入力が1024のLRCLKサイクルの間に非アクティブ(ゼロ・データ)になると、ハイになります。このピンを外部ミュートFETの駆動に使用して、デジタル・サイレンス時のノイズを低減できます。SPIアドレス511のテスト・レジスタによって制御されるテスト出力ピンとしての機能も備えています。テスト・モードの大半はエンド・ユーザーにとって役立つものではありませんが、テスト・レジスタは役に立つ場合があります。テスト・レジスタを数値7(10進数値)でプログラミング設定すると、ZEROFLAG出力が内部擬似ランダム・ノイズ発生器の出力にスイッチされます。ノイズ発生器は $128 \times f_s$ のビット・レートで動作し、 2^{24} サイクルに一度の繰返し時間を持ちます。このモードを利用してホワイト・ノイズ(または、適切なフィルタリングによってピンク・ノイズ)を発生させて、スピーカまたは部屋の音響測定用のテスト信号として使用できます。

DCSOUT—データ・キャプチャ・シリアル出力

外部DACやその他の信号処理デバイスによって使用できるDSP内部信号を出力します。キャプチャされてDCSOUTピンに出力される信号は、SPIアドレス263(左出力用)および264(右出力用)にプログラム・カウンタのトラップ値を書き込むことによって制御されます。内部プログラム・カウンタの内容がSPIポートに書き込まれたトラップ値と等しくなると、選択されたDSPレジスタのデータ内容がDCSOUTパラレル／シリアル・レジスタに転送され、DCSOUTピンからシフト出力されます。アルゴリズム・フローの各種の内部ポイントのタップ出力に必要なプログラム・カウンタのトラップ値とレジスタ選択値を表XXに記載しています。

DCSOUTピンは、シリアル入力ポートに供給されるLRCLKおよびBCLKの各信号と併せて使用することを意図しています。DCSOUTのフォーマットは、シリアル・ポートに使用されるフォーマットと同じです。言い換えると、シリアル・ポートの動作がIPSモードの場合には、DCSOUTピンはLRCLK0およびBCLK0ピン（入力0が選択されていると仮定）とともに、有効な3線式のIPS出力を形成します。

DCSOUTピンは、さまざまな目的に利用できます。DCSOUTピンを別の外部DACの駆動に利用すると、プログラムRAMにダウンロードされる新しいプログラムを使用して4.1システムを構成できます。

DEEMP/SDATA_AUX—ディエンファシス入力ピン／補助シリアル・データ入力

ディエンファシス・モードのときに、このピンをハイにアサートすると、デジタル・ディエンファシス・フィルタが信号フローの中に挿入されます。ディエンファシス特性曲線は、44.1kHzのサンプル・レートに限り有効です。32kHzと48kHzの特性曲線は、SPIポートを使用してプログラミング設定できます。このピンは、2チャンネルの補助シリアル・データ入力としても利用できます。この機能を設定するときには、制御レジスタ1のビット11に“1”を書き込みます。シリアル入力には、SDATA0、SDATA1、SDATA2信号に使用されるのと同じクロックを使用します。このシリアル入力を信号処理フローで使用できるのは、弊社のカスタム・プログラミング用ツールを利用しているときに限られます（31ページを参照）。このピンをシリアル入力として使用してもディエンファシスはSPI制御を用いて利用できます。

MUTE—ミュート出力信号

ハイにアサートすると、ランプ・シーケンスが開始され、ボリュームが徐々にゼロまで下がります。アサートを解除すれば、ボリュームがランプしてゼロから元の設定ボリュームに戻ります。ランプ速度のタイミングは、デフォルトの0dB設定ボリュームから開始するときに10msでゼロ・ボリュームに達するように設定されます。

VOU_{TL+}、VOU_{TL-}—左チャンネル差動アナログ出力

VREF入力電圧を2.5Vと仮定した場合、フルスケール出力は各出力ピン上で1V_{rms}、または差動で2V_{rms}に相当します。フルスケール振幅レベルは、VREFと直接的に比例します。この出力は5kΩを超える負荷を駆動する能力を備えており、各ピンからの最大ピーク電流は1mAです。帯域外ノイズを除去するために、3次フィルタの外付けを推奨します。

VOU_{TR+}、VOU_{TR-}—右チャンネル差動出力

出力特性は、上記のVOU_{TL+}、VOU_{TL-}と同じです。

VOU_{TS+}、VOU_{TS-}—サブチャンネル差動出力

この出力は、250μAのピーク電流能力で10kΩ以上の負荷を駆動するように設計されています。低周波数アプリケーションを目的としているので、デジタル補間は使用しません。カットオフ周波数が2kHz以下の3次フィルタの外付けを推奨します。

VREF—アナログ・リファレンス電圧入力

VREF入力電圧は2.5V (nominal) です。アナログ・ゲインは、このピン上の電圧と直接的に比例します。パワー・アンプの駆動にAD1954を使用する際には、パワー・アンプへの電源電圧を分圧し、さらに十分にフィルタリングしてVREF電圧を生成する方法を推奨します。AD1954のコンプレッサ／リミッタを使用してアンプのクリッピングを防止する場合に、この手法が効果的になります。このケースでは、DACの出力電圧がアンプの電源にスケールされる場合に、コンプレッサの固定しきい値を利用して、電源変動レンジが広いアンプを保護することが可能です。このピンに印加されるAC信号によって歪みが発生するので、VREFピンの電圧をクリーンに維持することを保証するために、大容量デカップリング・コンデンサを接続する必要があります。VREFの入力インピーダンスは、1MΩよりも大きい値です。

FILTCAP—フィルタ・コンデンサ・ポイント

最高の性能を得るため、このピンを使用して、内部バイアス・ポイント上のノイズを低減します。アプリケーション回路で適用されるレイアウトとグラウンド処理の品質によっては、このピンの接続が不要になる場合もあります。

DVDD—コア用のデジタルVDD

5V (nominal) です。

ODVDD—すべてのデジタル出力用のデジタルVDD

2.7V～5.5Vの電圧を使用できます。

AD1954

DGND (2)—デジタル・グラウンド

AVDD (3)—アナログVDD

5V (nominal)です。最良の結果を得るため、独立したAVDD用のレギュレータを使用してください。バイパス・コンデンサをこのピンに近接して配置し、アナログ・グラウンド・プレーンに直接接続してください。

AGND (3)—アナログ・グラウンド

最良の性能を保証するために、オーバーラップのないアナログおよびデジタル・グラウンド・プレーンを個別に使用してください。

信号処理

信号処理の概要

AD1954の信号処理フロー図を図2に示します。AD1954は、2.0または2.1チャンネル再生システムで一般的に利用される信号処理機能のすべてを提供するように設計されています。7バイクワッド・イコライザは、ステレオ入力信号で動作します。イコライザの出力はメイン・チャンネル用の2バイクワッド・クロスオーバー・フィルタに送られ、また左右イコライザ出力のモノラル合計信号がサブチャンネル用の3バイクワッド・クロスオーバー・フィルタに送られます。3チャンネルは、別個に遅延補償が行われます。2個の高品質のコンプレッサ/リミッタが用意されており、1つは左/右出力で動作し、もう1つはサブウーファ・チャンネルで動作します。2.0再生システムでは、サブウーファ出力を左/右出力に戻してミックスすることが可能です。この設定では、2個の独立したコンプレッサ/リミッタが2バンド圧縮を実行するので、圧縮されたオーディオ信号の音質が大幅に改善されます。これに加えて、メイン・チャンネルは耳に聞こえるステレオ・イメージの広がりをもつステレオ・ワイドニング・アルゴリズムを持ちます。

信号処理機能はその大半が、全48ビットの倍精度算術演算によってコード化されます。入力ワード長は24ビットですが、クリッピングなしに最大12dBまでの内部ゲインを設定できるように、2ビットのヘッドルーム・ビットがプロセッサに追加されています(最初のバイクワッド・フィルタ部で入力信号をスケールダウンすることによって、追加ゲインに対応可能です)。

AD1954の評価用として、グラフィカル・ユーザー・インターフェース(GUI)を用意しています(図3)。GUIは非常に簡単で操作性のよいインターフェースによって、チップの機能をすべて制御します。GUIでチップを制御する際に、コードを書き込む必要がありません。AD1954のソフトウェア・ツールに関する詳細は、SigmaDSP@analog.comまでお問い合わせください。

下のフロー図の各セクションの詳細については、次ページ以降で説明します。

数値フォーマット

DSPシステムでは、標準化された数値フォーマット指定方式を利用する方法が一般的です。精度とオーバーフローに関する問題の理解を深めるには、小数点付きの2の補数システムに関して検討することが効果的です。小数点数値システムは、A,Bフォーマットで指定します。Aは小数点左側のビット数で、Bは小数点右側のビット数です。2の補数システムでは、バイナリ・レンジの1/2のオフセットも意味を持ちます。たとえば、2の補数の1.23システムで有効とされる信号レンジは、-1.0から+(1.0-1LSB)までとなります。

AD1954では、2つの異なる数値フォーマットが使用されます。1つは(パラメータRAMに保存される)係数値に対応し、もう1つは信号データの値に対応します。係数フォーマットは、以下のとおりです。

係数フォーマット

係数フォーマット: 2.20

レンジ: -2.0 ~ +(2.0-1LSB)

例:

10000000000000000000 = -2.0

11000000000000000000 = -1.0

11111111111111111111 = (0.0よりも1LSB低い)

00000000000000000000 = 0.0

01000000000000000000 = 1.0

01111111111111111111 = (2.0-1LSB)

標準のバイクワッド・フィルタでは、+2.0~-2.0の係数が必要なため、このフォーマットを使用しています。さらに、信号経路のさまざまな場所にゲインを挿入できます。

内部DSPの信号データ・フォーマット

入力データ・フォーマット: 1.23

AD1954のデータ・メモリへの書き込み動作時に拡張された符号です。

内部DSPの信号データ・フォーマット: 3.23

レンジ: -4.0 ~ +(4.0-1LSB)

例:

100000000000000000000000 = -4.0

110000000000000000000000 = -2.0

111000000000000000000000 = -1.0

11111111111111111111111111 = (0.0よりも1LSB低い)

000000000000000000000000 = 0.0

001000000000000000000000 = 1.0

010000000000000000000000 = 2.0

01111111111111111111111111 = (4.0-1LSB)

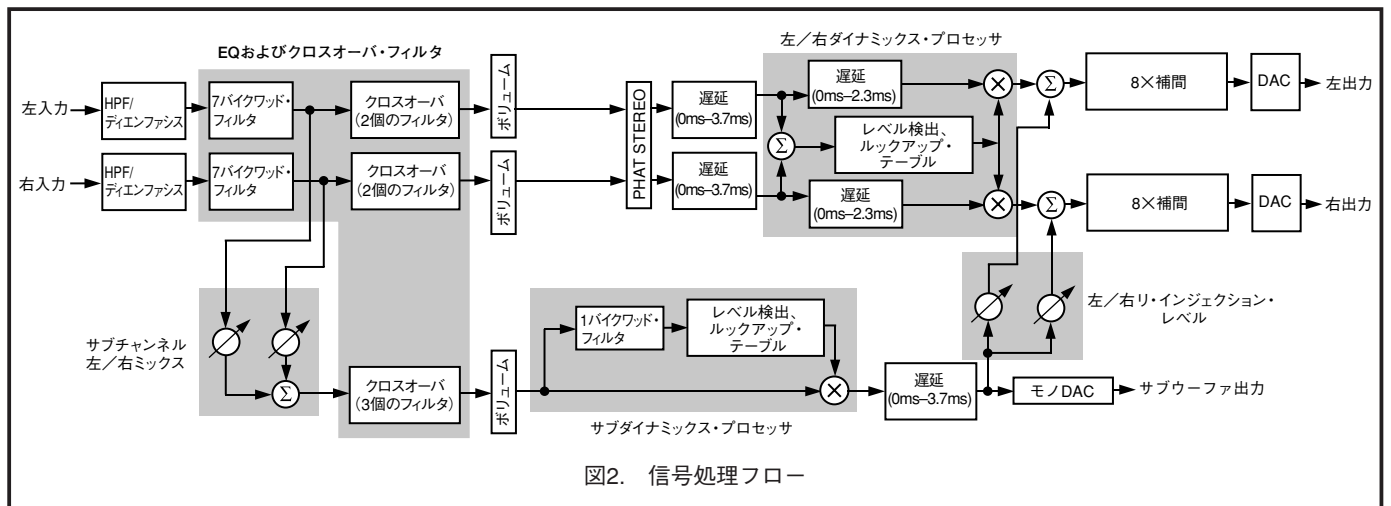


図2. 信号処理フロー

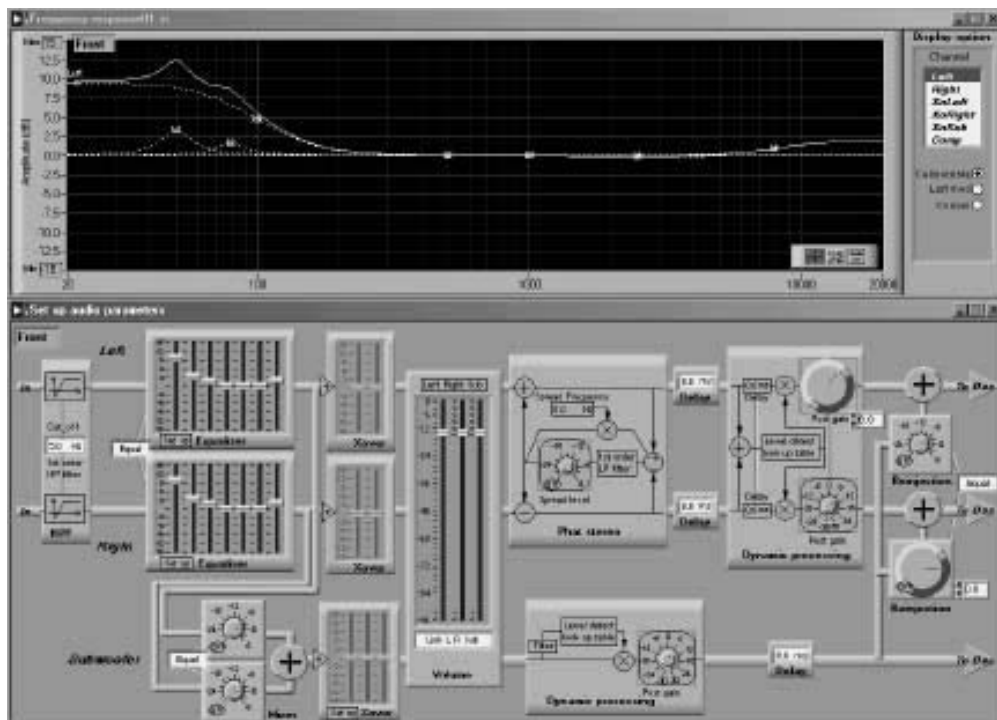


図3. グラフィカル・ユーザー・インターフェース (GUI)

シリアル・ポートとDSPコア間での符号拡張によって、内部クリッピングなしに最大12dBまでのゲインを信号経路で設定できます。12dBを超えるゲインに対応するには、最初のバイクワッド・フィルタで入力をスケールダウンし、バイクワッド・フィルタ部の最終段で信号を再びスケールアップする方法を利用します。

DSPコアの出力とDACシグマ-デルタ変調器の入力の間には、DAC回路の過負荷を防止するために、デジタル・クリッパ回路が使用されています(図4を参照)。DAC補間フィルタでは0.75のゲイン係数が使用されるので、クリッピングなしに最大1/0.75までの値の信号がDSPを通過する点に注目してください。DACは0dBのデジタル入力で2V_{rms} (差動)のアナログ信号を出力するので、0dBから1/0.75 (約3dB)までの信号によってアナログ出力が大きくなり、結果としてアナログ性能が多少劣化します。この余分なアナログ・レンジは、0dB FSの方形波信号がシステムを通過するために必要です。その理由は、方形波信号は補間フィルタにオーバシュートを引き起こすので、このように処置しないと、デジタルDAC回路のクリッピングが一時的に発生するためです。

アキュムレータの値が3.23数値フォーマット・レンジを超える場合に、その値がアキュムレータから引き出されるときにクリップされることを保証するため、DSPコアでは独立したデジタル・クリッパ回路が使用されます。

ハイパス・フィルタ

ハイパス・フィルタは、1次の倍精度設計です。ハイパス・フィルタの目的は、入力からデジタルDC成分を除去することです。DC成分が通過してしまうと、コンプレッサ/リミッタで使用されている検出器がローレベル信号を読み

出す動作に誤りが発生します。

ハイパス・フィルタは単一のパラメータ(alpha_HPF)で制御されます。このパラメータは、2.20の2の補数フォーマットでSPI記憶位置180に書き込むことでプログラミング設定します。フィルタの-3dBポイントからのパラメータalpha_HPFの計算に、以下の式を利用できます。

$$\text{Alpha_HPF} = 1.0 - \text{EXP} \left(\frac{-2.0 \times \pi \times \text{HPF_Cutoff}}{f_s} \right)$$

ここで、EXPは指数演算子、HPF_cutoffはHz単位のハイパス・カットオフ周波数、 f_s はオーディオ・サンプリング・レートです。

ハイパス・フィルタの-3dBカットオフ周波数のデフォルト値は、44.1kHzのサンプリング・レート時で2.75 Hzです。

バイクワッド・フィルタ

2つの入力チャンネルの信号経路には、それぞれ7つの2次バイクワッド部があります。さらに左/右チャンネルには、クロスオーバ・フィルタまたは追加のイコライゼーション・フィルタとして使用できる2個のバイクワッド・フィルタが追加されています。サブチャンネルには、イコライゼーションおよびクロスオーバ・フィルタ、またはそのいずれかとして使用可能な3個のバイクワッド・フィルタが追加されています。標準的なケースでは、最初の7個のバイクワッドをスピーカのイコライゼーションおよびトーン制御、またはそのいずれかに使用し、それ以外のフィルタはクロスオーバ・フィルタとして機能するようにプログラミング設定します。メインとサブの両方のチャンネルに1つの共通のイコライゼーション部が使用され、その後段にクロスオーバ・フィルタが配置されて

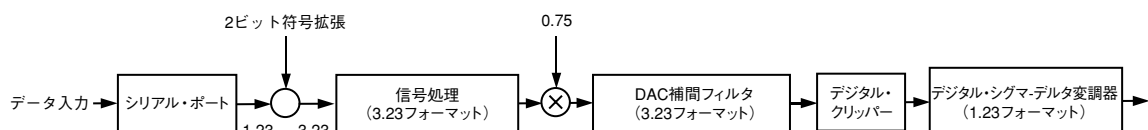


図4. 数値精度およびクリッピング構造

AD1954

いることに注目してください。この構成によって、クロスオーバー・フィルタとイコライゼーション・フィルタとの間で発生する相互作用が防止されます。バイクワッドIIRフィルタの1つのセクションを図5に示します。

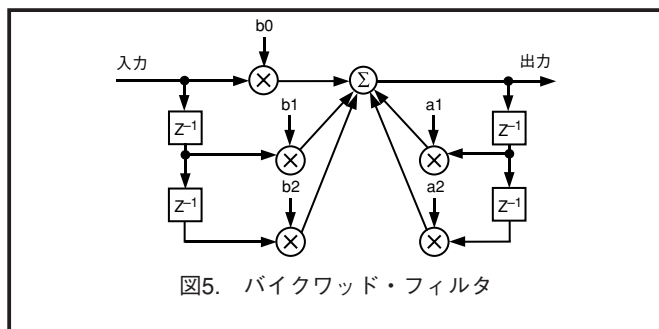


図5. バイクワッド・フィルタ

このセクションの伝達関数は、以下のようになります。

$$H(Z) = \frac{(b_0 + b_1 \times Z^{-1} + b_2 \times Z^{-2})}{(1 - a_1 \times Z^{-1} - a_2 \times Z^{-2})}$$

係数のa1、a2、b0、b1、b2はすべて、-2~+2 (-1LSB)のレンジの2の補数2.20フォーマットです。フィードフォワード”b”項とフィードバック”a”項の両方を加算した結果として、a1およびa2係数の符号が負になっています。一部のデジタル・フィルタ・パッケージは、図5のトポロジーに対して正しいa1およびa2係数を自動的に生成しますが、それ以外の場合は1 + a1×Z⁻¹ + a2×Z⁻²の形の分母を仮定します。この場合、正しい演算を行うには、a1とa2の各項を反転する必要があります。

図5に示すバイクワッド構造は、低周波数フィルタの使用時にリミット・サイクルの発生を回避するために、倍精度算術演算によってコード化されています。SPIポートを経由して、パラメータRAMの該当する記憶位置に書き込み動作を行うことによって、係数をプログラミング設定します(表VIを参照)。バイクワッド・フィルタの制御は、以下の2つの実行可能な手法を推奨します。

1. ダイナミック調整(例: バス/トレブル・コントロール、またはパラメトリック・イコライザ)

ダイナミック・フィルタ調整を使用する際には、フィルタがダイナミックに更新される際の一時的な不安定性を回避するために、セーフロード・メカニズムを採用することを強く推奨します。DSPによるフィルタ出力計算の実行中に、係数のいくつか(全部ではない)が新しい値に更新される場合に、この現象が起こります。セーフロード・レジスタの動作については、「パラメータ更新オプション」で詳細に説明しています。

2. パワーアップ後のスタティックEQ曲線の設定

バイクワッド・フィルタの多くをパワーアップ後に初期化する必要がある場合(たとえば、スタティックなスピーカ補正曲線を作成するなど)の推奨手順は、プロセッサのシャットダウン・ビットを設定し、ボリュームがランブダウンするまで(約20ms)待った後で、バースト・モードでパラメータRAMに直接書き込み動作を行う方法です。

RAMへのデータのロードが完了した後で、シャットダウン・ビットのアサートを解除することが可能になり、これによってボリュームがランブアップして初期値に戻ります。この手順全体にクリックが発生することはない、しかもセーフロード・メカニズムを利用する場合よりも高速です。

AD1954のデータ・パスには、シリアル・ポートに入力される24ビットの最上位に2ビットが追加されています。これにより、クリッピングなしに最大12dBまでのブーストが可能になります。ただし、最終のフィルタ出力ではゲインが12dBより小さいフィルタの設計が可能ですが、1つまたは複数の中間バイクワッド・フィルタ部の出力では、ゲインが12dBより大きいフィルタの設計が可能である点に留意してください。この理由から、フィルタ部を正しい順番でカスケード接続することが重要であり、その際にはピーク・ゲインの最も大

きいセクションをチェーンの最初ではなく最後に配置します。これはIIRフィルタのコードを作成する際の標準的な手法であり、DSPのコーディングに関する基本的な書籍で説明されています。

12dBより大きいゲインを回避することができない場合には、信号が12dBという最大信号レンジ内に適合するように、最初のバイクワッド部のb0からb2までの係数をスケールダウンし、その後でフィルタ・チェーンの最終段で再びスケールアップする方法を実行できます。

ボリューム

左、右、サブの各チャンネル用に個別に用意されている3個のSPIレジスタを使用して、ボリュームを制御します。クリックのないボリューム調整用の自動デジタル・ランブ回路を内蔵している、特殊なレジスタです。ボリューム制御ワードは2.20フォーマットなので、+2.0から-2.0までのゲイン設定が可能です。デフォルト値は1.0です。2.0から0までのボリューム調整に、1024のオーディオ・フレームが使用されます。最大ボリュームが1.0に設定される通常のケースでは、ランブがゼロに到達するまでのオーディオ・フレーム数が512となります。ミュート・コマンドはボリュームのゼロ設定と同じですが、デバイスのミュートを解除すると、ボリュームはその最初の値に戻る点に異なることに注意してください。

このボリューム・ランブ時間は、AD1954が高速ボリューム・ランブ速度に設定されていることを想定しています。低速設定を選択した場合は、2.0の設定からゼロに達するまでに8192のオーディオ・フレームを必要とします。したがって、通常の1.0の設定から0ボリュームに到達するには、4096のフレームが必要になります。

フィルタ部を通過する信号のレベルを最大化するため、ボリューム・ブロックがバイクワッド・フィルタ部の後段に配置されています。標準的な場合のボリューム設定は-15dB (nominal)であり、ボリュームを大きくするときは、この設定によってボリュームを大幅に高くすることが可能です。AD1954は、112dBを超えるアナログ・ダイナミック・レンジに対応するように設計されているので、ボリュームを-15dBに設定する標準的な条件下における出力の信号対ノイズ比は、97dBを超えるレベルが維持されます。コンプレッサ/リミッタを使用すると、ポスト圧縮ゲイン・パラメータの設定によって信号をさらに高いレベルまで引き上げられるので、出力ダイナミック・レンジをより大きくすることができます。この場合、ボリュームを上げた場合や入力信号が大きくなるときに、コンプレッサは出力のクリッピングを防止します。

ステレオ・イメージ・エキスパンダ

イメージ・エンハンスメント処理は、弊社の特許取得技術であるPhat Stereoアルゴリズムをベースとしています。このブロック図を以下に示します。

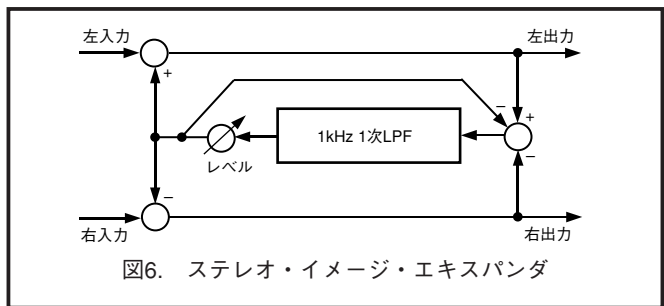


図6. ステレオ・イメージ・エキスパンダ

このアルゴリズムは、ステレオ・ミックスで左または右にパンされる低周波数信号のフェーズシフトを大きくする動作によって実行されます。人の聴覚は1kHzよりも低い両耳間のフェーズシフトに反応するので、このフェーズシフトの増加に伴ってステレオ・イメージが広がります。中央にパンされる信号は処理されないため、より自然なサウンドが再生される点に注目してください。Phat Stereoアルゴリズムを制御するパラメータには、次の2つがあります。つまり、左右のチャンネルに追加されるフェーズ外情報の量を制御するレベ

ル変数、および追加されるフェーズ外信号の周波数レンジを決定する1次ローパス・フィルタのカットオフ周波数です。最良の結果を得るには、カットオフ周波数が500Hz～2kHzのレンジにあることが必要です。このパラメータの制御は、spread_levelとalpha_spreadの各パラメータが保存されているパラメータRAMの記憶位置の内容を変更する方法で行います。spread_levelは、処理された左右信号がメイン・チャンネルに加算または減算される前に、これを乗算する2.20フォーマットのリア値です。alpha_spreadパラメータは、以下の式によって1次ローパス・フィルタのカットオフ周波数と関連付けられます。

$$\text{Alpha_Spread} = 1.0 - \text{EXP} \left(\frac{-2.0 \times \pi \times \text{Spread_Freq}}{f_s} \right)$$

ここで、EXPは指数演算子、spread_freqはHz単位のローパス・フィルタのカットオフ周波数、 f_s はオーディオ・サンプリング・レートです。

ステレオ拡散アルゴリズムでは、1kHz以下の周波数がメインのサテライト・スピーカに存在することを仮定している点に注意してください。一部のシステムでは、サテライトとサブウーファの各スピーカ間のクロスオーバー周波数が非常に高い場合があります(> 500Hz)。このようなケースでは、拡散効果に寄与する周波数の大部分がモノラル・ソースであるサブウーファから発生することになるので、ステレオ拡散アルゴリズムは効果的ではありません。

遅延

3つの各DACチャンネルには、最大で165オーディオ・サンプルまでの遅延を設定できる遅延ブロックが用意されています。遅延の値は、パラメータRAMの該当する記憶位置に遅延(サンプル数)を入力することでプログラミング設定できます。44.1kHzのサンプル・レート時で、165サンプルの遅延は3.74msの遅延時間に相当します。音は約1フィート/msの速度で移動するので、最大3.74フィート(約1.14m)まで離れたスピーカ位置の補償に、これを利用できます。

コンプレッサ/リミッタのルックahead部では、さらに100サンプルの遅延が追加されていますが、これはメインの2チャンネルのみに適用されます。これにより、左右チャンネルのトータル遅延を44.1kHzのサンプル・レート時に265サンプル、つまり6msまで増加させることができます。

メイン・コンプレッサ/リミッタ

AD1954に使用されているコンプレッサは非常に高性能で、プロのオーディオ・スタジオや放送局の分野で使われている業務用のコンプレッサ/リミッタに多くの面で匹敵する性能を備えています。これにはrms/ピーク検出技術が採用されており、調整可能なアタック/ホールド/リリース、ルックahead圧縮、およびテーブル・ベースの入力/出力特性曲線の入力という特長によって、非常に優れた柔軟性が備わっています。

AD1954では、サブウーファDACに1個と、メインの左/右DACに1個の合計2個のコンプレッサ/リミッタを使用しています。独立したコンプレッサを異なる周波数レンジで動作させると、優れた知覚サウンドが再生されることがよく知られています。シングル・バンド・コンプレッサの場合には、大音量のバス情報がオーディオ信号全体のゲインを変調するので、これに伴って最大知覚ラウドネスだけでなく、ゲイン・ポンピングや変調効果も最適状態に及ばない結果になります。これに対して、独立したコンプレッサを低周波数と高周波数に分離して別個に動作させる方法をとると、上記の問題が大幅に低減されます。AD1954を2チャンネル・モードで動作させる場合には、1つの経路が追加され、サブウーファ・チャンネルをメイン・チャンネルに戻して追加できます。これにより、2.0システム構成でも2バンド・コンプレッサの利点が維持されます。

図7には、従来方式の基本的なアナログ・コンプレッサ/リミッタのブロック図を示しています。この方式では、電圧制御アンプによってゲインを調整し、時定数調整が可能なrms検出器とその後段の非線形回

路で構成するフィードフォワード検出器経路で、望ましい入力/出力の関係形成します。シンプルなコンプレッサには、それを超えるとゲインが低減される1つのしきい値があります。しきい値を超える圧縮量は圧縮比と呼ばれ、入力のdB変動値と出力のdB変動値の比として定義されています。例えば、2:1の圧縮比で入力が2dB増加すると、しきい値を超える信号に対する出力は1dB増加します。

1つの「ハード」しきい値は圧縮がより緩やかに導入される、いわゆる「ソフト・ニー」コンプレッサよりも音の変化が向上します。アナログ・コンプレッサでは、一般的にソフト・ニー特性はダイオードの指数ターンオン領域を利用する方法で生成されます。

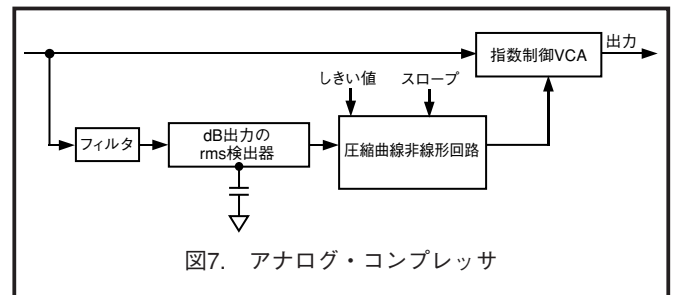


図7. アナログ・コンプレッサ

ベストなアナログ・コンプレッサでは、信号振幅検出器としてrms検出器を使用します。複雑な信号の高調波成分の位相による影響を受けないタイプの検出器は、rms検出器のみです。聴覚も同様に、信号全体のパワーに基づいてそのラウドネス判断が行われるので、rms検出器の利用によって、ベストの可聴性能が達成されます。ピーク検出に基づくコンプレッサは、クリッピングの防止用には良好ですが、一般的に可聴性能の面では非常に劣ります。

RMS検出器では、トランジェント信号に対してどの程度迅速に応答するかを決定するある一定の時定数があります。この応答速度と歪みのトレードオフの問題が常に存在します。このトレードオフを図8に示します。

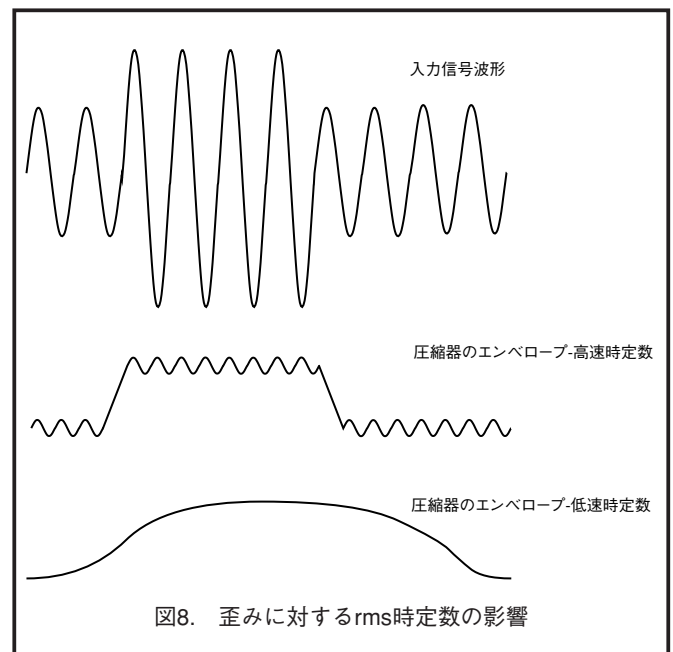
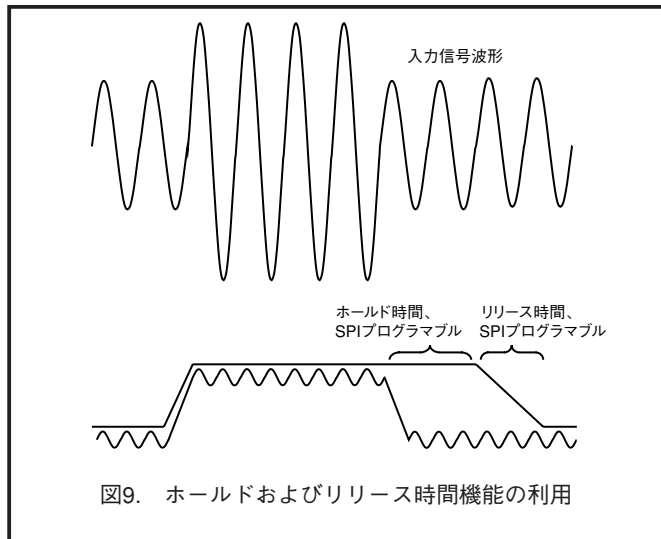


図8. 歪みに対するrms時定数の影響

高速応答のrms検出器の場合には、望ましいDC成分に加えて、ある信号成分が存在します。この信号成分(rms検出器の場合には、入力周波数の2倍)の存在が原因となって、検出器信号による乗算時に高調波歪みが発生します。

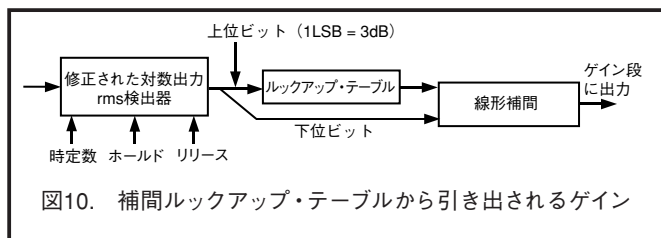
AD1954

AD1954では、アタック時間と歪みとの関係を改善するために、修正されたrmsアルゴリズムが利用されています。つまり、図9に示すように、ピーク・ライディング回路とホールド回路の併用によってrms信号を修正します。図には2つのエンベロープを明示しています。1つは前の図で見たものと同じ高調波歪みですが、下の平坦なエンベロープはAD1954によって作成されたものです。



修正されたrmsアルゴリズムを利用すると、最低周波数信号を除くすべての信号に対して真のrms値が確保されると同時に、rmsリップルによる歪みが低減されます。さらに、コンプレッサのホールド時間とリリース時間を個別に設定できます。

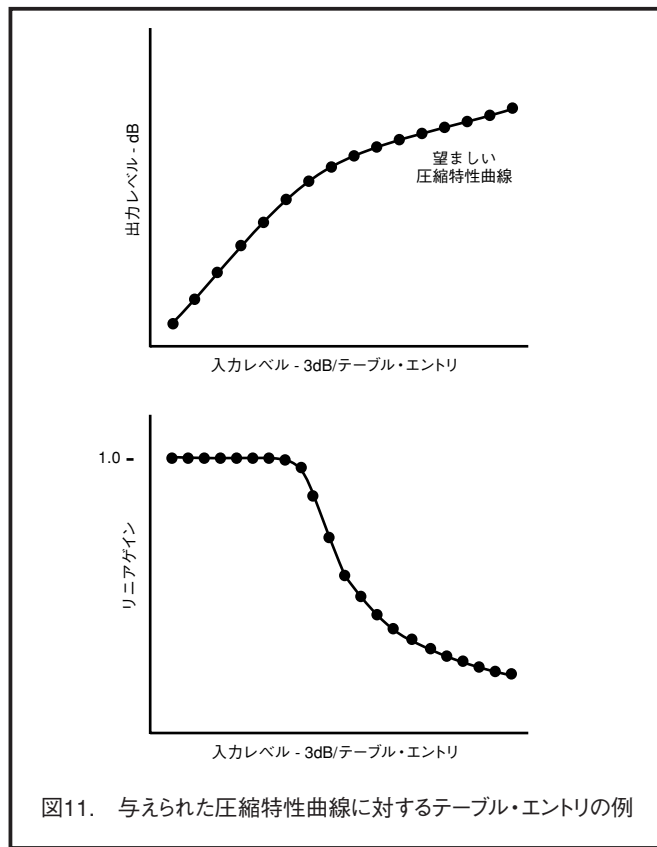
AD1954の検出器経路を図10に示します。rms検出器の制御は、パラメータRAMに保存されるrms時定数、ホールド時間、リリース時間の3つのパラメータによって実行されます。rms検出器の対数出力は、補間ルックアップ・テーブルに入力されます。rms出力の上位ビットはこのテーブル内のオフセットを形成し、下位ビットはテーブル・エントリ間の補間に使用されて高精度のゲイン・ワードが形成されます。ルックアップ・テーブルはパラメータRAM内に常駐し、データをロードすることで望ましい特性曲線が作成できます。ルックアップ・テーブルには33のデータ記憶位置が用意されており、そのアドレスのLSBが検出器信号の振幅の3dB変化に相当します。したがって、99dBのレンジで入力／出力特性曲線をプログラミング設定できます。メイン・コンプレッサのテーブルは、SPIパラメータRAMの記憶位置110～142に常駐します。



テーブル参照は正弦波のrms値と方形波のrms値の差を巧妙に処理します。フルスケール方形波がAD1954に印加されると、この信号のrms値は0dBFS正弦波のrms値よりも3dB高くなります。そのため、テーブルのトップ・エントリ(メイン・チャンネル・コンプレッサでは記憶位置142)は、0dBFS方形波のrms値に対応するように設定されています。ここでは、正弦波振幅に校正されることが望ましいので、このテーブル・エントリを3dBと呼ぶことにします。したがって、テーブルは+3dB(記憶位置142)から-96dB(記憶位置110)のレンジ内になります。

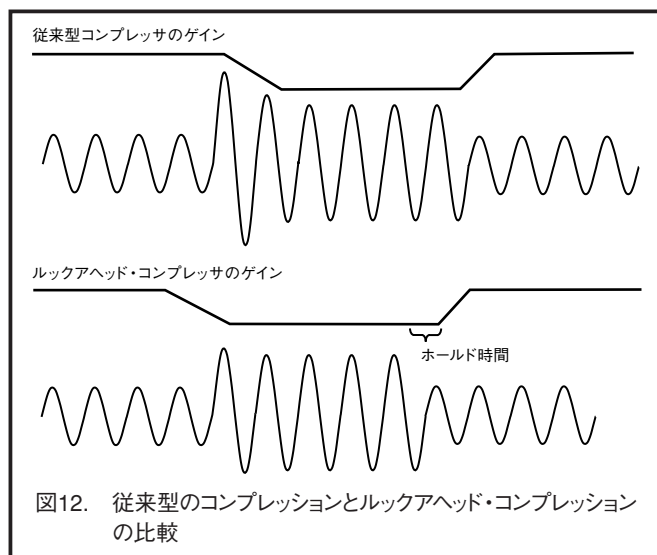
テーブル内のエントリは、2.20フォーマットのリニア・ゲイン・ワードです。図

11には、単純な上限しきい値設定コンプレッサのテーブル・エントリ例を示しています。

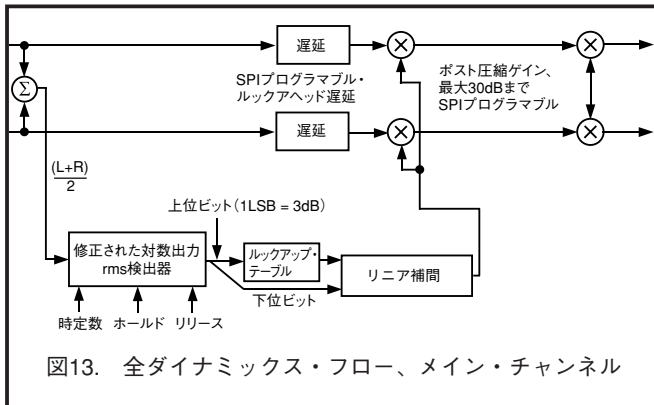


テーブルに入力できる最大ゲインは2.0 (-1LSB)である点に注意してください。これよりも高いゲインが必要な場合には、コンプレッサ／リミッタの後段のポスト・コンプレッション・ゲイン・ブロックを使用して、圧縮特性曲線全体を上方にシフトさせます。

AD1954のコンプレッサ／リミッタは、ルックアヘッド・コンプレッション機能も内蔵しています。ルックアヘッド・コンプレッションを採用する目的は、ゲイン制御乗算器の前段で、検出器経路にはなく信号にデジタル遅延をかけることで、コンプレッサのオーバーシュートを防止することです。この手法によって、信号が実際に乗算器に到達する前に、検出器は新しい入力信号振幅を取り込むことができます。従来型のコンプレッサとルックアヘッド・コンプレッサに送られるトーン・バーストの比較を図12に示します。



ルックアヘッド・コンプレッサでは、トーン・バースト信号が乗算器の入力に到達する時までにゲインがすでに低減されています。ルックアヘッド・コンプレッサを使用する際には、検出器のホールド時間を最低でもルックアヘッド遅延時間と同じ値に設定することが重要である点に注意してください。これを怠ると、コンプレッサのリリースが極端に早く開始され、結果としてトーン・バースト信号の「テール」が拡張されます。左／右ダイナミクス・プロセッサの全処理フローを図13に示します。



検出器経路は、左右チャンネルの和((L+R)/2)に基づいて動作します。これはコンプレッサを構成する通常の手法であり、特に実際の音楽のエネルギー・スペクトルを支配しがちな低周波数領域においては、どのようなステレオ・ミックスのメイン楽器であっても、位相をずらして故意に録音されることはほとんどないという事実依存しています。

コンプレッサの後段には、ポスト・コンプレッション・ゲインと呼ばれるブロックがあります。ほとんどのコンプレッサは、大音量信号の通過時にゲインを下げることで音楽のダイナミック・レンジを低減するのに使用されます。その結果、ボリューム全体の損失が発生します。コンプレッサの後段でゲインを上げることによって、この損失を補償できます。AD1954で使用される係数フォーマットは2.20ですが、最大浮動小数点表示は2.0の少し下に過ぎません。これは、1つの命令で達成可能な最大ゲインが6dBであることを意味します。もっと大きいゲインを確保するために、AD1954のプログラムでは5個の乗算器のカスケード構成を利用して最大で30dBまでのポスト・コンプレッション・ゲインを達成しています。

コンプレッサ／リミッタのプログラミングでは、以下の式を利用して、パラメータRAMに入力する22ビット値(2.20フォーマットの場合)を求めます。

RMS時定数

RMS時定数を表す最も好ましい方法は、dB/秒の「生」のリリース・レート(ピーク・ライディング回路を使用しない)で時定数を入力することです。アタック・レートを使用すると、入力正弦波の振幅の変化に依存する非常に複雑な式になってしまいます。

$$\text{RMS_tconst_parameter} = 1.0 - 10 \left(\frac{\text{release_rate}}{10.0 \times f_s} \right)$$

ここで、rms_tconst_parameterは(22ビットの2.20フォーマットに変換後)SPI RAMに入力する小数点数値、release_rateはdB/秒単位の生のrms検出器のリリース・レートで、これは負であることが必要です。f_sはオーディオ・サンプル・レートです。

RMSホールド時間

$$\text{RMS_holdtime_parameter} = \text{int}(f_s \times \text{hold_time})$$

ここで、rms_holdtime_parameterはSPI RAMに入力する整数値、f_sはオーディオ・サンプル・レート、hold_timeは検出器出力のリリース・ランブダウンが開始される前に待つ絶対時間、int()は式の整数部です。

REV.0

RMSリリース・レート

$$\text{RMS_decay_parameter} = \text{int}(\text{rms_decay} / 0.137)$$

ここで、rms_decay_parameterはSPI RAMに入力する10進数の整数値、rms_decayはdB/秒単位の減衰レート、int()は式の整数部です。

ルックアヘッド遅延

$$\text{Lookahead_delay_parameter} = \text{lookahead_delay} \times f_s$$

ここで、lookahead_delayは絶対時間を単位とするコンプレッサの予測遅延、f_sはオーディオ・サンプル・レート、lookahead_delay_parameterの最大値は100です。

ポスト・コンプレッション・ゲイン

$$\text{Post_compression_gain_parameter} = \text{Post_compression_gain_linear}^{(1/5)}$$

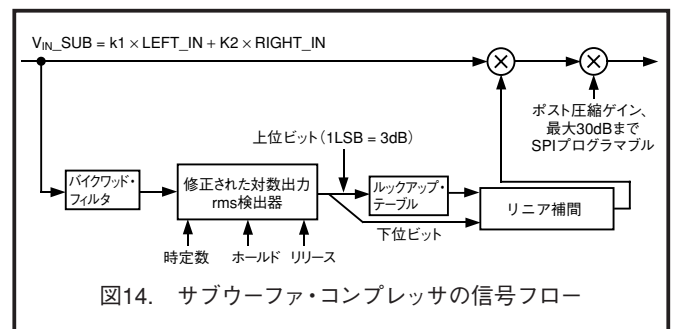
ここで、post_compression_gain_linearはリニア・ポスト・コンプレッション・ゲイン、そして^は累乗を表します。

サブウーファ・コンプレッサ／リミッタ

サブウーファ・コンプレッサ／リミッタは、以下の点で左／右コンプレッサと異なります。

1. サブウーファ・コンプレッサは、左右入力の重み付けされた和(aa×Left + bb×Right)に基づいて動作します。aaとbbはともにプログラマブルです。
2. 周波数に依存したコンプレッサのしきい値の制御を実現するために、検出器入力と直列にバイクワッド・フィルタが接続されます。
3. 低周波数のみを通過させるように入力信号がフィルタリングされるので、トランジェント・オーバシュートが問題になる可能性がありません。そのために、予測圧縮が行われません。

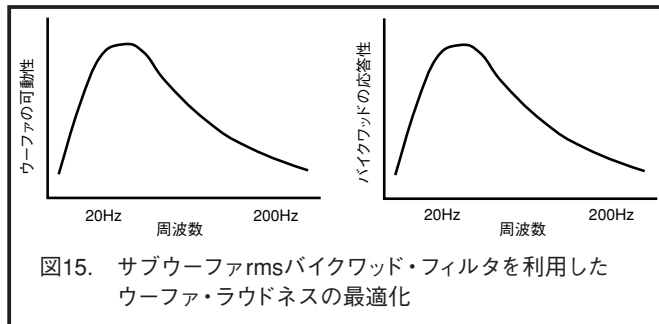
サブウーファ・コンプレッサの信号フローを図14に示します。



検出器前段のバイクワッド・フィルタは、周波数に依存したコンプレッサのしきい値制御を行うために使用できます。たとえば、ウーファの過負荷ポイントの周波数依存性が非常に強いと仮定します。この場合には、コンプレッサのしきい値をウーファの最も敏感な過負荷周波数に対応する値に設定する必要があります。ウーファが過負荷による影響を受けにくい周波数レンジ内に入力信号の大部分が収まっている場合、コンプレッサは非常に柔軟な判断を行い、ウーファのボリュームが低減されます。

AD1954

これに対して、スピーカのウーファ可動曲線に追従するようにバイクワッド・フィルタを設計すると、すべての条件下でウーファのボリュームが最大化されます。これを図15に示します。



検出器の前段にフィルタを使用する際には、混乱を招く副作用が起ります。コンプレッサのしきい値を大幅に越える大きな振幅の掃引正弦波を使用して周波数応答性を測定すると、その周波数応答には平坦性が見られません。ただし、正弦波がシステムを通して掃引されるときに、検出器の前段にあるバイクワッド・フィルタの応答性に従ってゲインがゆっくりと上下に変調されるので、その意味でこれは真の結果ではありません。ピンク・ノイズ発生器を使用して周波数応答性を測定すると、検出器が1つのゲイン値のみでセリングするため、結果は大幅に改善されたものになります。掃引正弦波テストで認知される結果は、周波数応答曲線を単に観察するだけで確認されるものではありません。周波数応答性の判別に影響を及ぼす要素は検出器経路のフィルタではなく、信号経路のフィルタのみです。

ディエンファシス・フィルタリング

CDエンコーディングの規格では、エンコーディング時にプリエンファシス曲線を利用できますが、再生時にはディエンファシス曲線で補償する必要があります。ディエンファシス曲線は、 $(1/(2 \times \pi \times 50 \mu s))$ で単極が形成され、その後 $(1/(2 \times \pi \times 15 \mu s))$ でシングル・ゼロが続く1次のシェルビング・フィルタとして定義されます。この特性曲線は1次のデジタル・フィルタを使用して高精度にモデル化できます。このフィルタはAD1954に内蔵されています。これはバイクワッド・フィルタ・バンクの一部ではないので、利用可能なフィルタの数から差し引かれません。

ディエンファシス・フィルタの仕様はアナログ・フィルタに基づくため、その応答性は入力サンプリング・レートには依存しません。ただし、ディエンファシス・フィルタをデジタルで構成すると、実行可能な各入力サンプリング・レートに適合するようにフィルタ係数を変更しない限り、その応答性はサンプリング・レートに比例します。このため、AD1954には32kHz、44.1kHz、48kHzの各サンプリング・レートに対応する3つのディエンファシス曲線が個別に用意されています。曲線は、SPIポートを介して制御レジスタ1のビット5および4に書き込むことで選択されます。あるいは、DEEMP/SDATA_AUXピンを使用して44.1kHzの曲線呼び出すこともできます。このピンは、ディエンファシス出力ピンを持ったCDデコーダ・チップとの互換性のために用意されたものです。

サブウーファを使用しないシステムに対するサブ・リ・インジェクション経路の利用

多くのシステムではサブウーファを使用せず、2バンド・コンプレッション/リミッタが利用されます。その手法は、プログラム・フローのサブ・リ・インジェクション経路を利用して実行されます。このパラメータは、2つの値(2.20フォーマット)をパラメータRAMに入力することでプログラミング設定します。バイクワッド・フィルタが正しく設計されていないと、クロスオーバー・ポイントの周波数応答性が平坦にならない点に注意して

ください。クロスオーバー・フィルタの多くは、パワー全体を加算するという意味において、平坦性を維持するように設計されていますが、電圧モードで加算される場合は平坦性が確保されません。適切なクロスオーバー・フィルタ・セットの設計に細心の注意を払う必要があります。

補間フィルタ

左右チャンネルには、デジタル・シグマ・デルタ変調器の前段に、阻止帯域減衰量が75dBの128:1補間フィルタが配置されています。このフィルタの群遅延は、約 $24.1875/f_s$ タップです(f_s はサンプリング・レート)。サブチャンネルでは、補間フィルタを使用しません。その理由は(貴重なMIPSを節約すること以外に)、サブチャンネル出力の帯域幅が1kHzよりも低い周波数に制限されることが予測されるためです。補間フィルタが使用されないため、最初の「イメージ」は43.1kHzの周波数になります(CDオーディオでは $f_s - 1kHz$)。メインとサブの両方のチャンネルに使用される標準的な外部フィルタは、1個のオペアンプで構成される3次フィルタです。外部サブウーファ・フィルタのカットオフ周波数が2kHzの場合には、2kHzと最初のイメージ周波数43.1kHzとの間には4オクターブ以上が存在することになります。3次フィルタは、約18dB/オクターブ×4オクターブ=72dBの減衰量でロールオフします。これは、メイン・チャンネルのフィルタで使用されるデジタル減衰量とほとんど同じなので、帯域外イメージの除去に内部補間フィルタが必要ありません。

メイン・チャンネルで補間フィルタを使用し、サブウーファ・チャンネルでこれを使用しないと、メインとサブのチャンネル間で時間遅延のミスマッチが発生する可能性がある点に注意してください。メインの左/右チャンネルで使用されるデジタル補間フィルタの群遅延は、約0.5msです。これをサブウーファ経路で使用される外部アナログ・フィルタの群遅延と比較しなければなりません。群遅延のミスマッチによって周波数応答誤差が発生する場合には(2つの信号が「音響的に加算」される時)、遅延のプログラミング設定機能を利用して、サブウーファ経路またはメインの左/右経路のいずれかに遅延を追加して調整してください。

SPIポート

概要

AD1954には、多くの異なる制御オプションが用意されています。大部分の信号処理パラメータは、SPIポートを使用してパラメータRAMに新しい値を書き込むことで制御されます。ボリュームやディエンファシス・フィルタリングなど、他の機能は、SPI制御レジスタへの書き込み動作によってプログラミング設定します。

SPIポートは、CLATCH、CCLK、CDATA、COUTの各信号で構成される4線式インターフェースが使用されます。CLATCH信号はトランザクションの開始時にローになり、終了時にハイになります。CCLK信号は、ローからハイへの遷移時にシリアル入力データをラッチします。CDATA信号はシリアル入力データを転送し、COUT信号はシリアル・データを出力します。COUT信号は、読み出し動作が要求されるまでスリーステート状態に維持されます。これにより、他のSPIコンパチブルの周辺デバイス間での同じリードバック・ラインの共有が可能になります。

SPIポートは、すべてのメモリ(パラメータおよびプログラム)と、一部のSPIレジスタ(制御レジスタ1およびデータ・キャプチャ・レジスタ)に対して完全な読み出し/書き込み動作を実行できます。メモリには、シングル・アクセスとバーストの両方のモードでアクセスできます。SPIトランザクションはすべて、表1と同じ基本フォーマットに従います。

表1. SPIワード・フォーマット

バイト0	バイト1	バイト2	バイト3	バイト4
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	データ	データ	データ

R/Wbビットは書き込み動作時にロー、読み出し動作時にハイにします。10ビットのアドレス・ワードは、2つのメモリ(パラメータおよびプログラム)のいずれか1つの記憶位置、またはSPIレジスタの1つにデコードされます。データ・バイト数は、アクセスするレジスタまたはメモリに応じて異なります。バースト書き込みモード時には(RAMへのデータ・ロードのみに利用可能)、初期アドレスの後に連続的なRAM記憶位置のデータ・シーケンスが続きます。連続モード動作の詳細なデータ・フォーマット図をSPI読み出し/書き込みデータ・フォーマットで示しています。

パラメータRAMへのシングルSPI書き込み動作のサンプル・タイミング図を図16に示しています。

シングルSPI読み出し動作のサンプル・タイミング図を図17に示しています。COUTピンは、バイト2の開始時にスリーステートから駆動状態に移ります。バイト0と1にはアドレスとR/Wビットが含まれ、バイト2-4にはデータが割り当てられます。この正確なフォーマットを表VIIIからXIXにまとめています。

AD1954には、大音量のポップやクリックを引き起こすことなく、信号処理パラメータをリアルタイムに更新するためのメカニズムがいくつか用意されています。サイズの大きいデータ・ブロックをダウン

ロードする必要がある場合には、DSPコアをシャットダウンした上で新しいデータをロードし、その後でDSPコアを再起動することが可能です。シャットダウンと再起動のメカニズムには、クリックやポップを防止するためボリューム・レベルが徐々に変化する方式が採用されています。変更の必要なパラメータがごく少ない場合には(たとえば、1個のバイクワッド・フィルタ)、コアの実行中にSPIレジスタのデータ・ブロックを1つのオーディオ・フレーム以内でパラメータRAMに転送できるセーフロード・メカニズムを使用します。セーフロード・モードでは、DSPコアとSPIポートの競合を防止するために、内部ロジックが使用されます。

SPIアドレスのデコーディング

表IIには、SPIポートで使用されるアドレス・デコーディングを記載しています。SPIアドレス空間は一組のレジスタ、および信号処理パラメータとプログラム命令を保持するための2個の個別RAMに対して割り当てられます。両方のRAMには、パワーアップ時に内蔵のブートROMからデータがロードされます。

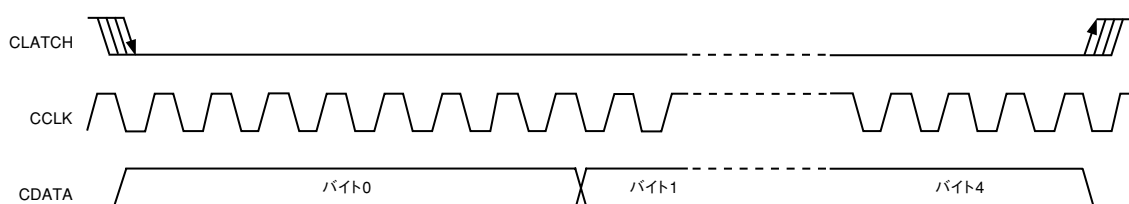


図16. SPI書き込みフォーマットのサンプル(シングル書き込みモード)

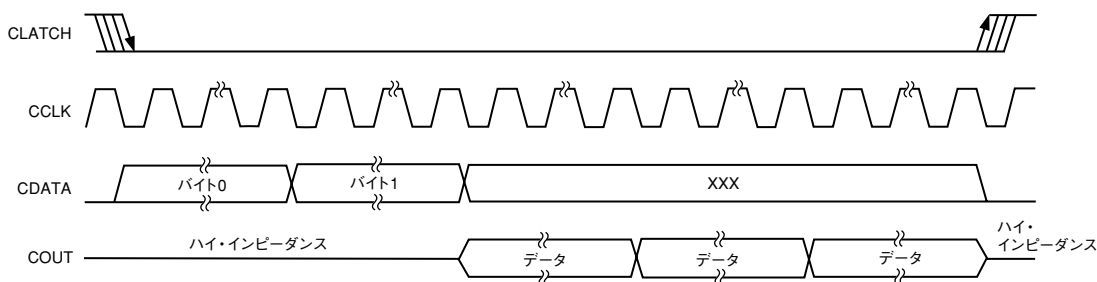


図17. SPI読み出しフォーマットのサンプル(シングル読み出しモード)

表 II. SPIポートのアドレス・デコーディング

SPIアドレス	レジスタの名前	読み出し／書き込みワード長
0-255	パラメータRAM	書き込み: 22ビット 読み出し: 22ビット
256	SPI制御レジスタ1	書き込み: 11ビット 読み出し: 2ビット
257	SPI制御レジスタ2	書き込み: 9ビット 読み出し: 該当なし
258	左ボリューム	書き込み: 22ビット 読み出し: 該当なし
259	右ボリューム	書き込み: 22ビット 読み出し: 該当なし
260	サブ・ボリューム	書き込み: 22ビット 読み出し: 該当なし
261	データ・キャプチャ(SPI出力) #1	書き込み: 9ビットのプログラム・カウンタ値、2ビットのレジスタ・アドレス 読み出し: 24ビット
262	データ・キャプチャ(SPI出力) #2	書き込み: 9ビットのプログラム・カウンタ値、2ビットのレジスタ・アドレス 読み出し: 24ビット
263	左データ・キャプチャ(シリアル出力)	書き込み: 9ビットのプログラム・カウンタ値、2ビットのレジスタ・アドレス 読み出し: 該当なし
264	右データ・キャプチャ(シリアル出力)	書き込み: 9ビットのプログラム・カウンタ値、2ビットのレジスタ・アドレス 読み出し: 該当なし
265	パラメータRAMセーフロード・レジスタ0	書き込み: 8ビットのパラメータRAMアドレス、22ビットのパラメータ・データ 読み出し: 該当なし
266	パラメータRAMセーフロード・レジスタ1	書き込み: 8ビットのパラメータRAMアドレス、22ビットのパラメータ・データ 読み出し: 該当なし
267	パラメータRAMセーフロード・レジスタ2	書き込み: 8ビットのパラメータRAMアドレス、22ビットのパラメータ・データ 読み出し: 該当なし
268	パラメータRAMセーフロード・レジスタ3	書き込み: 8ビットのパラメータRAMアドレス、22ビットのパラメータ・データ 読み出し: 該当なし
269	パラメータRAMセーフロード・レジスタ4	書き込み: 8ビットのパラメータRAMアドレス、22ビットのパラメータ・データ 読み出し: 該当なし
270-510	未使用	
511	テスト・レジスタ	書き込み: 8ビット 読み出し: 該当なし
512-1024	プログラムRAM	書き込み: 35ビット 読み出し: 35ビット

制御レジスタ1

制御レジスタ1は、シリアル・モード、ディエンファシス、ミュート、パワーダウン、SPIとメモリ間のデータ転送を制御する11ビット・レジスタです。レジスタのデータ内容を表IIIにまとめています。ビット11は、DEEMP/SDATA_AUXピンの機能を制御します。デフォルト設定値は0で、ディエンファシス機能が選択されます。詳細については、「ピン機能」で説明しています。

ワード長ビットは、オーディオ・フレームの開始に関連してMSBを割り当てる場所を決定するために、右詰のシリアル・モードで使用されます。シリアル・モード・ビットは、「シリアル・データ入力ポート」で説明している4つのモードの1つを選択します。ディエンファシス・ビットは、3つの実行可能なサンプル・レートの1つに対応する内部ディエンファシス・フィルタをターンオンします。

プログラム停止ビットは、ボリュームをランプダウンし、DSPコアをシャットダウンするときに使用します。制御レジスタ1のビット1を読み出すことによって、この動作を完了するようにポーリングできます。

ソフト・ミュートは、ボリュームのランプダウン・シーケンスを開始するのに使用します。初期ボリュームが1.0に設定されている場合、この動作が完了するまでに512のオーディオ・フレームが必要です。このビットの

アサートを解除すると、ボリュームが最初の設定に戻るまで、ランプアップ・シーケンスが継続されます。セーフ転送開始ビットは、SPIセーフロード・レジスタからパラメータRAMへのデータ転送を要求します。セーフロード・レジスタにはアドレス・データ・ペアが含まれており、最後の転送動作以降に書き込まれるレジスタのみがアップロードされます。制御レジスタ1のビット0を読み出すことによって、この動作を完了することをポーリングできます。詳細については、「セーフロード・メカニズム」で説明しています。

ソフト・パワーダウン・ビットはDSPコアに入力される内部クロックを停止しますが、デバイスはリセットされません。このビットをアサートすると、デジタル消費電力が低レベルに下がります。外部リセット・ピンを使用する場合のみ、リセットをアサートできます。

DCSOUT イネーブル・ビットは、データ・キャプチャ・シリアル出力ピンをターンオンするのに使用します。データ・キャプチャ機能を使用して取り込まれるデータを、追加ステレオDACなどの外部デバイスに送信するときに、このピンを使用できます。データ・キャプチャ機能の詳細については、「データ・キャプチャ・レジスタ」で説明しています。

制御レジスタ1で読み出し動作を実行すると、表IVに示すように2ビットが返されます。

表 III. 制御レジスタ1の書き込み定義

レジスタ・ビット	機能
11	ディエンファシス/補助シリアル入力ピンの選択 (1 = 補助シリアル入力)
10	プログラム停止 (1 = 停止)
9	セーフ転送開始 (1 = 転送)
8	DCSOUT出力ピン・イネーブル (1 = イネーブル)
7	ソフト・ミュート (1 = ミュート・シーケンス開始)
6	ソフト・パワーダウン (1 = パワーダウン)
5:4	ディエンファシス曲線の選択 00 = なし 01 = 44.1kHz 10 = 32kHz 11 = 48kHz
3:2	シリアル入力モード 00 = I ² S 01 = 右詰め 10 = DSP 11 = 左詰め
1:0	ワード長 00 = 24ビット 01 = 20ビット 10 = 16ビット 11 = 16ビット

表 IV. 制御レジスタ1の読み出し定義

レジスタ・ビット	機能
1	DSPコア・シャットダウンの完了 1 = シャットダウンの完了 0 = シャットダウンを実行しない
0	セーフ・メモリ・ロードの完了 1 = 完了 (注: 読み出し後にクリア) 0 = 実行しない

要求されたすべてのセーフロード・レジスタのデータがパラメータRAMに転送されると、ビット0がアサートされます。読み出し動作が完了後、クリアされます。

要求されたDSPのシャットダウン終了後、ビット1がアサートされます。このビットが設定されると、オーディオ・ポップやクリックを引き起こすことなく、RAMのどの記憶位置でも自由に書き込みまたは読み出しを行うことができます。

表 V. 制御レジスタ2の書き込み定義

レジスタ・ビット	機能
9	ボリューム・ランプ速度 1 = 160msの最高ランプ時間 0 = 20msの最高ランプ時間
8	シリアル・ポート出力のイネーブル 1 = イネーブル 0 = ディスエーブル
7:6	シリアル・ポート入力の選択 00 = IN0 01 = IN1 10 = IN2 11 = 無効
5:4	MCLK入力の選択 00 = MCLK0 01 = MCLK1 10 = MCLK2 11 = 無効
3	予約
2	MCLK入力周波数の選択 0 = $512 \times f_s$ 1 = $256 \times f_s$
1:0	MCLK出力周波数の選択 00 = ディスエーブル 01 = $512 \times f_s$ 10 = $256 \times f_s$ 11 = MCLK_Out = MCLK_In (フィードスルー)

制御レジスタ2

制御レジスタ2のデータ内容を表Vにまとめています。ビット1と0は、MCLKOUTピンの周波数を設定します。00に設定すれば、MCLKOUTピンがディスエーブルされます(デフォルト)。01に設定すると、MCLKOUTピンは $512 \times f_s$ に設定されます。この周波数は、DSPコアで使用される内部マスター・クロックと同じです。10に設定すると、ピンは内部DSPクロックの2分周によって生成される $256 \times f_s$ に設定されます。このモード時には、出力の $256 f_s$ クロックが入力 $256 f_s$ クロックを基準にして反転されます。これは、フィードスルー・モードには適用されません。11に設定すると、MCLKOUTピンは選択されたMCLK入力ピンをミラーします(これはMCLKマルチプレクサ・セクタの出力です)。DSPの内部マスター・クロックは、選択したMCLKピンの周波数と同じか(MCLK周波数の選択を $512 \times f_s$ モードに設定する場合)、または内部クロック周波数2通倍器を使用してMCLKピンから生成できる(MCLK周波数の選択を $256 \times f_s$ モードに設定する場合)点に注目してください。

ビット2は、2つの利用可能なMCLK入力周波数から1つを選択します。0(デフォルト)に設定すると、MCLK周波数は $512 \times f_s$ に設定されます。このモードでは、内部DSPクロックと外部MCLKが同じ周波数になります。1に設定すると、MCLK周波数は $256 \times f_s$ に設定され、内蔵のクロック周波数2通倍器を使用してDSPクロックを生成します。

ビット5と4は、内部マルチプレクサを使用して3つのクロック入ソースの1つを選択します。MCLKソースのスイッチング時のクリックやポップ・ノイズを防止するために、MCLKソースをスイッチする前にDSPコアをシャットダウン・モードに設定しておくことを推奨します。

AD1954

ビット7と6は、内部マルチプレクサを使用して3つのシリアル入力ソースの1つを選択します。各ソースの選択には、SDATA、LRCLK、BCLKの個別入力が含まれます。シリアル入力ソースのスイッチング時のクリックとポップ・ノイズを防止するために、ビットを書き込む前にDSPコアをシャットダウン・モードに設定しておくことを推奨します。

ビット8は、3本のシリアル出力ピンのイネーブルに使用します。このピンは、ビット7と6で設定されるシリアル入力マルチプレクサの出力に接続されます。デフォルトは0（ディスエーブル）です。

ボリューム・レジスタ

AD1954には、左右とサブウーファの各チャンネルに1個ずつ、合計3個の22ビット・ボリューム・レジスタが内蔵されています。ボリュームが初期値から新しい値に変化するとき、線形ランプを利用して2つの値の間を補間するという、特殊なレジスタです。これにより、ボリュームの変更時に発生する可聴音のクリックやポップが防止されます。1.0（デフォルト）のボリュームから0（ミュート）に、512のオーディオ・フレームでデクリメントするように、ランプが設定されています。ボリューム・レジスタは2.20の2の補数フォーマットが適用されており、010000000000000000000000が1.0として解釈されます。負の値をボリューム・レジスタに書き込むことも可能で、信号を反転できます。負の値は、ランプ機能の期待どおりに作用します。すなわち、1024のLRCLKサイクルで+1.0から-1.0にランプダウンし、ボリュームはその途中で0を通過します。

表 VI. パラメータRAMのデータ内容

アドレス	機能	小数点数値 2.20フォーマットの デフォルト値
0	IIR0左b0	1.0
1	IIR0左b1	0
2	IIR0左b2	0
3	IIR0左a1	0
4	IIR0左a2	0
5	IIR1左b0	1.0
6	IIR1左b1	0
7	IIR1左b2	0
8	IIR1左a1	0
9	IIR1左a2	0
10	IIR2左b0	1.0
11	IIR2左b1	0
12	IIR2左b2	0
13	IIR2左a1	0
14	IIR2左a2	0
15	IIR3左b0	1.0
16	IIR3左b1	0
17	IIR3左b2	0
18	IIR3左a1	0
19	IIR3左a2	0
20	IIR4左b0	1.0
21	IIR4左b1	0
22	IIR4左b2	0
23	IIR4左a1	0
24	IIR4左a2	0
25	IIR5左b0	1.0
26	IIR5左b1	0
27	IIR5左b2	0
28	IIR5左a1	0
29	IIR5左a2	0
30	IIR6左b0	1.0
31	IIR6左b1	0

パラメータRAMのデータ内容

パラメータRAMのデータ内容を表VIに記載しています。パラメータRAMは22ビット幅で、SPIアドレス0-255を占有します。RAMの下位アドレスは、バイワッド・フィルタの制御に使用されます。全部で22個のバイワッド・フィルタがあり、各フィルタには5つの係数が使用されるので、合計で110の係数がメモリに格納されます。メインおよびサブ・コンプレッサの入力／出力特性を定義する、33の係数が割り当てられた2つのテーブルも用意されています。各テーブルにはパワーアップ時に1.0がロードされるので、コンプレッションは行われません。その他のRAMアドレスは、他のコンプレッサ特性、遅延、および空間設定の制御に使用されます。

パラメータRAMは、パワーアップ時に内蔵のブートROMによって初期化されます。デフォルト値（表に示す）ではイコライゼーション、コンプレッション、空間設定、遅延はまったく適用されず、コンプレッサ・セクションでは通常の検出器時定数が設定されます。つまり、パワーアップ時のAD1954の機能は、基本的に信号処理機能を備えない通常のオーディオDACの機能と同じです。

パラメータRAMのデータ・フォーマットは、2の補数の2.20フォーマットです。すなわち、係数は+2.0（-1LSB）から-2.0のレンジ内となり、1.0はバイナリ・ワード010000000000000000000000で表されます。

表 VI. パラメータRAMのデータ内容（続き）

アドレス	機能	小数点数値 2.20フォーマットの デフォルト値
32	IIR6左b2	0
33	IIR6左a1	0
34	IIR6左a2	0
35	IIR0右b0	1.0
36	IIR0右b1	0
37	IIR0右b2	0
38	IIR0右a1	0
39	IIR0右a2	0
40	IIR1右b0	1.0
41	IIR1右b1	0
42	IIR1右b2	0
43	IIR1右a1	0
44	IIR1右a2	0
45	IIR2右b0	1.0
46	IIR2右b1	0
47	IIR2右b2	0
48	IIR2右a1	0
49	IIR2右a2	0
50	IIR3右b0	1.0
51	IIR3右b1	0
52	IIR3右b2	0
53	IIR3右a1	0
54	IIR3右a2	0
55	IIR4右b0	1.0
56	IIR4右b1	0
57	IIR4右b2	0
58	IIR4右a1	0
59	IIR4右a2	0
60	IIR5右b0	1.0
61	IIR5右b1	0
62	IIR5右b2	0
63	IIR5右a1	0

表VI. パラメータRAMのデータ内容 (続き)

アドレス	機能	小数点数値 2.20フォーマットの デフォルト値
64	IIR5右a2	0
65	IIR6右b0	1.0
66	IIR6右b1	0
67	IIR6右b2	0
68	IIR6右a1	0
69	IIR6右a2	0
70	IIR0クロスオーバー左b0	1.0
71	IIR0クロスオーバー左b1	0
72	IIR0クロスオーバー左b2	0
73	IIR0クロスオーバー左a1	0
74	IIR0クロスオーバー左a2	0
75	IIR1クロスオーバー左b0	1.0
76	IIR1クロスオーバー左b1	0
77	IIR1クロスオーバー左b2	0
78	IIR1クロスオーバー左a1	0
79	IIR1クロスオーバー左a2	0
80	IIR0クロスオーバー右b0	1.0
81	IIR0クロスオーバー右b1	0
82	IIR0クロスオーバー右b2	0
83	IIR0クロスオーバー右a1	0
84	IIR0クロスオーバー右a2	0
85	IIR1クロスオーバー右b0	1.0
86	IIR1クロスオーバー右b1	0
87	IIR1クロスオーバー右b2	0
88	IIR1クロスオーバー右a1	0
89	IIR1クロスオーバー右a2	0
90	IIR0クロスオーバー・サブb0	1.0
91	IIR0クロスオーバー・サブb1	0
92	IIR0クロスオーバー・サブb2	0
93	IIR0クロスオーバー・サブa1	0
94	IIR0クロスオーバー・サブa2	0
95	IIR1クロスオーバー・サブb0	1.0
96	IIR1クロスオーバー・サブb1	0
97	IIR1クロスオーバー・サブb2	0
98	IIR1クロスオーバー・サブa1	0
99	IIR1クロスオーバー・サブa2	0
100	IIR2クロスオーバー・サブb0	1.0
101	IIR2クロスオーバー・サブb1	0
102	IIR2クロスオーバー・サブb2	0
103	IIR2クロスオーバー・サブa1	0
104	IIR2クロスオーバー・サブa2	0
105	IIRサブrms b0	1.0
106	IIRサブrms b1	0
107	IIRサブrms b2	0
108	IIRサブrms a1	0
109	IIRサブrms a2	0

表VI. パラメータRAMのデータ内容 (続き)

アドレス	機能	小数点数値 2.20フォーマットの デフォルト値
110 - 142	メイン・コンプレッサのルックアップ・ テーブル・ベース	1.0 (すべて)
143	メイン・コンプレッサのアタック/rms 時定数	5.75×10^{-4} (120dB/秒)
144	メイン・ポスト・コンプレッサのゲイン	1.0
145 - 177	サブウーファ・コンプレッサの ルックアップ・テーブル・ベース	1.0 (すべて)
178	サブ・コンプレッサのアタック/rms 時定数	5.75×10^{-4} (120dB/秒)
179	ポスト・コンプレッサのゲイン(サブ)	1.0
180	ハイパス・フィルタのカットオフ 周波数	3.92×10^{-4}
181	メイン・コンプレッサのルックアヘッド遅延	0
182	左遅延	0
183	右遅延	0
184	サブ遅延	0
185	ステレオ拡散係数	0
186	ステレオ拡散周波数制御	0.112694
187	メイン左へのサブウーファ リ・インジェクション	0.0
188	メイン右へのサブウーファ リ・インジェクション	0.0
189	左入力からのサブウーファ・ チャンネル入力ゲイン	0.5
190	右入力からのサブウーファ・ チャンネル入力ゲイン	0.5
191	メイン検出器のホールド時間、 サンプル(最大4095)	0
192	サブ検出器のホールド時間、 サンプル(最大4095)	0
193	メイン検出器の減衰時間	0.069611 (10000dB/秒)*
194	サブ検出器の減衰時間	0.069611 (10000dB/秒)*
195 - 255	未使用	

* ホールド/リリース回路の減衰時間のデフォルト値は、rms検出器の時定数で減衰を支配するのに十分な速さに設定されます。

AD1954

パラメータ更新オプション

以下の方式の1つを利用して、パラメータおよびプログラムRAMの書き込みと読み出し動作を実行できます。

1. 直接的な読み出し／書き込み。RAMに直接アクセスできます。リアルタイムのDSP動作実行中はRAMも使用されているので、出力にグリッチが発生する可能性があります。この方式は推奨できません。
2. コアのシャットダウン後の直接的な読み出し／書き込み。この方式では、最初にコアをシャットダウンすることでグリッチを回避すると同時に、内部RAMにアクセスできます。これは、パワーアップ時のパラメータRAMの初期化やまったく新しいプログラムのダウンロードなど、大量のデータを転送する場合に推奨されます。初期アドレスに引き続いてデータ・ブロックがRAMに送信されるバースト・モードを使用すると、データ転送動作を迅速化できます。
3. セーフロード書き込み。この方式では、パラメータRAMに格納されるアドレス／データが、最大で5個までのSPIレジスタにロードされます。RAMがビジー状態から解放されたときに、データが要求アドレスに転送されます。この方式は、AD1954が音楽を再生しているときのダイナミックな更新に利用できます。例えば、RAMがビジーではない間に、1オーディオ・フレームで1つのバイクワッド部の完全な更新を実行できます。この方式はプログラムRAMまたは制御レジスタの書き込みに利用することはできません。

次のセクションで、オプションの詳細を説明します。

ソフトシャットダウン・メカニズム

プログラムまたはパラメータRAMに大量のデータを書き込む際には、不要なノイズがオーディオ出力に乗りないようにするために、プロセッサ・コアの動作を停止してください。図18に、このメカニズムのボリューム・エンベロープを図形化しています。以下の説明では、ポイントA-Dを参照します。シリアル制御レジスタ0のビット10（プロセッサ・シャットダウン・ビット）で、プロセッサ・コアをシャットダウンします。プロセッサ・シャットダウン・ビットをアサートすると(A)、持続時間が10ms-20msの自動的なボリューム・ランプダウン・シーケンス(B)が開始され、その後でコアがシャットダウンされます。このコア・シャットダウン方式により、ポップやクリックの発生が防止されます。シャットダウンが完了した後で、制御レジスタ1のビット1が設定されます。このビットが設定されたことをポーリングするか、20ms以上の間待つか、どちらかの方法を選択できます。

コアがシャットダウンされた時点で(C)、パラメータまたはプログラムRAMの書き込みと読み出し動作を自由に実行できます。連続的なデータ・ブロックの大量転送を容易にするために、開始アドレスに引き続いてデータ・ストリームがメモリに送信される、ブロック転送モードを利用できます。新しい書き込みを行うごとに、メモリへのアドレスが自動的にインクリメントされます。このモードの説明は、「SPI読み出し／書き込みデータ・フォーマット」に記載しています。

データの書き込みが終了した時点で、シャットダウン・ビットをクリアできます(D)。その後、プロセッサは持続時間が10ms-20msのボリューム・ランプアップ・シーケンスを開始します。ここでも、これによって、ポップ音やクリッ

ク・ノイズが発生する可能性が少なくなります。

シャットダウン・シーケンスでは、プロセッサが高速ボリューム・ランプ速度に設定されている(制御レジスタ2のビット9)と仮定されている点に注意してください。低速ランプ速度に設定していると、プロセッサがシャットダウンに入る前にボリュームがゼロに到達できなくなるため、クリックやポップが発生することがあります。

セーフロード・メカニズム

多くのアプリケーションでは、バス／トレブル・コントロールやパラメトリックまたはグラフィック・イコライゼーションなどのフィルタ特性をリアルタイムで制御することが要求されます。不安定性の発生を防止するため、特定のバイクワッド・フィルタのパラメータをすべて同時に更新することが必要です。これを怠ると、1~2オーディオ・フレームの間、新旧の係数が混ざった状態でフィルタが実行される可能性が高くなります。新旧の係数が混在すると一時的に不安定性な動作が生じ、減衰に長い時間を要するトランジェントが発生する結果になります。

この問題を解消するためにAD1954で利用されている方式は、パラメータRAMに格納する必要があるアドレスとデータをSPIポートの5個のレジスタ・セットにロードする方法です。各バイクワッド・フィルタの係数が5つずつなので、5個のレジスタが使用されています。レジスタのロードが完了した後で、SPI制御レジスタ1のセーフ転送開始ビットが設定されます。このビットが設定されたら、最低5つの連続的な命令サイクルの間はパラメータRAMがアクセスされないプログラム・シーケンス期間が経過するまで、プロセッサは待機します。プログラム・カウンタがこのポイントに達した時点で、セーフロード・レジスタに入力された値に該当するアドレスの5つの新しいデータ値がパラメータRAMに書き込まれます。この動作が完了すると、制御レジスタ1のビット0が設定されます。1が読み出されるまで、このビットを外部のマイクロプロセッサからポーリングされます。読み出し動作時にビットがリセットされます。ポーリング動作は必要ありません。1オーディオ・フレーム以内での転送完了が、セーフロード・メカニズムによって保証されるためです。

セーフロード・ロジックは、最後のセーフロード動作以降に書き込まれたセーフロード・レジスタのデータのみを自動的に送信します。たとえば、送信されるパラメータが2つだけの場合は、5個のセーフロード・レジスタのうち2個に書き込むだけで済みます。セーフ転送要求ビットがアサートされると、2個のレジスタのデータのみが転送されます。残り3個のレジスタのデータは送信されず、古いデータまたは無効データが保持されます。

セーフロード・メカニズムは、バイクワッド係数のアップロードのみに限定されるわけではありません。パラメータRAMの任意の5つの数値セットを同様の方法で更新することが可能です。これにより、コンプレッサ／リミッタ、遅延、またはステレオ拡散ブロックのリアルタイム調整が行えます。

RAMモードの要約

パラメータRAMとプログラムRAMのサイズ、および実行可能なモードを表VIIIに記載します。

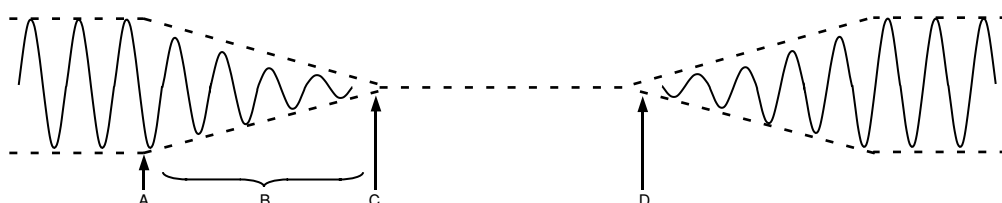


図18. シャットダウン・メカニズムを使ったプログラムRAMの全パラメータのアップロードの推奨シーケンス

表 VII. 読み出し/書き込みモード

メモリ	サイズ	SPIアドレス・レンジ	読み出し	書き込み	バースト・モードの利用	書き込みモード
パラメータRAM	256×22	0-255	可能	可能	可能	直接的な書き込み、コアのシャットダウン後の書き込み、セーフロード書き込み
プログラムRAM	512×35	512-1023	可能	可能	可能	直接的な書き込み、コアのシャットダウン後の書き込み

表 VIII. パラメータRAMの読み出し/書き込みフォーマット (シングル・アドレス)

バイト0	バイト1	バイト2	バイト3	バイト4
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	00、パラメータ[21:16]	パラメータ[15:8]	パラメータ[7:0]

表 IX. パラメータRAMのブロック読み出し/書き込みフォーマット (バースト・モード)

バイト0	バイト1	バイト2	バイト3	バイト4	バイト5	バイト6	バイト7	バイト8	...
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	00、パラメータ[21:16]	パラメータ[15:8]	パラメータ[7:0]					

← アドレス → アドレス + 1 アドレス + 2

表 X. プログラムRAMの読み出し/書き込みフォーマット (シングル・アドレス)

バイト0	バイト1	バイト2	バイト3	バイト4	バイト5	バイト6
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	00000、プログラム[34:32]	プログラム[31:24]	プログラム[23:16]	プログラム[15:8]	プログラム[7:0]

表 XI. プログラムRAMのブロック読み出し/書き込みフォーマット (バースト・モード)

バイト0	バイト1	バイト2	バイト3	バイト4	バイト5	バイト6	バイト7	バイト8	...
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	00000、プログラム[34:32]	プログラム[31:24]	プログラム[23:16]	プログラム[15:8]	プログラム[7:0]			

← アドレス → アドレス + 1 アドレス + 2

表 XII. SPI制御レジスタ1の書き込みフォーマット

バイト0	バイト1	バイト2	バイト3
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	0000、ビット[11:8]	ビット[7:0]

表 XIII. SPI制御レジスタ1の読み出しフォーマット

バイト0	バイト1	バイト2
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	000000、ビット[1:0]

表 XIV. SPI制御レジスタ2の書き込みフォーマット

バイト0	バイト1	バイト2	バイト3
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	000000、ビット[9:8]	ビット[7:0]

表 XV. SPIボリュームレジスタの書き込みフォーマット

バイト0	バイト1	バイト2	バイト3	バイト4
000000、アドレス[9:8]	アドレス[7:0]	00、ボリューム[21:16]	ボリューム[15:8]	ボリューム[7:0]

AD1954

表 XVI. データ・キャプチャ・レジスタの書き込みフォーマット

バイト0	バイト1	バイト2	バイト3
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	00000、ProgCount[8:6] ¹	ProgCount[5:0]、RegSel[1:0] ^{1, 2}

注

1. ProgCount[8:6] = トラップ発生時のプログラム・カウンタの値 (表XXを参照)
2. RegSel[1:0]は、4個のレジスタのうち1個を選択します (「データ・キャプチャ・レジスタ」を参照)。

表 XVII. データ・キャプチャ・シリアル出力レジスタ (アドレスおよびレジスタ選択) の書き込みフォーマット

バイト0	バイト1	バイト2	バイト3
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	00000、ProgCount[8:6] ¹	ProgCount[5:0]、RegSel[1:0] ^{1, 2}

注

1. ProgCount[8:6] = トラップ発生時のプログラム・カウンタの値 (表XXを参照)
2. RegSel[1:0]は、4個のレジスタのうち1個を選択します (「データ・キャプチャ・レジスタ」を参照)。

表 XVIII. データ・キャプチャ・レジスタの読み出しフォーマット

バイト0	バイト1	バイト2	バイト3	バイト4	バイト5
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	00000000	データ[23:16]	データ[15:8]	データ[7:0]

表 XIX. セーフロード・レジスタの書き込みフォーマット

バイト0	バイト1	バイト2	バイト3	バイト4	バイト5
00000、R/Wb、アドレス[9:8]	アドレス[7:0]	パラメータ・アドレス[7:0]	00、パラメータ[21:16]	パラメータ[15:8]	パラメータ[7:0]

SPI読み出し/書き込みデータ・フォーマット

SPIポートの読み出し/書き込みフォーマットは、バイト単位で設計されています。したがって、一般的なマイクロコントローラ・チップを容易にプログラミングできます。バイト指向フォーマットに適合するために、0がデータ・フィールドに追加され、データ・ワードが次の8ビットの倍数に拡張されます。たとえば、SPIパラメータRAMに書き込まれる22ビット・ワードは、先頭に0が2個追加されて24ビット(3バイト)になり、またプログラムRAMに書き込まれる35ビット・ワードは、0が5個追加されて40ビット(5バイト)になります。このゼロ拡張データ・フィールドは、読み出し/書き込みビットと10ビット・アドレスで構成される2バイト・フィールドに追加されます。SPIポートは最初の2バイトで受信されるアドレスに基づいて、予測されるデータ・バイト数を認識します。

記憶位置が1つのSPI書き込みコマンドの合計バイト数は、4バイト(制御レジスタの書き込みの場合)から7バイト(プログラムRAMの書き込みの場合)まで変更できます。プログラムRAMまたはパラメータRAMの連続した記憶位置へのデータ・ロードに、ブロック書き込みの利用が可能です。

初期化

パワーアップ・シーケンス

AD1954には、内蔵RAMのデータ内容を初期化するパワーアップ・シーケンスが組み込まれています。パワーアップ中に、内部プログラム・ブートROMのデータ内容が内部プログラムRAMメモリにコピーされ、同様にSPIパラメータRAMには関連するブートROMから値がロードされます。この間に、データ・メモリもクリアされます。

ブート・シーケンスは1024 MCLKサイクルにわたって持続し、RESETBピンの立ち上がりエッジで開始されます。ブート・シーケンスには安定したマスター・クロックが必要なため、この間はSPIレジスタの書き込みまたは読み出し動作を回避する必要があります。内部クロック・モード回路の電源投入時のデフォルト状態は512×f_S、つまり通常のオーディオ・サンプル・レートで約24MHzです。このモ

ードはすべての内部クロック2通倍器をバイパスし、外部マスター・クロックによるDSPコアの直接的な動作が可能です。外部マスター・クロックが256×f_Sの場合には、この低いクロック・レートでブート・シーケンスが動作するため、完了までの所要時間が多少長くなります。ブート・シーケンスが終了したら、SPIポートを介してクロック・モードを設定できます。たとえば、外部マスター・クロック周波数が256×f_Sクロックの場合には、1024個の256×f_Sクロック・サイクルでブート・シーケンスが完了し、その後でSPI書き込みでAD1954を256×f_Sモードに設定できます。

MCLK入力セレクタのデフォルト・ステートはMCLK0です。入力セレクタはSPIポートを使用して制御されますが、ブート・シーケンスが終了するまでSPIポートの書き込みができないので、起動時にMCLK0ピン上に安定したマスター・クロック信号が印加されることが必要です。

クロック・モードの設定

AD1954には、外部クロックが256×f_Sのときに512×f_Sの内部クロックを生成するために使用するクロック周波数2通倍回路を内蔵しています。クロック・モードの設定は、制御レジスタ2のビット2の書き込みによって行います。

クロック・モードの変更時に、内部MCLK信号でグリッチが発生する可能性があります。これにより、プロセッサがデータRAMに誤った値を書き込む事態が引き起こされ、オーディオ・ポップやクリック音の原因となります。これを防止するため、以下の手順に従うことを推奨します。

1. 内部MCLKを停止するために、ソフト・パワーダウン・ビット(制御レジスタ1のビット6)をアサートします。
2. 目的のクロック・モードを制御レジスタ2のビット2に書き込みます。
3. クロック周波数2通倍器が安定するまで、少なくとも1ms待ちます。
4. ソフト・パワーダウン・ビットのアサートを解除します。

別の手順として、制御レジスタ1のプログラム停止ビットに1を書き込むことでプロセッサ・コアのソフト・シャットダウンを起動する方法もあります。この設定で、ボリューム・ランプダウン・シーケンスが開始され、続いてDSPコアがシャットダウンされます。コアがシャットダウンされた後で(制御レジスタ1のビット1を読み出すか、最低20ms待つことで確認可能)、制御レジスタ2のビット2への書き込みで新しいクロック・モードをプログラミング設定できます。その後、制御レジスタ1のプログラム停止ビットをクリアして、DSPコアを再起動することができます。

データおよびMCLK入力セクタの設定

AD1954には、シリアル・データ入力とMCLK入力の両方に対応した入力セクタが用意されています。このため、ハードウェアを外付けしなくても、各種の入力およびクロック・ソースを選択できます。入力セクタの制御は、SPI制御レジスタ2の書き込みで行います。

データ・ソースまたはMCLKソースをSPIポートの書き込みで変更すると、オーディオ再生でポップやクリック音が発生する可能性があります。このノイズを防止するには、制御レジスタ1のプログラム停止ビットに1を書き込んで、コアをシャットダウンする必要があります。この設定で、ボリューム・ランプダウン・シーケンスが開始され、続いてDSPコアがシャットダウンされます。コアがシャットダウンされた後で(制御レジスタ1のビット1を読み出すか、プログラム停止コマンド発行後、最低20ms待つことで確認可能)、制御レジスタ2への書き込みで、新しいデータまたはMCLKソースをプログラミング設定できます。その後、制御レジスタ1のプログラム停止ビットをクリアして、DSPコアを再起動することができます。

データ・キャプチャ・レジスタ

AD1954には、データ・キャプチャと呼ばれる機能が内蔵されています。この機能を利用して、信号処理フローの任意のノードをSPI読み出し可能レジスタまたは専用シリアル出力ピンに送信できます。これにより、AD1954の基本的な機能を数多くのチャンネルに拡張できます。別の方法として、信号レベルやコンプレッサ／リミッタの動作に関する情報のモニターまたは表示に、この機能を利用することもできます。

AD1954は、4個の独立したデータ・キャプチャ・レジスタを備えています。うち2個のレジスタが、レジスタのデータをデータ・キャプチャ・シリアル出力(DCSOUT)ピンに転送します。このピンのシリアル・データ・フォーマットは、メインのデジタル入力に使用されるフォーマットと同じなので、LRCLKとBCLKの各信号をフレーム同期およびビット・クロック信号として使用できます。このピンの主目的は、内部DSPがアクセスできるチャンネルの数を拡張するために、外部のDACまたはDSPに信号を供給することです。他の2個のレジスタは、SPIポート経由でリードバックでき、各種の目的に使われます。一例として、内部rms検出器のdB出力にアクセスして、フロントパネルの信号レベル・ディスプレイを動作させる方法があります。図19にシステム例を示します。このケースでは、4個のデータ・キャプチャ・レジスタそれぞれに対して、キャプチャ・カウントとレジスタ選択を設定する必要があります。キャプチャ・カウントは、キャプチャが実行されるプログラムのステップ数に相当し、0から511までの数値になります。プログラム・カウンタがキャプチャ・カウントと等しい値になったときに、特定のデータ・キャプチャ・レジスタに転送されるように、DSPコアの4個のレジスタのうち1個をレジスタ選択フィールドでプログラミング設定します。レジスタ選択フィールドは、以下のようにデコードされます。

- 00: 乗算器出力 (Mult_Out)
- 01: dB変換ブロックの出力 (DB_OUT)
- 10: 乗算器データ入力 (MDI)
- 11: 乗算器係数入力 (MCI)

キャプチャ・カウントおよびレジスタ選択ビットは、以下のSPIアドレスの4個のデータ・キャプチャ・レジスタのうち1個に書き込むことで設定します。

- 261: SPIデータ・キャプチャ・セットアップ・レジスタ1
- 262: SPIデータ・キャプチャ・セットアップ・レジスタ2
- 263: データ・キャプチャ・シリアル出力セットアップ・レジスタ1
- 264: データ・キャプチャ・シリアル出力セットアップ・レジスタ2

取り込まれるデータのフォーマットは、レジスタ選択フィールドに応じて異なります。Mult_Outの設定から取り込まれるデータは1.23の2の補数フォーマットで、フルスケール入力信号に対応してフルスケールのデジタル出力を供給します(処理が行われないものと仮定)。入力-出力間のゲインが0dBよりも大きくなるようにパラメータを設定すると、デジタル出力がクリップされません。

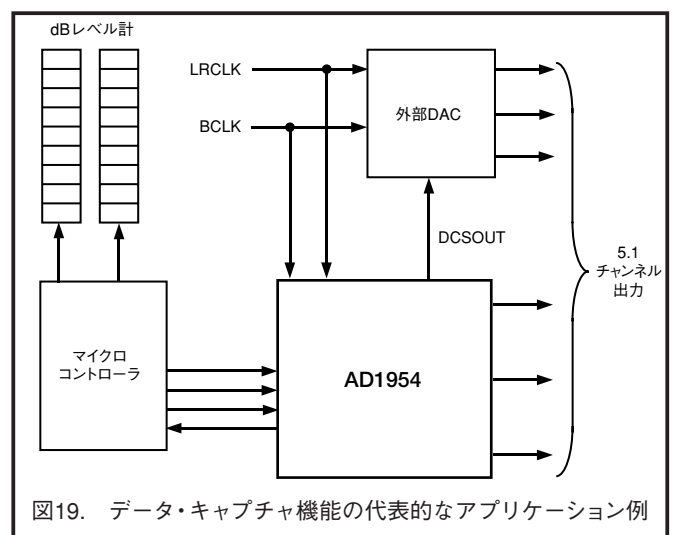
DB_OUTの設定から取り込まれるデータは5.19フォーマットになり、実際のrms dBレベルは $-87 + (3 \times DB_OUT)$ に等しくなります。この式で、DB_OUTは取り込まれるデータ値です。したがって、このデータ・フォーマットで実際に読み込まれる出力値は、 -87dB から $+9\text{dB}$ までになります。AD1954では、0dBがフルスケール・デジタル信号のrms値であるという規約が適用されます。

MDIの設定を使用して取り込まれるデータは、3.21フォーマットです。AD1954が処理動作を行わないものと仮定した場合、0dBのデジタル入力 -12dB のデジタル出力を生成します。

MCIの設定を使用して取り込まれるデータは、2.20フォーマットです。このデータは一般的に信号ゲインまたはフィルタ係数であり、入力-出力間のゲインは関係ありません。01000000000000000000の係数が1.0のゲインに相当します。

データ・キャプチャをセットアップするには、9ビットのプログラム・カウント・インデックスと2ビットのレジスタ選択フィールド値を組み合わせたデータを書き込むことが必要です。信号処理フローでモニターする必要のあるポイントに対応するキャプチャ・カウントとレジスタ選択の値については、表XXを参照してください。

SPIキャプチャ・レジスタにアクセスするには、SPI記憶位置261 (SPIキャプチャ・レジスタ1の場合)または262 (SPIキャプチャ・レジスタ2の場合)から読み出し動作を行います。残り2個のデータ・キャプチャ・レジスタ(データ・キャプチャ・シリアル出力)は、レジスタのデータをデータ・キャプチャ・シリアル出力(DCSOUT)ピンに自動的に転送します。DCSOUTキャプチャ・レジスタ1は左側のデータ・スロットに配置され(シリアル入力フォーマットの定義に準拠)、DCSOUTキャプチャ・レジスタ2は右側のデータ・スロットに配置されます。SPIデータ・キャプチャ・セットアップ・レジスタへの書き込みフォーマットについては、本データシートのSPI関連セクションに記載しています。



AD1954

表XX. データ・キャプチャのトラップ・インデックスとレジスタ選択

信号名称	プログラム・カウント・インデックス(9ビット)	レジスタ選択(2ビット)	数値フォーマット
左HPF出力	15	Mult_Out	1.23、クリップ
右HPF出力	259	Mult_Out	1.23、クリップ
左ディエンファシス出力	19	Mult_Out	1.23、クリップ
右ディエンファシス出力	263	Mult_Out	1.23、クリップ
左バイクワッド0出力	34	Mult_Out	1.23、クリップ
左バイクワッド1出力	43	Mult_Out	1.23、クリップ
左バイクワッド2出力	52	Mult_Out	1.23、クリップ
左バイクワッド3出力	61	Mult_Out	1.23、クリップ
左バイクワッド4出力	70	Mult_Out	1.23、クリップ
左バイクワッド5出力	79	Mult_Out	1.23、クリップ
左バイクワッド6出力	88	Mult_Out	1.23、クリップ
右バイクワッド0出力	284	Mult_Out	1.23、クリップ
右バイクワッド1出力	293	Mult_Out	1.23、クリップ
右バイクワッド2出力	302	Mult_Out	1.23、クリップ
右バイクワッド3出力	311	Mult_Out	1.23、クリップ
右バイクワッド4出力	320	Mult_Out	1.23、クリップ
右バイクワッド5出力	329	Mult_Out	1.23、クリップ
右バイクワッド6出力	338	Mult_Out	1.23、クリップ
左ボリューム出力	114	Mult_Out	1.23、クリップ
右ボリューム出力	111	Mult_Out	1.23、クリップ
サブ・ボリューム出力	459	Mult_Out	1.23、クリップ
左スパシャライザ出力	115	Mult_Out	1.23、クリップ
右スパシャライザ出力	112	Mult_Out	1.23、クリップ
左遅延出力	190	Mult_Out	1.23、クリップ
右遅延出力	361	Mult_Out	1.23、クリップ
メイン・コンプレッサrms出力 (dB)	154	DB_Out	24ビット正バイナリ、ビット19が3dB変化に相当
メイン・コンプレッサ・ゲイン・リダクション(リニア)	165	MCI	2.22、2LSB = 0
左ルックアヘッド遅延出力	165	MDI	3.21、2LSBを切り捨て
右ルックアヘッド遅延出力	178	MDI	3.21、2LSBを切り捨て
左メイン・コンプレッサ出力	175	Mult_Out	1.23、クリップ
右メイン・コンプレッサ出力	188	Mult_Out	1.23、クリップ
左補間回路入力 (サブ・リ・インジェクトを含む)	191	Mult_Out	1.23、クリップ
右補間回路入力 (サブ・リ・インジェクトを含む)	362	Mult_Out	1.23、クリップ
サブチャンネル・フィルタ入力	430	Mult_Out	1.23、クリップ
サブ・クロスオーバ・バイクワッド0出力	438	Mult_Out	1.23、クリップ
サブ・クロスオーバ・バイクワッド1出力	447	Mult_Out	1.23、クリップ
サブ・クロスオーバ・バイクワッド2出力	456	Mult_Out	1.23、クリップ
左クロスオーバ・バイクワッド0出力	99	Mult_Out	1.23、クリップ
左クロスオーバ・バイクワッド1出力	108	Mult_Out	1.23、クリップ
右クロスオーバ・バイクワッド0出力	349	Mult_Out	1.23、クリップ
右クロスオーバ・バイクワッド1出力	358	Mult_Out	1.23、クリップ
サブ遅延出力	511	Mult_Out	1.23、クリップ
サブrmsバイクワッド出力	467	Mult_Out	1.23、クリップ
サブrms出力 (dB)	489	DB_Out	24ビット正バイナリ、ビット019が3dB変化に相当
サブ・コンプレッサ・ゲイン(リニア)	495	MCI	2.22、2LSB = 0
サブチャンネル出力	511	Mult_Out	1.23、クリップ

シリアル・データ入力ポート

AD1954のフレキシブルなシリアル・データ入力ポートは、2の補数フォーマットのデータをMSBファーストで受け入れます。左チャンネルのデータ・フィールドが右チャンネルのデータ・フィールドよりも常に先行されます。シリアル・モードの設定は、SPI制御レジスタのモード選択ビットを使用して行います。右詰めモードを除くすべてのモードで、シリアル・ポートは最大24ビットまでの任意のビット値を受け入れます(さらにビット値を追加してもエラーは発生しませんが、内部で切り捨てられます)。右詰めモードのときには、SPI制御レジスタのビットはワード長を16ビット、20ビット、または24ビットに設定するのに使用されます。パワーアップ時のデフォルト設定は24ビット・モードです。右詰めモードを正しく動作させるには、1オーディオ・フレーム当たり正確に64個のBCLKが存在することが必要です。

シリアル・データ入力モード

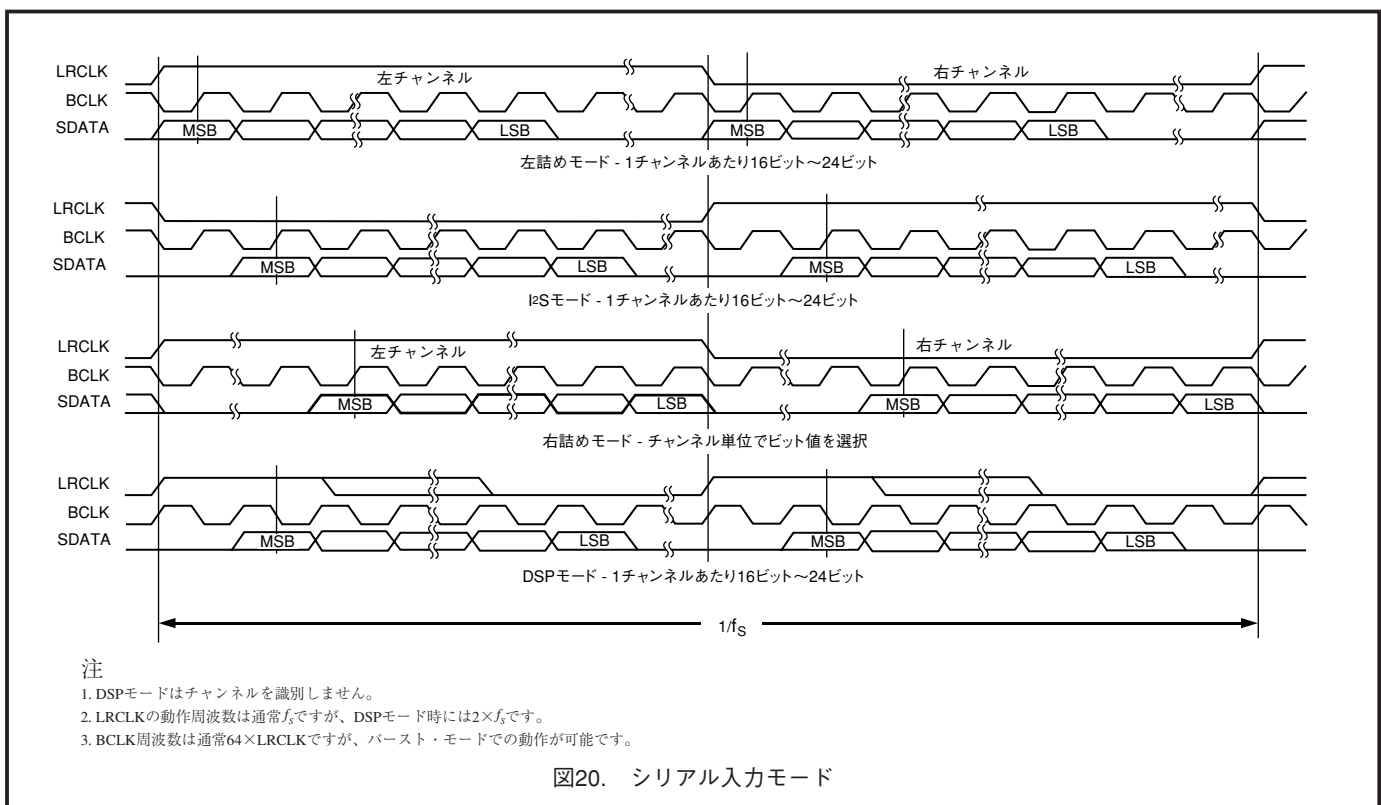
図20にシリアル入力モードのタイミングを示します。左詰めモードのとき、LRCLKは左チャンネルに対してハイ、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジでサンプリングされます。MSBはLRCLKの遷移のときに左詰めされ、その際にMSB遅延はありません。左詰めモードでは、最大24ビットまでの任意のワード長が受け入れられます。

IPSモード時には、LRCLKは左チャンネルに対してロー、右チャン

ネルに対してハイになります。データは、BCLKの立ち上がりエッジで有効になります。MSBはLRCLKの遷移のときに左詰めされますが、1BCLKサイクル分の遅延があります。IPSモードでは、最大24ビットまでの任意のビットが受け入れられます。

右詰めモードのときには、LRCLKは左チャンネルに対してハイ、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジでサンプリングされます。データの開始は、選択されたワード長に応じて、LRCLKのエッジから16 BCLK、12 BCLK、または8 BCLKのインターバルだけ遅延されます。ワード長のデフォルト値は24ビットです。これ以外のワード長を設定するときには、制御レジスタ1のビット1と0に書き込みを行います。右詰めモード時には、1フレームあたり64個のBCLKが存在すると仮定されます。

DSPシリアル・ポート・モードのときには、左チャンネルのMSBが有効になる前の最低1ビット・クロック・サイクルの間LRCLKがハイに保持されることが必要であり、さらに右チャンネルのMSBが有効になる前の最低1ビット・クロック・サイクルの間、LRCLKが再びハイに保持されることが要求されます。データは、BCLKの立ち下がりエッジでサンプリングされます。DSPシリアル・ポート・モードは、最大24ビットまでの任意のワード長に対応して使用できます。このモードでは、先頭のLRCLKパルスで左データが送信され、そのポイント以降は同期が維持されることを保証するタスクは、DSPによって実行されます。



AD1954

デジタル制御ピン

ミュート

AD1954では、アナログ出力をミュートする2つの方法があります。ミュート信号をハイにアサートすることで、左右とサブの各チャンネルがミュートされます。他の方法として、シリアル制御レジスタのミュート・ビットをハイにアサートすることもできます。AD1954は、ゲインの自動的なランプアップまたはランプダウンによって、ミュートおよび解除時に発生するポップやクリック音を最小限に抑えるように設計されています。ミュートを解除すると、ボリュームはボリューム・レジスタで設定された値に戻ります。

ディエンファシス

AD1954には、標準的なレッドブックの $50\mu\text{s}/15\mu\text{s}$ エンファシス応答曲線でエンコードされたCDのデコーディングに使用できるディエンファシス・フィルタが内蔵されています。この機能は、ピンまたは制御レジスタのSPI書き込みによって起動します。ピンによる起動時に利用できる応答曲線は、サンプル・レート44.1kHzの曲線に限られます。SPIポートの使用時には、44.1kHz、32kHz、48kHzの応答曲線を利用できます。

アナログ出力部

アナログ出力部のブロック図を図21に示します。一連の電流源がデジタル・シグマ-デルタ変調器によって制御されます。変調器からのデジタル・コードに応じて、各電流源は正または負のどちらかの電流/電圧変換器のサミング・ジャンクションに接続されます。ミッドスケールのコモン・モード電圧を設定するために、プルではなくプッシュの電流源が2つ追加されています。

電流源はすべて、VREF入力ピンに応じて動作します。AD1954のゲインは電流源のレベルと直接的に比例するので、AD1954のゲインはVREFピン上の電圧と比例することになります。VREFを2.25Vに設定すると、AD1954のゲインは差動 2V_{rms} （各ピンから 1V_{rms} ）の信号振幅が得られるように設定されます。これが推奨動作条件です。

AD1954をオーディオ・パワーアンプの駆動に使用し、コンプレッション機能を利用する場合には、アンプの電源電圧を分圧する方法でVREF電圧を生成することが必要です。この方法によって、デジタル信号レベル（デジタル・コンプレッサで利用できる唯一の情報）とアンプのフルスケール出力（クリッピング開始の直前）との間に固定された関係が設定されます。例えば、アンプの電源が10%低下すると、アンプのVREF入力電圧も10%低下し、これに伴ってアナログ出力の信号振幅が10%低下します。したがって、アンプの電源電圧変動に関係なく、コンプレッサが効果的にクリッピングを防止します。

VREF入力は実質的に信号を乗算するので、このピン上にAC信号が乗らないように注意を払う必要があります。具体的な方法としては、外付けのVREF抵抗分圧回路に大容量デカップリング用コンデンサを接続します。5Vアナログ電源の分圧でVREF信号を生成する場合には、分圧器の時定数が電源ノイズをすべて効果的にフィルタリングすることが必要です。レギュレーションされていないパワーアンプ電源からVREF信号を生成する際には、時定数をさらに大きくする必要があります。その理由は、アンプの電源電圧リップルが5V電源の場合よりも大きくなることが予測されるためです。

AD1954では、各出力チャンネルに3次フィルタを外付けします。図22に示す回路では、同じ回路に3次フィルタとシングルエンド/差動変換器を組み合わせて使用しています。メイン・チャンネルで使用されている部品の値は100kHzのベッセル・フィルタ用で、サブウーファ・チャンネル（図23）で使用されている部品の値は10kHzのベッセル・フィルタに対応しています。サブウーファ信号経路にはデジタル補間フィルタが使用されていないので、周波数を低くしたフィルタがサブウーファ出力で使用されています。フィルタの抵抗値を計算する際には、AD1954の出力抵抗値 60Ω （nominal）を考慮に入れることが重要です。最良の歪み性能を確保するには、許容誤差レンジが1%の抵抗を使用する必要があります。AD1954のシングルエンド性能が約80dBであることが、その理由です。最終出力でシングルエンド歪みがキャンセルされる度合いは、外部アナログ・フィルタのコモン・モード除去性能で決まりますが、コモン・モード除去性能はフィルタで使用される部品の許容誤差に依存します。

AD1954のサブ出力のドライブ能力は、左右の出力ピンよりも低くなっています（左右出力が $\pm 0.5\text{mA}$ ピークであるのに対して $\pm 0.25\text{mA}$ ピーク）。このため、サブ出力の外付けフィルタには、より高い値の抵抗を使用する方法がベストです。

最適な性能を確保するために、FILTCAPピンとアナログ・グラウンド間に容量の大きい（ $> 10\mu\text{F}$ ）コンデンサを接続してください。このピンをバイアス発生器の内部ノードに接続し、コンデンサを外付けすると、左/右チャンネルの熱的ノイズが最小限に抑えられます。サブチャンネルは、この接続には影響されません。

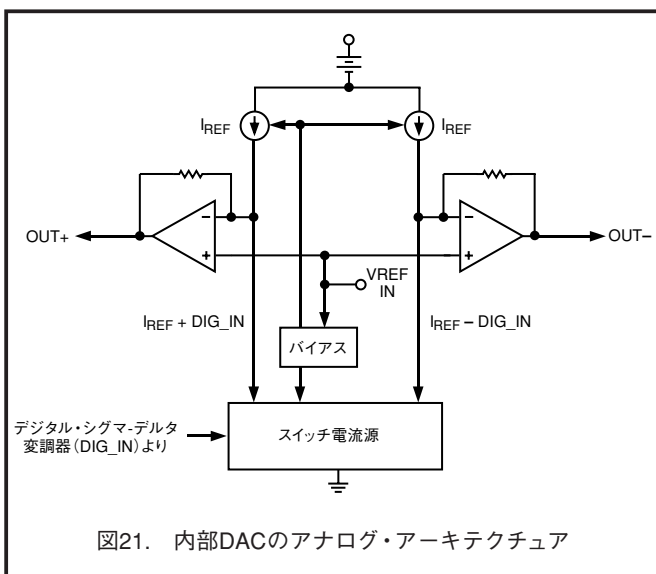


図21. 内部DACのアナログ・アーキテクチャ

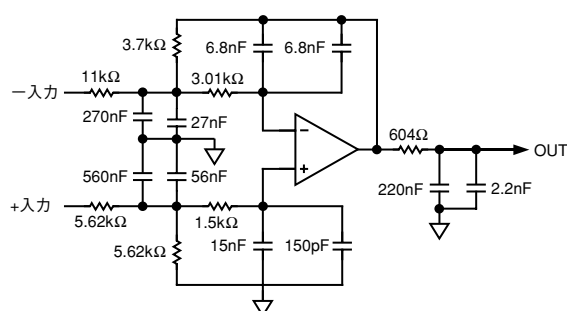


図22. サブチャンネル用の推奨外付けアナログ・フィルタ

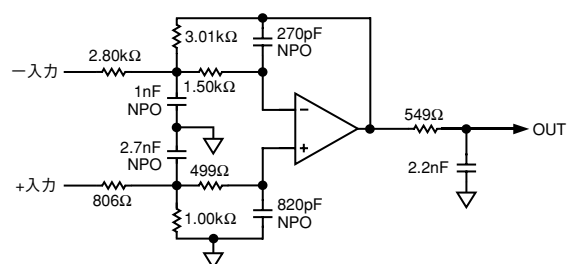


図23. メイン・チャンネル用の推奨外付けアナログ・フィルタ

グラフィカル・カスタム・プログラミング用ツール

弊社では、AD1954向けのカスタム・プログラミング用ツールを用意しています。グラフィカル・ツールを利用すると、各ブロック（たとえば、バイクワッド・フィルタ、Phat Stereo、ダイナミクス・プロセッサなど）を個別に配置し、望み通りの方法で接続して、デフォルトの信号処理フローを変更することが可能です。その後、プログラムによって、AD1954のプログラムRAMにロードするファイルを作成します。このツールを利用して、パラメータRAMのデータ内容のすべてを設定することもできます。プログラミング・ツールに関する詳細な情報は、SigmaDSP@analog.comまでお問い合わせください。

AD1954

付録

オーディオEQのバイクワッド係数に関する公式解説書

(Robert Bristow-Johnsonのインターネット掲示情報に基づいて編集)

パラメータEQの設計は、以下の手順に従ってください。

1. 以下のパラメータを指定します。

周波数

Q

dB_Gain

Sample_Rate

2. 中間変数を計算します。

$$A = 10^{(dB_Gain/40)}$$

$$\Omega = 2 \times \pi \times \text{周波数} / \text{Sample_Rate}$$

$$sn = \sin(\Omega)$$

$$cs = \cos(\Omega)$$

$$\alpha = sn / (2 \times Q)$$

3. 係数を計算します。

$$b0 = (1 + A \times \alpha) / (1 + (\alpha/A))$$

$$b1 = -2 \times cs / (1 + (\alpha/A))$$

$$b2 = (1 - (\alpha \times A)) / (1 + (\alpha/A))$$

$$a1 = 2 \times cs / (1 + (\alpha/A)) = -b1$$

$$a2 = -(1 - (\alpha/A)) / (1 + (\alpha/A))$$

4. AD1954によって実行される伝達関数は以下の式です。

$$H(Z) = (b0 + b1 \times Z^{-1} + b2 \times Z^{-2}) / (1 - a1 \times Z^{-1} - a2 \times Z^{-2})$$

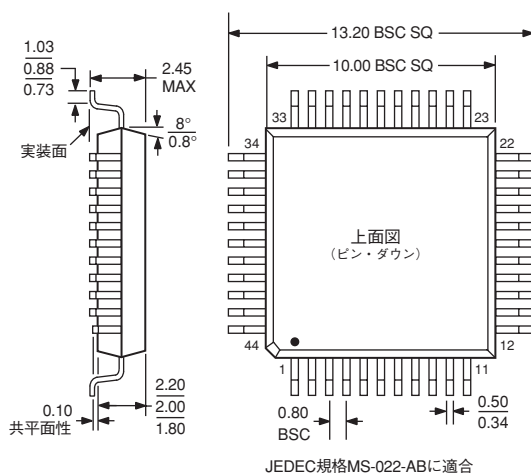
a1とa2の符号反転は、より標準的な形式に関連している点に注意してください。本データシートでは、この形式を使用しています。その理由は、AD1954では差分方程式に以下の公式が適用されるためです。

$$Y(n) = a1 \times y(n-1) + a2 \times y(n-2) + b0 \times x(n) + b1 \times x(n-1) + b2 \times x(n-2)$$

外形寸法

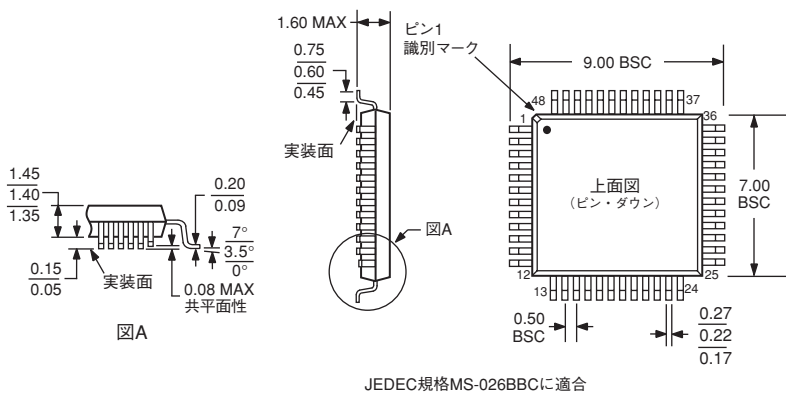
44ピン・プラスチック・クワッド・フラットパッケージ [MQFP] (S-44)

サイズはmmで示します。



48ピン・プラスチック・クワッド・フラットパッケージ [LQFP] (ST-48)

サイズはmmで示します。



AD1954

AD1954

TDS10/2002/700

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。