

特長

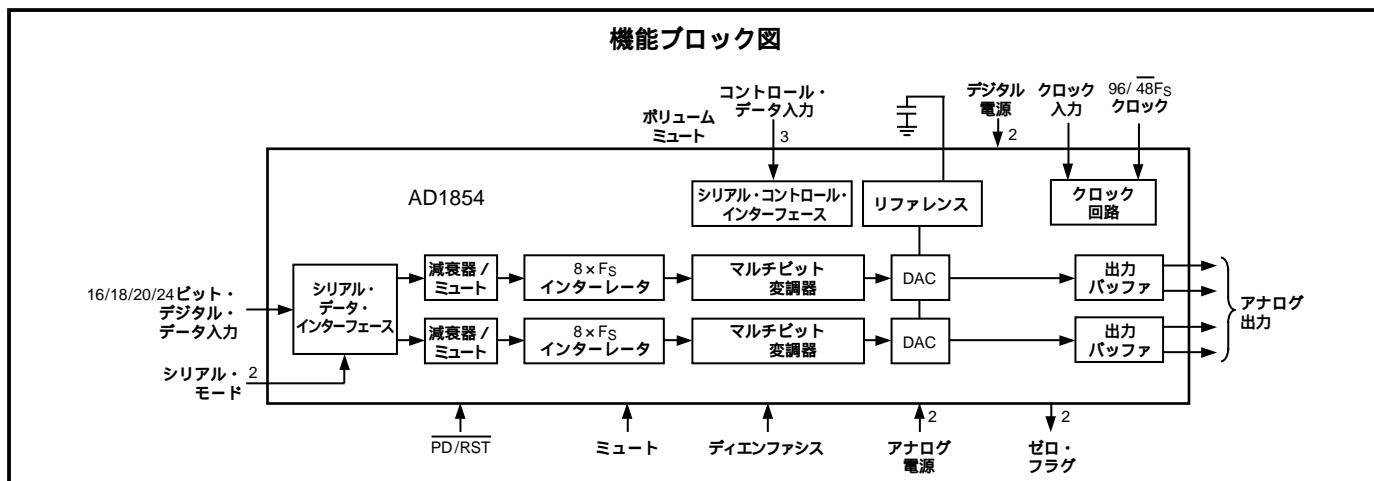
- 5Vのステレオ・オーディオDACシステム
- 16/18/20/24ビット・データ入力可能
- 24ビットで96kHzのサンプル・レートをサポート
- アイドル・トーンとノイズ・フロアを低減して“完全な微分直線性を再現”するマルチビット モジュレータ
- 高いジッター耐性を備えたデータ・ダイレクト・スクランプリング DAC
- 最適性能を引き出す差動出力
- ダイナミックレンジ：113dB（サンプル・レート48kHz時）
（AD1854KRS）
- S/N比：112dB（サンプル・レート48kHz時）（AD1854KRS）
- THD+N：-101dB（AD1854KRS）
- 1024ステップのボリューム・コントロール内蔵
- ハードウェア/ソフトウェア制御可能なクリックレス ミュート機能
- 左/右チャンネルに対するゼロフラグ出力
- デジタル・ディエンファシス
- 256fs/384fs/512fsのマスター・モード・クロックをサポート
- 切り替え可能なクロック・ダブラー
- ソフト・パワーダウン・モードを含むパワーダウン・モード
- フレキシブルなシリアル・データ・ポート：右詰め、左詰め、
I²S互換モードが可能
- 28ピンSSOPプラスチック・パッケージ

アプリケーション

DVD、CD、セットトップ・ボックス、ホーム・シアター・システム、車載オーディオ・システム、サンプリング・ミュージカル・キーボード、デジタル・ミキシング・コンソール、デジタル・オーディオ効果プロセッサ

概要

AD1854は、113dBのダイナミックレンジと112dBのS/N比（ $f_s = 48\text{kHz}$ 、Aウェイト、非ミュート時）を提供する、シングルチップの高性能ステレオ・オーディオDACです。ディザ機能付きマルチビット モジュレータ、連続時間アナログ・フィルタ、アナログ出力回路から構成されています。その他、SPI互換のシリアル・コントロール・ポート経由で設定できるステレオ減衰器とミュート回路などの機能を内蔵しています。AD1854は、サンプル周波数96kHz、24ビット対応などの現行DVDフォーマットと完全な互換性を持っています。“Redbook”に規定されたCDディスク再生用の44.1kHzサンプル周波数の50 μs /15 μs デジタル・ディエンファシスをサポートして、下位互換性も備えています。AD1854は非常にシンプルでフレキシブルなシリアル・データ入力ポートを内蔵しており、あらゆるADC、DSPチップ、AES/EBUレシーバ、サンプル・レート・コンバータなどと、外付け回路なしで接続できます。AD1854は、左詰め、I²S、右詰め、DSPシリアル・ポート互換モードに設定できます。入力信号は、MSBファーストの2の補数フォーマットのシリアル・オーディオ・データです。パワーダウン・モードを使用して、非アクティブ時の消費電力を削減できます。AD1854は+5V単電源動作で、28ピンSSOPパッケージのワンチップ・モノリシックICとして製造され、0~+70 の温度範囲で仕様規定されています。



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD1854—仕様

特に注記がない場合は、以下のテスト条件を使用

電源電圧 (AV _{DD} 、DV _{DD})	5.0V
周辺温度	25
入力クロック	12.288MHz (256 × F _S モード)
入力信号	1.0013kHz - 0.5dBフル・スケール
入力サンプル・レート	48kHz
測定帯域幅	20Hz ~ 20kHz
ワード幅	20ビット
負荷容量	100pF
負荷インピーダンス	47k
入力電圧ハイ	2.4V
入力電圧ロー	0.8V

右チャンネルと左チャンネルの性能は同じです (ただし、チャンネル間ゲイン・ミスマッチとチャンネル間位相偏差を除く)。

アナログ性能

	Min	Typ	Max	単位
分解能		20		ビット
信号対ノイズ比 (20Hz ~ 20kHz)				
フィルタなし (AD1854JRS)		105		dB
フィルタなし (AD1854KRS)		110		dB
フィルタ (Aウェイト) あり (AD1854JRS)		108		dB
フィルタ (Aウェイト) あり (AD1854KRS)		112		dB
ダイナミックレンジ (20Hz ~ 20kHz、-60dB入力)				
フィルタなし (AD1854JRS)		105		dB
フィルタなし (AD1854KRS)	106	110		dB
フィルタ (Aウェイト) あり (AD1854JRS)		108		dB
フィルタ (Aウェイト) あり (AD1854KRS)	108	113		dB
全高調波歪み + ノイズ (AD1854JRS) V _O = 0dB	- 88	- 97		dB
全高調波歪み + ノイズ (AD1854KRS) V _O = 0dB	- 94	- 101		dB
全高調波歪み + ノイズ (AD1854JRS、AD1854KRS) V _O = -20dB		- 89		dB
全高調波歪み + ノイズ (AD1854JRS、AD1854KRS) V _O = -60dB		- 49		dB
アナログ出力				
差動出力範囲 (±フルスケール)		5.6		V _{p-p}
各出力ピンでの出力インピーダンス		< 200		
各出力ピンでの出力容量			20	pF
帯域外エネルギー (0.5 × F _S ~ 100kHz)			- 72.5	dB
CMOUT		2.25		V
DC精度				
ゲイン誤差	- 11.0	± 3.0	+ 11.0	%
チャンネル間ゲイン・ミスマッチ	- 0.15		+ 1.5	dB
ゲイン・ドリフト		200	300	ppm/
チャンネル間クロストーク (EIAJ法)		- 120		dB
チャンネル間位相偏差		± 0.1		度
ミュート減衰量		- 100		dB
ディエンファシス・ゲイン誤差			± 0.1	dB

デジタルI/O (0 ~ +70)

	Min	Typ	Max	単位
ハイレベル入力電圧 (V _{IH})	2.2			V
ローレベル入力電圧 (V _{IL})			0.8	V
ハイレベル出力電圧 (V _{OH}) I _{OH} = 1mA	2.0			V
ローレベル出力電圧 (V _{OL}) I _{OL} = 1mA			0.4	V
入力リーク電流 (I _{IH} @V _{IH} = 2.4V)			10	μA
入力リーク電流 (I _{IL} @V _{IL} = 0.8V)			10	μA
入力容量			20	pF

電力

	Min	Typ	Max	単位
電源				
電圧 (アナログ / デジタル)	4.5	5	5.5	V
アナログ電流	26	30	35	mA
アナログ電流 (パワーダウン)	26	29	33.5	mA
デジタル電流	14	17	20	mA
デジタル電流 (パワーダウン)	1.5	2.5	5.5	mA
消費電力				
動作時 (アナログ / デジタル電源)		250		mW
動作時 (アナログ電源)		150		mW
動作時 (デジタル電源)		100		mW
パワーダウン (アナログ / デジタル電源)			190	mW
電源変動除去比				
アナログ電源ピンに1kHz、300mVp-p信号		- 60		dB
アナログ電源ピンに20kHz、300mVp-p信号		- 50		dB

温度範囲

	Min	Typ	Max	単位
仕様保証		25		
機能保証	0		70	
保管	- 55		+ 125	

デジタル・タイミング (0 ~ +70 °C で保証、 $AV_{DD} = DV_{DD} = 5.0V \pm 10\%$)

	Min	Max	単位
t_{DMP} MCLK周期 (512 F_s モード)	35		ns
t_{DMP} MCLK周期 (384 F_s モード)	48		ns
t_{DMP} MCLK周期 (256 F_s モード)	70		ns
t_{DML} MCLKローパルス幅 (全モード)	$0.4 \times t_{DMP}$		ns
t_{DMH} MCLKハイパルス幅 (全モード)	$0.4 \times t_{DMP}$		ns
t_{DBH} BCLKハイパルス幅	20		ns
t_{DBL} BCLKローパルス幅	20		ns
t_{DBP} BCLK周期	140		ns
t_{DLS} L/RCLKセットアップ	20		ns
t_{DLH} L/RCLKホールド (DSPシリアル・ポート・モードのみ)	5		ns
t_{DDS} SDATAセットアップ	5		ns
t_{DDH} SDATAホールド	10		ns
t_{PDRP} PD/RST ローパルス幅	4MCLK周期		ns

デジタル・フィルタ特性

	Min	Typ	Max	単位
通過帯域リップル		± 0.04		dB
阻止帯域減衰量		47		dB
通過帯域		0.448		F_s
阻止帯域		0.552		F_s
群遅延		$106/F_s$		秒
群遅延変動		0		μs

仕様は予告無く変更されることがあります。

AD1854

絶対最大定格*

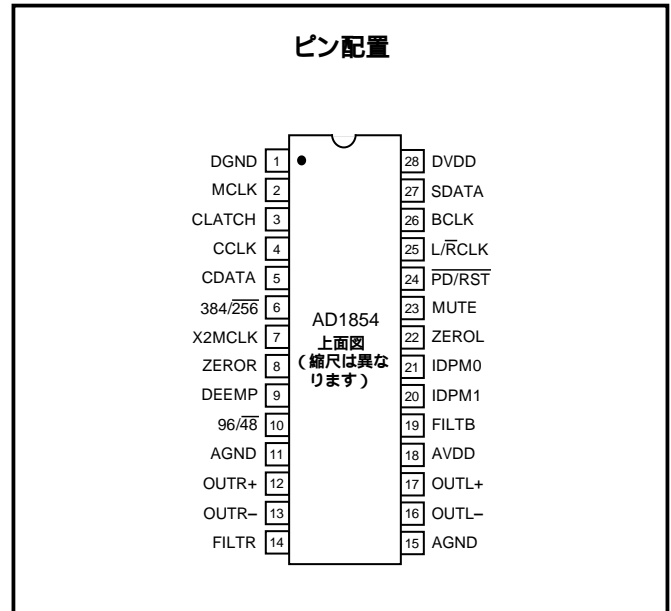
	Min	Max	単位
DV _{DD} ~ DGND	- 0.3	+ 6	V
AV _{DD} ~ AGND	- 0.3	+ 6	V
デジタル入力	DGND - 0.3	DV _{DD} + 0.3	V
アナログ出力	AGND - 0.3	AV _{DD} + 0.3	V
AGND ~ DGND	- 0.3	+ 0.3	V
リファレンス ハンダ処理		(AV _{DD} + 0.3) / 2 300	秒

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

パッケージ特性

	Min	Typ	Max	単位
J _A (熱抵抗[接合部 ~ 周辺])		109		/W
J _C (熱抵抗[接合部 ~ ケース])		39		/W

ピン配置



オーダー・ガイド

モデル	温度	パッケージ	パッケージ・オプション
AD1854JRS	0 ~ + 70	28ピン・シュリンク・スモール・アウトライン	RS-28
AD1854JRSRL	0 ~ + 70	28ピン・シュリンク・スモール・アウトライン	RS-28 (13"リール)
AD1854KRS	0 ~ + 70	28ピン・シュリンク・スモール・アウトライン	RS-28
AD1854KRSRL	0 ~ + 70	28ピン・シュリンク・スモール・アウトライン	RS-28 (13"リール)

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



ピン機能説明

ピン	I/O (入/出力)	ピン名	説明
1	I	DGND	デジタル・グラウンド。
2	I	MCLK	マスター・クロック入力。256、384、512F _s で外部クロック・ソースに接続します。
3	I	CLATCH	コントロール・データ用のラッチ入力。この入力は立ち上がりエッジを検出。
4	I	CCLK	コントロール・データ用のコントロール・クロック入力。コントロール入力データは、CCLKの立ち上がりエッジで有効である必要があります。CCLKは連続入力またはゲート入力が可能。
5	I	CDATA	シリアル・コントロール入力、MSBファースト、各チャンネルは16ビットの符号なしデータを使用。チャンネル固有の減衰量とミュートの指定に使用。
6	I	384/256	サンプル周波数の384倍（ハイ）またはサンプル周波数256倍（ロー）としてマスター・クロック・モードを選択。この入力の状態は、ロジック・ハイまたはロジック・ローにハード設定することも、あるいはAD1854のパワーダウン/リセット中に変更することもできます。AD1854の動作中は変更できません。
7	I	X2MCLK	内部クロック・ダブラー（ロー）または内部クロック = MCLK（ハイ）を選択します。
8	O	ZEROR	右チャンネル・ゼロ・フラグ出力。このピンは、LRクロックの1024サイクルより長い間右チャンネルに信号入力がない場合にハイになります。
9	I	DEEMP	ディエンファシス。この入力信号がハイのとき、デジタル・ディエンファシスがイネーブルされます。サンプル・レートが44.1kHzの場合、出力オーディオ・スペクトル上に50 μs/15 μsの応答特性を持たせるときに使用します。
10	I	96/48	48kHz（ロー）または96kHzのサンプル周波数コントロールを選択します。
11,15	I	AGND	アナログ・グラウンド。
12	O	OUTR+	右チャンネルの正ライン・レベル・アナログ出力。
13	O	OUTR-	右チャンネルの負ライン・レベル・アナログ出力。
14	O	FILTR	リファレンス・フィルタのコンデンサを接続します。10 μFと0.1 μFのコンデンサを並列にAGNDに接続して、リファレンスのバイパスとデカップリングを行います。
16	O	OUTL-	左チャンネルの負ライン・レベル・アナログ出力。
17	O	OUTL+	左チャンネルの正ライン・レベル・アナログ出力。
18	I	AVDD	アナログ電源。アナログ5V電源に接続。
19	O	FILTB	フィルタ・キャパシタ接続。10 μFのコンデンサをこのピンとAGNDの間に接続します。
20	I	IDPM1	入力シリアル・データ・ポート・モード・コントロール1。IDPM0と組み合わせて使い、4種類のシリアル・モードから1つを指定します。
21	I	IDPM0	入力シリアル・データ・ポート・モード・コントロール0。IDPM1と組み合わせて使い、4種類のシリアル・モードから1つを指定します。
22	O	ZEROL	左チャンネル・ゼロ・フラグ出力。このピンは、LRクロックの1024サイクルより長い間左チャンネルに信号入力がない場合にハイになります。
23	I	MUTE	ミュート。両ステレオ・アナログ出力をミュートさせる場合にハイにアサート。通常動作に戻るときは、ローにディアサート。
24	I	PD/RST	Power-Down/Reset。このピンをローにすると、AD1854が低消費電力モードになります。AD1854は、この信号の立ち上がりエッジでリセットされ、シリアル・コントロール・ポート・レジスタがデフォルト値にリセットされます。通常動作に戻るときは、このピンをハイにします。
25	I	L/RCLK	入力データに対するLeft/Rightクロック入力。連続クロックである必要があります。
26	I	BCLK	入力データに対するビット・クロック入力。連続クロックである必要はありません。ゲートまたはバーストでの入力も可能。
27	I	SDATA	シリアル入力、MSBファースト、各チャンネル当たり2チャンネルの16/18/20/24ビットの2の補数データを使用。
28	I	DVDD	デジタル電源。デジタル5V電源に接続します。

AD1854

動作機能

シリアル・データ入力ポート

AD1854のフレキシブルなシリアル・データ入力ポートは、2の補数値でMSBファーストのフォーマットのデータを受け取ります。左チャンネル・データ・フィールドが、常に右チャンネル・データ・フィールドより先行します。入力データは、16/18/20/24ビットで構成され、その選択は、モード・セレクト・ピン (IDPM0 (ピン21) と IDPM1 (ピン20)) または SPI (シリアル・ペリフェラル・インターフェース) コントロール・ポート経由での、コントロール・レジスタに設定されたモード・セレクト・ビット (ビット15、14) によって指定されます。これらの外部端子とSPIの設定は、適切な制御を行うために使用しない選択ビットをローに設定しておく必要があります。したがって、SPIビットを使ってシリアル・データ入力フォーマットを制御するときは、ピン20とピン21をローに接続してください。同様に、外部端子を使ってデータ・フォーマットを選択するときは、SPIビットをゼロに設定してください。SPIコントロール・ポートを使用しない場合は、SPIピン (3、4、5) をローに接続してください。

シリアル・データ入力モード

AD1854では、2本のマルチプレクスされた入力ピンを使って、次のように入力データ・ポート・モードを設定しています。

表I. シリアル・データ入力モード

IDPM1 (ピン20)	IDPM0 (ピン21)	シリアル・データ入力フォーマット
0	0	右詰め (16ビット)
0	1	I ² S互換
1	0	右詰め (20ビット)
1	1	右詰め (24ビット)
ビット・クロック	0	左詰め

図1に、右詰めモード (16ビット・モード) を示します。L/RCLKは、左チャンネルに対してハイに、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジで有効になります。MSBはL/RCLKの変化からクロック周期の16ビット分遅延しているため、1 L/RCLK周期当たり64 BCLK周期がある場合、データのLSBが次のL/RCLK変化に対して右詰めされていることが判ります。この右詰めモードは、表Iに示すように20または24ビット入力でも使用できます。

図2はI²Sモードです。L/RCLKは、左チャンネルに対してローに、右チャンネルに対してハイになります。データは、BCLKの立ち上がりエッジで有効です。MSBはL/RCLK変化に対して左詰めになりますが、BCLKで1周期の遅延があります。このI²Sモードは16/18/20/24ビット入力でも使用できます。

図3は左詰めモードです。

注：左詰めモードは、IDPM1 (ピン20) にビット・クロックによるパルスを入力して選択されます。すなわち、IDPM0 (ピン21) がローに接続されているときに、IDPM1にビット・クロックを接続します。左詰めはこの方法でしか選択できず、SPIコントロール・ポートを使って選択することはできません。

L/RCLKは、左チャンネルに対してハイに、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジで有効です。MSBはL/RCLK変化に対して左詰めになりますが、MSBの遅延はありません。この左詰めモードは16/18/20/24ビット入力でも使用できます。

AD1854は、 $32 \times F_s$ BCLK周波数 “バック・モード” もサポートしています。このモードでは、MSBはL/RCLK変化に対して左詰めに、LSBはL/RCLK変化に対して右詰めにされています。L/RCLKは、左チャンネルに対してハイに、右チャンネルに対してローになります。データは、BCLKの立ち上がりエッジで有効です。このバック・モードは、AD1854が右詰めモードに設定された場合に使用できます。図4に、バック・モードを示します。

表II. 周波数モードの設定

F_s	9 6 / 4 8	MCLK	X2 MCLK	3 8 4 / 2 5 6	注
通常の32 ~ 48kHz	0	$256 \times F_s$	0	0	不可
通常の32 ~ 48kHz	0	$384 \times F_s$	0	1	
通常の32 ~ 48kHz	0	$512 \times F_s$	1	0	
通常の32 ~ 48kHz	0		1	1	
ダブル F_s (96kHz)	1	$128 \times F_s$	0	0	不可
ダブル F_s (96kHz)	1	$(384/2) \times F_s$	0	1	
ダブル F_s (96kHz)	1	$256 \times F_s$	1	0	
ダブル F_s (96kHz)	1		1	1	

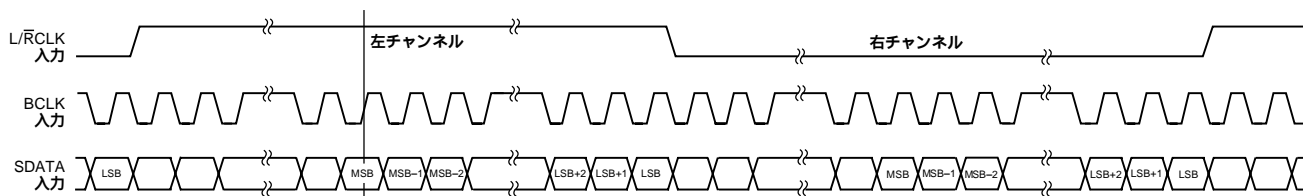


図1 右詰めモード

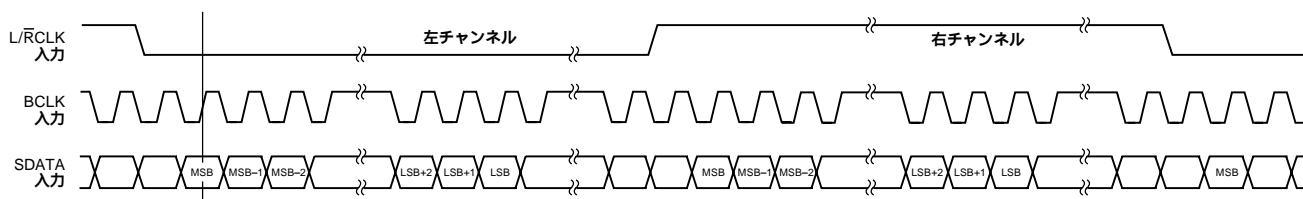


図2 I²Sモード

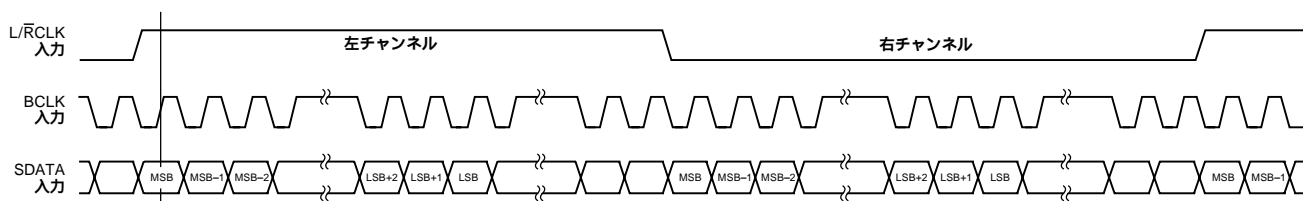


図3 左詰めモード

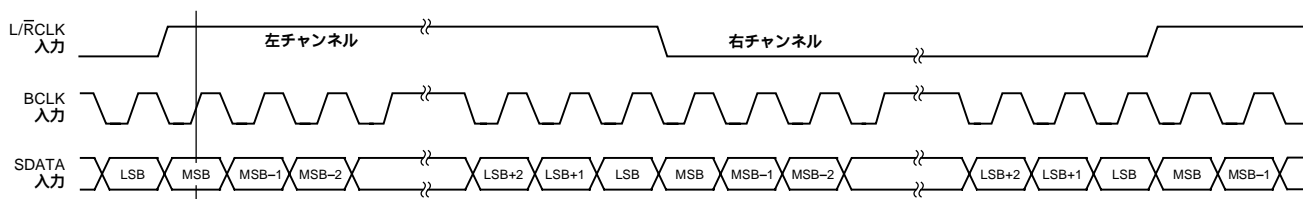


図4 32×F_Sパック・モード

AD1854

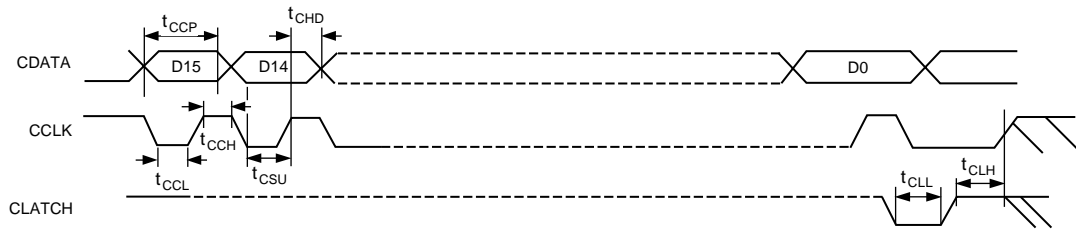


図5 シリアル・コントロール・ポートのタイミング

シリアル・コントロール・ポート

AD1854のシリアル・コントロール・ポートはSPI互換です。SPI(シリアル・ペリフェラル・インターフェース)は、業界標準のシリアル・ポート・プロトコルです。書き込み専用のシリアル・コントロール・ポートでは、入力モードの選択、ソフト・パワーダウンの制御、ソフト・ディエンファシス、チャンネル固有の減衰量とミュートの設定(両チャンネルを1回で設定)ができます。AD1854シリアル・コントロール・ポートは、コントロール・クロックCCLK(ピン4)、コントロール・データCDATA(ピン5)、コントロール・ラッチCLATCH(ピン3)の3本の信号で構成されています。コントロール・データ入力はコントロール・クロックの立ち上がりエッジで有効である必要があり、コントロール・クロックは有効なデータが存在するときに、ローからハイに変化させる必要があります。AD1854にLSBが入力された後、コントロール・クロックの非アクティブ中にコントロール・ラッチはローからハイへ変化させる必要があります。図5にこれらの信号のタイミング関係を示します。コントロール・ビットは、表IVに示します。

表III. デジタル・タイミング

		Min	単位
t_{CCH}	CCLKのハイパルス幅	40(バースト・モード)	ns
t_{CCL}	CCLKのローパルス幅	40(バースト・モード)	ns
t_{CCP}	CCLKの周期	80(バースト・モード)	ns
t_{CSU}	CDATAのセットアップ時間	10	ns
t_{CHD}	CDATAのホールド時間	10	ns
t_{CLL}	CLATCHのローパルス幅	10	ns
t_{CLH}	CLATCHのハイパルス幅	130(バースト・モード)	ns

シリアル・コントロール・ポートは、バイト単位で動作します。データはMSBファーストで、符号なしです。左右のチャンネルに対してコントロール・レジスタが1個用意され、Data 10のビットで指定されます。パワーアップとリセットでは、デフォルト設定として、Data 11ビットのミュート・コントロール・ビットは、リセット・デフォルト状態のロー(通常の非ミュート設定)に、Data 10はローに、Volume 9~Volume 0のコントロール・ビットは、リセット・デフォルト値の11 1111 1111(減衰量0.0dB、すなわちフル・スケールで減衰なし)に、それぞれ設定されます。これらリセット・デフォルト値は、シリアル・コントロール・ポートを使用しないAD1854アプリケーションを考慮して設定してあります。シリ

表IV. シリアル・コントロールのビット定義

MSB	Data15	Data14	Data13	Data12	Data11	Data10	Data9	Data8	Data7	Data6	Data5	Data4	Data3	Data2	Data1	LSB
	Data15	Data14	Data13	Data12	Data11	Data10	Data9	Data8	Data7	Data6	Data5	Data4	Data3	Data2	Data1	Data0
IDPM1、 入力 モード1 選択	IDPM0、 入力 モード0 選択	ソフト・ パワー ダウン	ソフト・ ディエン ファシス	1/ ミュート 0/通常 (非ミュート)	1/右 0/左	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ	ボリューム・ コントロール ・データ

アル・コントロール・ポートを使用しない場合は、MUTE(ピン23)信号を使ってAD1854出力をミュートできます。

シリアル・コントロール・ポートのタイミングは、シリアル・データ・ポートのタイミングに非同期であることに注意してください。アッテネータ・レベルを変更しても、CLATCH書き込みパルスの後のL/RCLKの次のエッジまで更新されないことに注意してください(図5)

SPIポートは、下記に説明するバースト・モードまたは連続CCLKモードの2つのモードで使用することができます。

連続CCLKモード

このモードでは、最大CCLK周波数は3MHzです。CCLKは各変化の間で連続して動作できます。CCLKの立ち上がりエッジに対するCLATCHのローからハイへの変化には、少なくとも130ns以上必要であることに注意してください(図6)

バースト・モード

SPIを12.288MHzまでのCCLK周波数で動作させるときは、SPIポートをバースト・モードで動作させることができます。これは、CLATCHがハイのとき、CCLKをハイにできないことを意味します(図7)

ミュート

AD1854には、アナログ出力をミュートさせる方法が2つあります。MUTE(ピン23)信号をハイにアサートすると、左右の両チャンネルがミュートされます。もう一つは、シリアル・コントロール・レジスタ(Data11)内のミュート・ビットをハイに設定する方法です。AD1854は、デバイスのミュート/非ミュート切り換え時に発生するノイズを最小に抑えるよう設計されています。

自動ランプ・アップ/ダウンのスムーズなボリューム・コントロール

AD1854は、自動ランプ・アップ/ダウン機能に、当社の1024ステップの“スムーズ・ボリューム・コントロール”を採用しています。L/RCLKサイクル毎に1回、AD1854は現在のボリューム・レベル・レジスタをボリューム・レベル要求レジスタのData9~0と比較します。両レジスタ値が異なる場合、ボリュームが1ステップ/サンプル調整されます。従って、ボリュームの最大値から最小値への変化の場合1024サンプル、すなわち約20msを要します(図8)

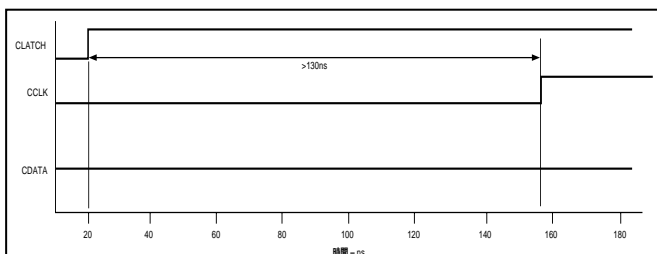


図6 SPIポート連続CCLKモード

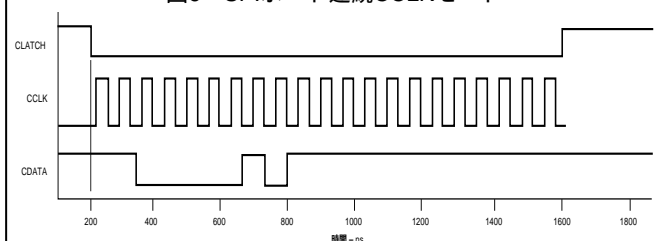


図7 SPIポート・バースト・モード

出力駆動、バッファと負荷

AD1854のアナログ出力ステージは、1k (2nFと直列接続)の負荷を駆動できます。

パワーダウンリセット

AD1854は、2つの方法でパワーダウンとリセットができます。PD/RST入力(ピン24)をローにアサートすると、AD1854がリセットされます。もう一つの方法は、ソフト・パワーダウン・ビット(Data13)をハイにアサートする方法です。AD1854のデジタル・エンジン(シリアル・データ・ポート、インタポレーション・フィルタ、モジュレータ)内のすべてのレジスタはゼロに設定されます。シリアル・コントロール・ポート内にある2つの8ビット・レジスタは、初期化されてデフォルト値に設定されます。PD/RSTをハイにした後は、シリアル・データ入力ポートとシリアル・コントロール入力を使用する前に、100ms待つ必

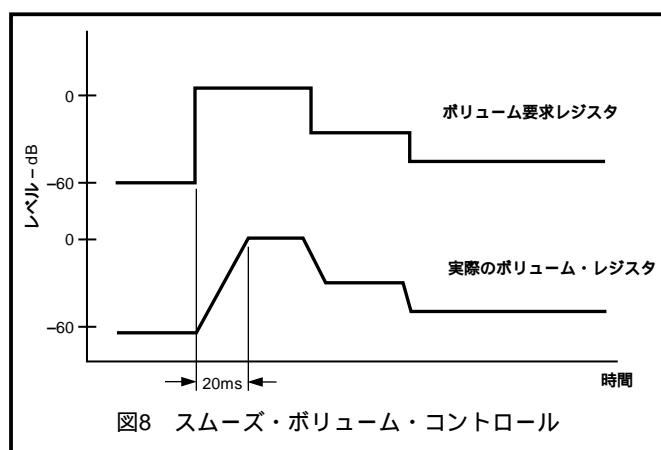


図8 スムーズ・ボリューム・コントロール

要があります。AD1854は、パワーダウン状態の終了 / 開始時に発生するノイズを最小に抑えるように設計されています。

ディエンファシス

AD1854は、“Redbook”に規定されたCDディスク再生用44.1kHz サンプル周波数をサポートする、50 μ s/15 μ s デジタル・ディエンファシス機能を内蔵しています。DEEMP入力(ピン9)をハイにアサートするか、またはディエンファシス・レジスタ・ビット(データ12)をハイにアサートすると、このディエンファシスの制御が可能になります。AD1854のディエンファシス機能は44.1kHzに対して最適化されており、他のサンプル周波数ではスケールリングされます。

コントロール信号

IDPM0、IDPM1、DEEMPの各コントロール入力は、通常、ハイまたはローに接続して、AD1854の動作状態を設定します。これらの入力は、AD1854に先頭のシリアル・データ入力ビット(MSB)が入力されるまでにセリングしている限り、ダイナミックに(およびL/RCLKとマスター・クロックに非同期に)変更できます。

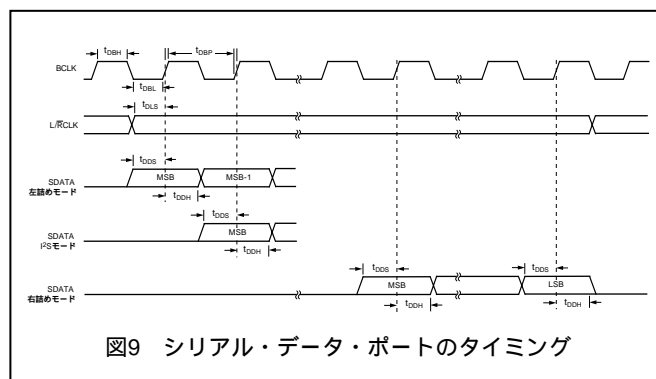


図9 シリアル・データ・ポートのタイミング

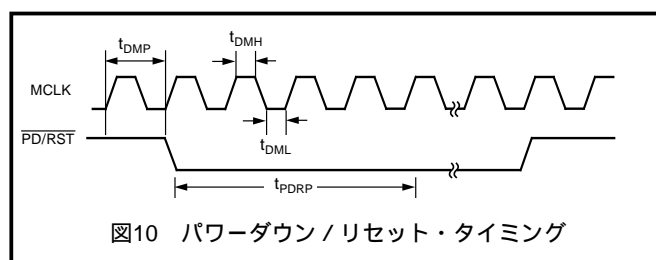


図10 パワーダウン / リセット・タイミング

タイミング・ダイアグラム

図9にシリアル・データ・ポートのタイミングを示します。ビット・クロック・ハイ・パルス幅の最小値は t_{DBH} 、ビットクロック・ロー・パルス幅の最小値は t_{DBL} 、です。ビットクロック周期の最小値は t_{DBP} 、で規定します。LRCLKの最小セットアップ時間は t_{DLS} 、最小ホールド時間は t_{DLH} 、となります。シリアルデータの最小セットアップ時間、ホールド時間はそれぞれ t_{DSS} 、 t_{DDH} 、です。パワーダウン / リセットのタイミングを図10に示します。AD1854のリセット動作を確実にを行うためのリセット・ロー・パルス幅の最小値は t_{PDRP} (4MCLK周期)です。

AD1854

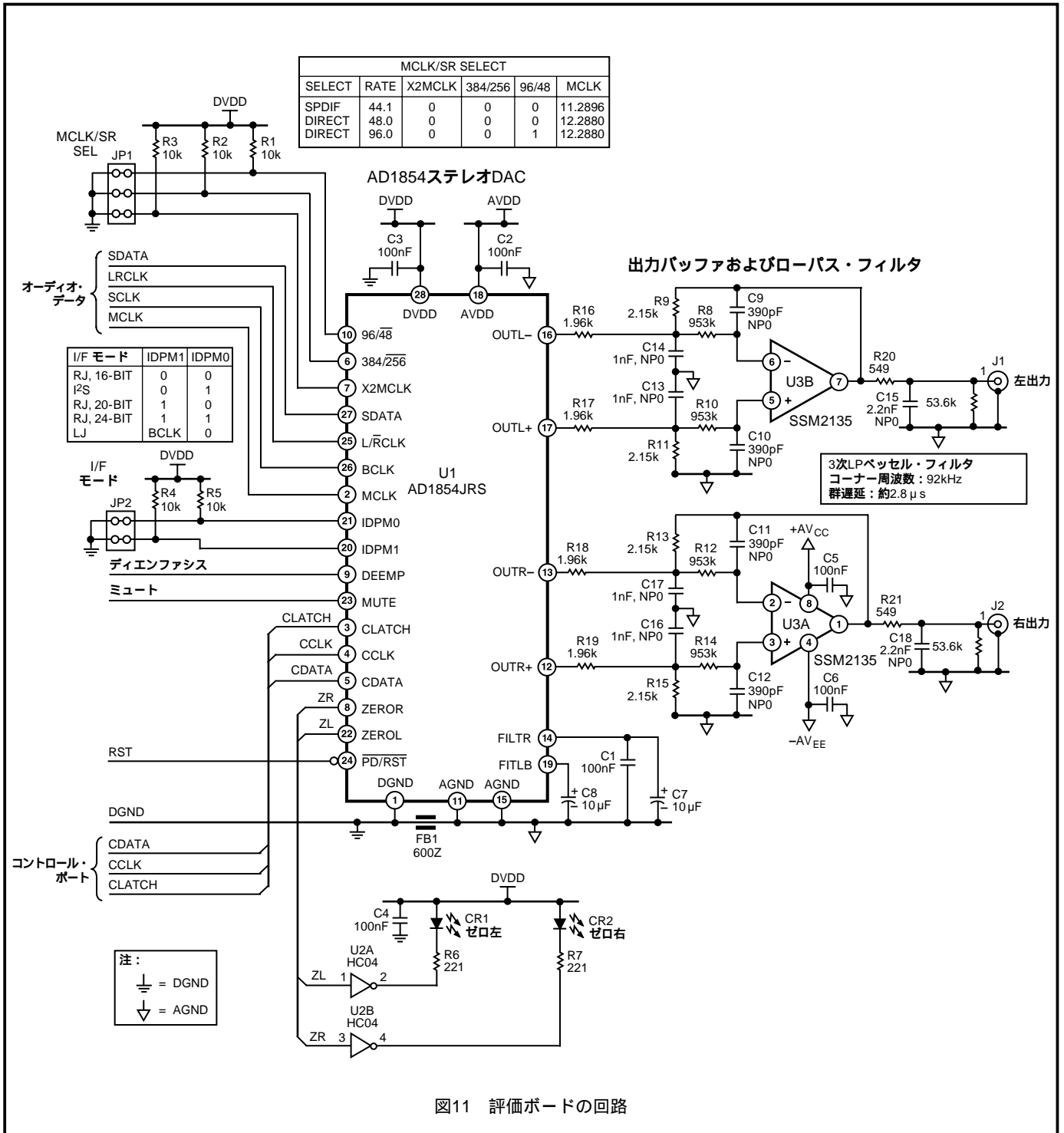


図11 評価ボードの回路

代表的な性能

図12～19は、Audio Precision System Twoを使って測定したAD1854の代表的なアナログ性能です。広範な条件下での、信号対ノイズ比とTHD + N性能を示しています。図17は、

AD1854の電源除去比性能を示します。図17は、AD1854のノイズ・フロアです。図18は、デジタル・フィルタの伝達関数を示します。相互変調歪み測定用のSMPTE規格に基づく2トーン・テストを図19に示します。

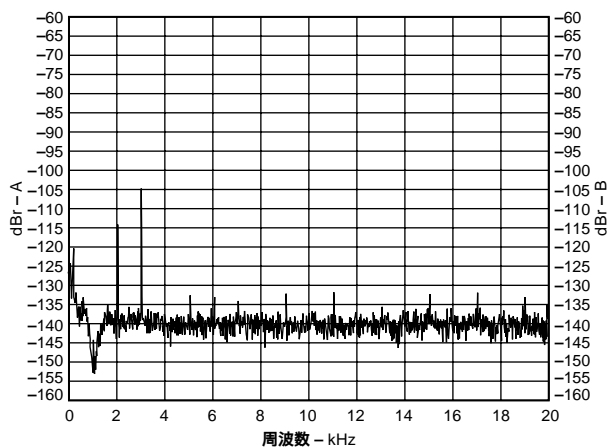


図12 THD + N (1kHz、 -0.5dBFS、8KポイントのFFT)

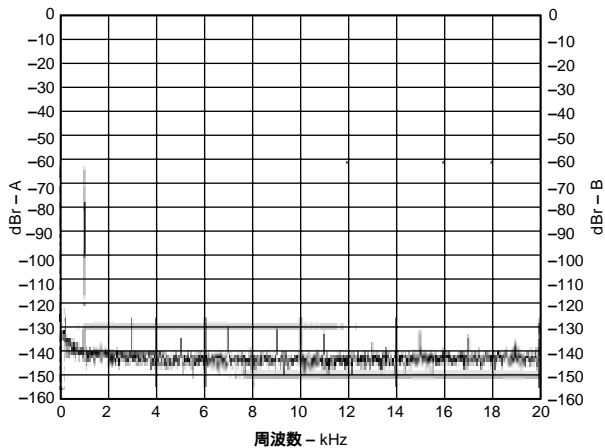


図14 ダイナミックレンジ (1kHz、 -60dBFS、8KポイントのFFT)

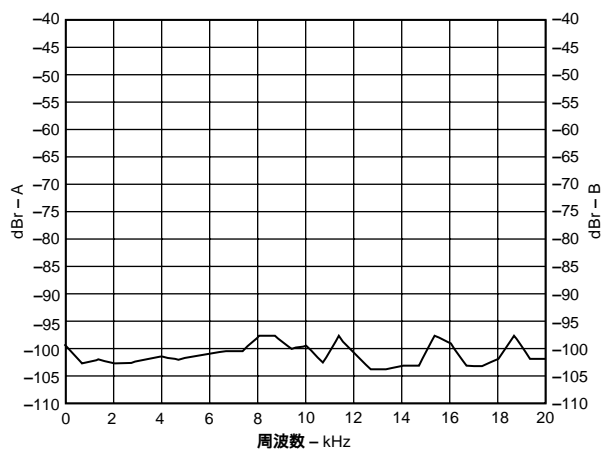


図13 THD + N 対周波数 (-0.5dBFS)

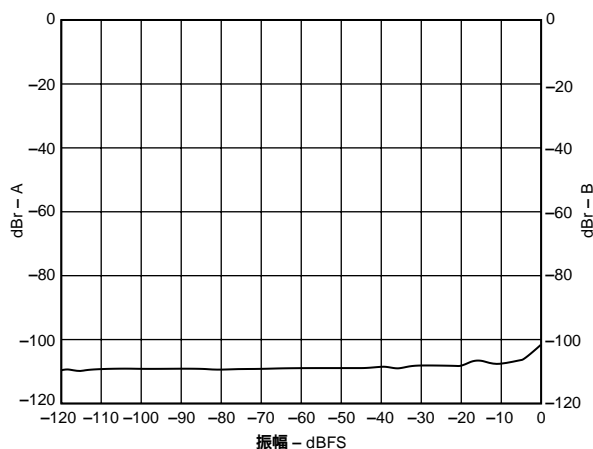


図15 THD + N 対レベル (1kHz)

AD1854

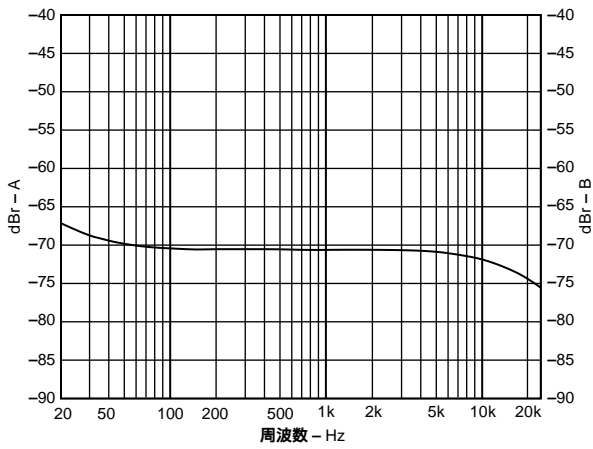


図16 AVDDでの電源除去比 (300mVp-p)

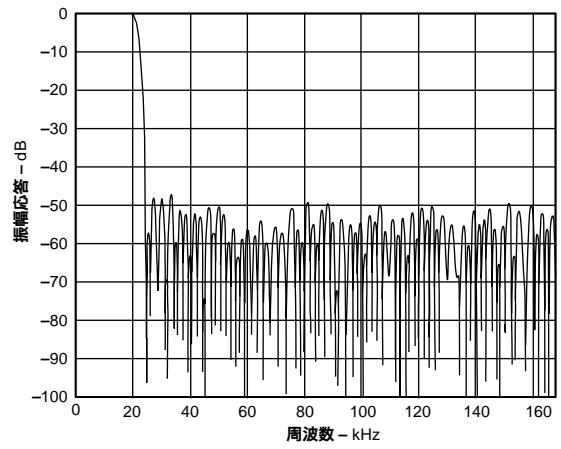


図18 デジタル・フィルタ応答

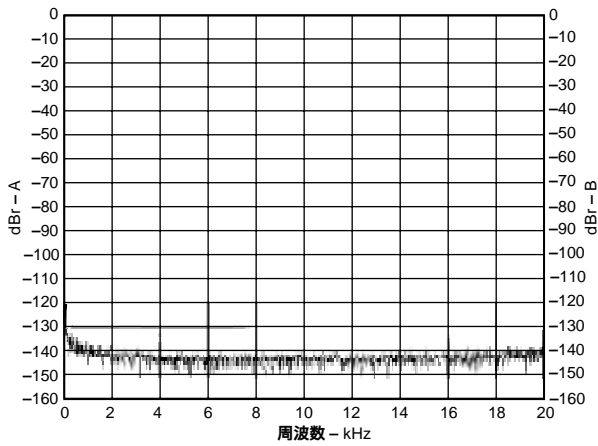


図17 ノイズ・フロア (Aウェイト、8KポイントのFFT)

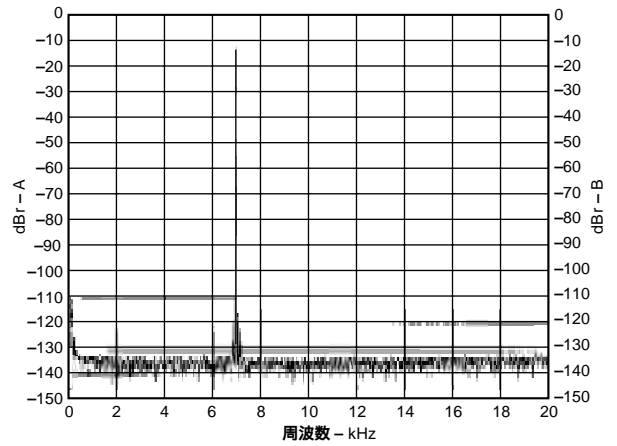
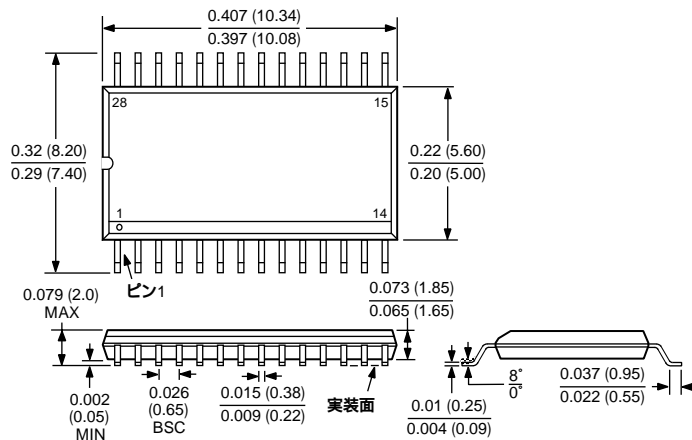


図19 2トーン・テスト

外形寸法

サイズはインチと (mm) で示します。

28ピン・シュリンク・スモール・アウトライン・パッケージ (SSOP) (RS-28)



このデータシートはエコマーク認定の再生紙を使用しています。