

## AD1835

### 特長

5Vステレオ・オーディオ・システム

(3.3Vデジタル・インターフェースに対応)

最大96kHzのサンプル・レートをサポート

ステレオDAC動作では192kHzのサンプル・レート

ワード長：16/20/24ビット

アイドル・トーンとノイズ・フロアを低減して“完全な微分直線性を再現”するマルチビット モジュレータ

高いジッター耐性を備えたデータ・ダイレクト・スクランプリングDAC

最適性能を実現する差動出力

ADC：-95dBのTHD+N、105dBのS/N比およびダイナミックレンジ

DAC：-95dBのTHD+N、108dBのS/N比およびダイナミックレンジ

チャンネル毎の1024ステップ・リニア・スケールを備えたオンチップ・ボリューム・コントロール

DACとADCにソフトウェア制御可能なクリックレス・ミュート

デジタル・ディエンファシス処理

マスター・モード・クロック：256 × f<sub>s</sub>、512 × f<sub>s</sub>、768 × f<sub>s</sub>に対応

パワーダウン・モードおよびソフト・パワーダウン・モード

右詰め、左詰め、I<sup>2</sup>S互換に対応するフレキシブルなシリアル・データ・ポート、およびDSPシリアル・ポート・モード

1つのSHARC® SPORTを使用して8入力/8出力のTDMインターフェース・モードに対応

52ピンMQFPプラスチック・パッケージ

### アプリケーション

DVDビデオ・プレイヤーおよびオーディオ・プレイヤー

ホーム・シアター・システム

車載オーディオ・システム

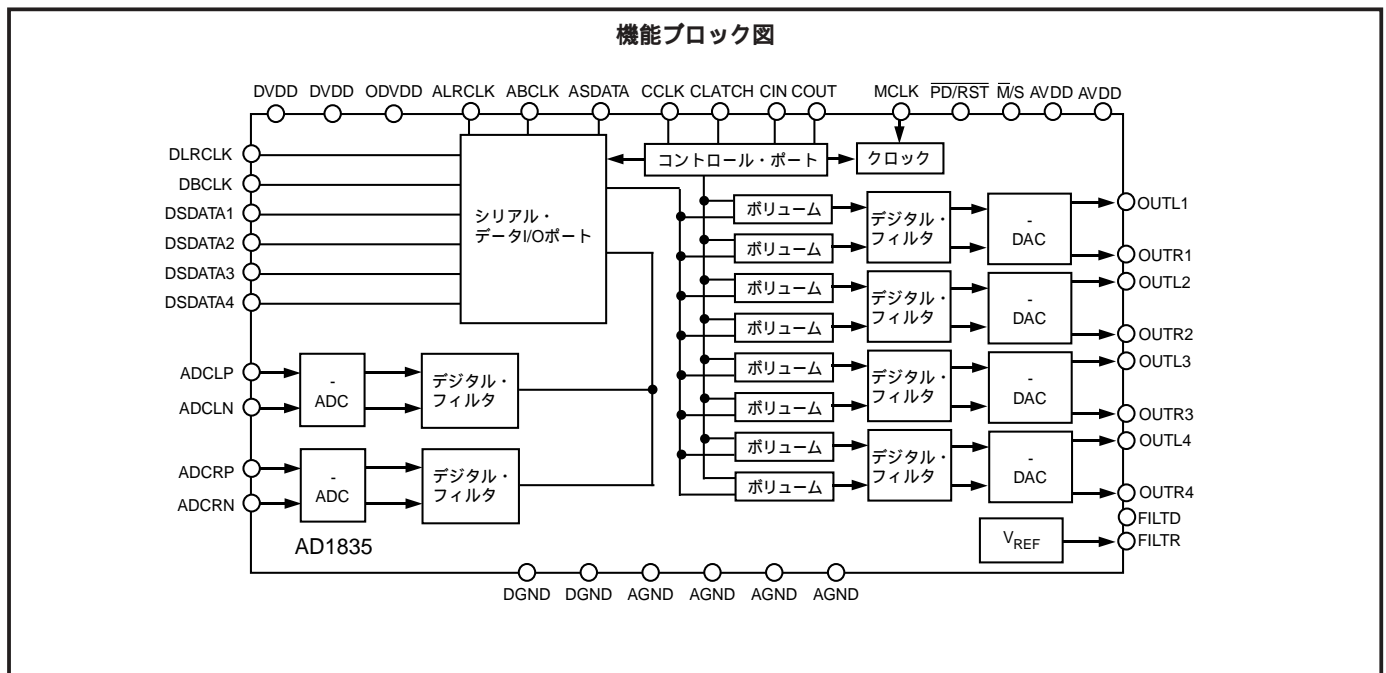
オーディオ/ビジュアル・レシーバ

デジタル・オーディオ・エフェクト・プロセッサ

### 製品概要

AD1835は、4個のステレオDACと1個のステレオADCを内蔵する高性能シングルチップ・コーデックです。各DACは、高性能デジタル・インタポレーション・フィルタ、アナログ・デバイスの特許取得技術であるマルチビット モジュレータ、連続時間電圧出力アナログ部から構成されています(11ページに続く)

機能ブロック図



SHARCはAnalog Devices, Inc.の登録商標です。

REV.0

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD1835 - 仕様

## テスト条件

電源電圧 (AV <sub>DD</sub> 、DV <sub>DD</sub> )	5.0V
周辺温度	25
入力クロック	12.288MHz (256 × f <sub>S</sub> モード)
DAC入力信号	1.0078125kHz、-1dBFS (フルスケール)
ADC入力信号	1.0078125kHz、0dBFS (フルスケール)
入力サンプル・レート (f <sub>S</sub> )	48kHz
測定帯域幅	20Hz ~ 20kHz
ワード幅	24ビット
負荷容量	100pF
負荷インピーダンス	47k

全チャンネルの性能は同じ (ただし、チャンネル間のゲイン・ミスマッチ仕様とチャンネル間位相偏差仕様を除きます)

パラメータ	Min	Typ	Max	単位
<b>A/Dコンバータ</b>				
ADC分解能		24		ビット
ダイナミックレンジ (20Hz ~ 20kHz、-60dB入力)				
フィルタなし	100	103		dB
Aウェイト	101	105		dB
全高調波歪み + ノイズ (THD + N)		-95	-88.5	dB
チャンネル間アイソレーション		100		dB
チャンネル間ゲイン・ミスマッチ		0.025		dB
アナログ入力				
差動入力範囲 (±フルスケール)	-2.828		+2.828	V
コモン・モード入力電圧		2.25		V
入力インピーダンス		4		k
入力容量		15		pF
V <sub>REF</sub>		2.25		V
DC精度				
ゲイン誤差		±5		%
ゲイン・ドリフト		35		ppm/
<b>D/Aコンバータ</b>				
DAC分解能				
ダイナミックレンジ (20Hz ~ 20kHz、-60dBFS入力)				
フィルタなし	103	105		dB
Aウェイト・フィルタ使用	105	108		dB
全高調波歪み + ノイズ		-95	-90	dB
チャンネル間アイソレーション		110		dB
DC精度				
ゲイン誤差		±4.0		%
チャンネル間ゲイン・ミスマッチ		0.025		dB
ゲイン・ドリフト		200		ppm/
チャンネル間クロストーク (EIAJ法)		-120		dB
チャンネル間位相偏差		±0.1		度
ボリューム・コントロールのステップ・サイズ (1023リニア・ステップ)		0.098		%
ボリューム・コントロール範囲 (最大減衰)		60		dB
ミュート減衰量		-100		dB
ディエンファシス・ゲイン誤差		±0.1		dB
各ピンのフルスケール出力電圧 (シングルエンド)		1.0 (2.8)		V <sub>rms</sub> (V <sub>p-p</sub> )
各ピンの出力抵抗		180		
コモン・モード出力電圧		2.25		V
<b>ADCデシメーション・フィルタ、48kHz*</b>				
通過帯域		20		kHz
通過帯域リップル		±0.01		dB
阻止帯域		24		kHz
阻止帯域減衰量		120		dB
群遅延		910		μs

パラメータ	Min	Typ	Max	単位
ADCデシメーション・フィルタ、96kHz*				
通過帯域		40		kHz
通過帯域リップル		± 0.01		dB
阻止帯域		48		kHz
阻止帯域減衰量		120		dB
群遅延		460		μs
DACインタポレーション・フィルタ、48kHz*			20	
通過帯域		± 0.01		kHz
通過帯域リップル				dB
阻止帯域	24			kHz
阻止帯域減衰量	55			dB
群遅延		340		μs
DACインタポレーション・フィルタ、96kHz*			37.5	
通過帯域		± 0.01		kHz
通過帯域リップル				dB
阻止帯域	55.034			kHz
阻止帯域減衰量	55			dB
群遅延		160		μs
DACインタポレーション・フィルタ、192kHz*			89.954	
通過帯域		± 0.01		kHz
通過帯域リップル				dB
阻止帯域	104.85			kHz
阻止帯域減衰量	80			dB
群遅延		110		μs
デジタルI/O				
ハイレベル入力電圧	2.4			V
ローレベル入力電圧			0.8	V
ハイレベル出力電圧		ODV <sub>DD</sub> - 0.4		V
ローレベル出力電圧			0.4	V
リーク電流			± 10	μA
電源				
電源電圧 (AV <sub>DD</sub> およびDV <sub>DD</sub> )	4.5	5.0	5.5	V
電源電圧 (OV <sub>DD</sub> )	3.0		DV <sub>DD</sub>	V
アナログ電源電流 I <sub>ANALOG</sub>		84	95	mA
電源電流 I <sub>ANALOG</sub> 、パワーダウン		55	67	mA
デジタル電源電流 I <sub>DIGITAL</sub>		64	72	mA
電源電流 I <sub>DIGITAL</sub> 、パワーダウン		1	4	mA
消費電力				
動作、両電源		740		mW
動作、アナログ電源		420		mW
動作、デジタル電源		320		mW
パワーダウン、両電源		280		mW
電源変動除去比				
アナログ電源ピンに1kHz、300mVp-p信号		- 70		dB
アナログ電源ピンに20kHz、300mVp-p信号		- 75		dB

\*設計により保証します。  
仕様は予告なく変更されることがあります。

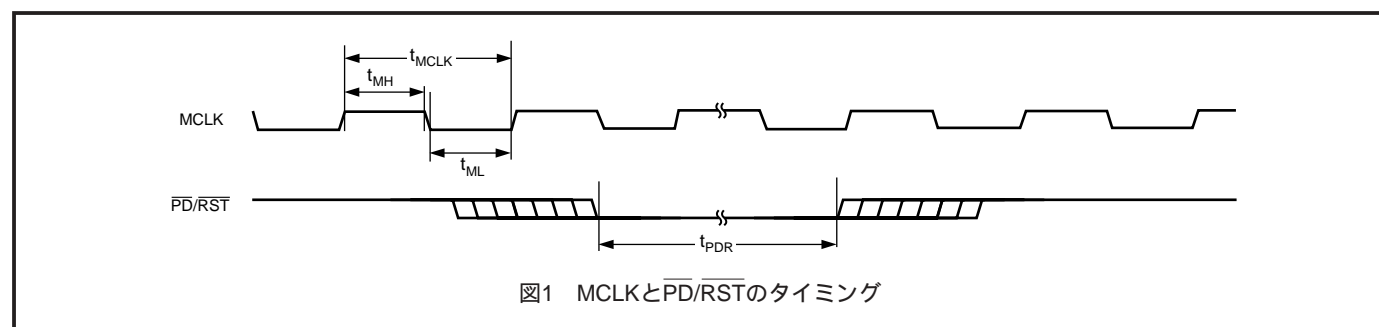
# AD1835

## タイミング

パラメータ	Min	Max	単位	備考	
マスター・クロックおよびリセット					
t <sub>MH</sub>	MCLKハイレベル	15	ns		
t <sub>ML</sub>	MCLKローレベル	15	ns		
t <sub>PDR</sub>	PD/RSTローレベル	20	ns		
SPIポート					
t <sub>CCH</sub>	CCLKハイレベル	40	ns		
t <sub>CCL</sub>	CCLKローレベル	40	ns		
t <sub>CCP</sub>	CCLK周期	80	ns		
t <sub>CDS</sub>	CDATAセットアップ	10	ns	CCLKの立ち上がりまで	
t <sub>CDH</sub>	CDATAホールド	10	ns	CCLKの立ち上がりから	
t <sub>CLS</sub>	CLATCHセットアップ	10	ns	CCLKの立ち上がりまで	
t <sub>CLH</sub>	CLATCHホールド	10	ns	CCLKの立ち上がりから	
t <sub>COE</sub>	COOUTイネーブル		15	ns	CLATCHの立ち下がりから
t <sub>COD</sub>	COOUT遅延		20	ns	CCLKの立ち下がりから
t <sub>COTS</sub>	COOUTスリー・ステート		25	ns	CLATCHの立ち上がりから
DACシリアル・ポート					
ノーマル・モード (スレーブ)					
t <sub>DBH</sub>	DBCLKハイレベル	60	ns		
t <sub>DBL</sub>	DBCLKローレベル	60	ns		
f <sub>DB</sub>	DBCLK周波数	64 × f <sub>s</sub>			
t <sub>DLS</sub>	DLRCLKセットアップ	10	ns	DBCLKの立ち上がりまで	
t <sub>DLH</sub>	DLRCLKホールド	10	ns	DBCLKの立ち上がりから	
t <sub>DDS</sub>	DSDATAセットアップ	10	ns	DBCLKの立ち上がりまで	
t <sub>DDH</sub>	DSDATAホールド	10	ns	DBCLKの立ち上がりから	
バックド256モード (スレーブ)					
t <sub>DBH</sub>	DBCLKハイレベル	15	ns		
t <sub>DBL</sub>	DBCLKローレベル	15	ns		
f <sub>DB</sub>	DBCLK周波数	256 × f <sub>s</sub>			
t <sub>DLS</sub>	DLRCLKセットアップ	10	ns	DBCLKの立ち上がりまで	
t <sub>DLH</sub>	DLRCLKホールド	5	ns	DBCLKの立ち上がりから	
t <sub>DDS</sub>	DSDATAセットアップ	10	ns	DBCLKの立ち上がりまで	
t <sub>DDH</sub>	DSDATAホールド	10	ns	DBCLKの立ち上がりから	
ADCシリアル・ポート					
ノーマル・モード (マスター)					
t <sub>ABD</sub>	ABCLK遅延		25	ns	MCLKの立ち上がりエッジから
t <sub>ALD</sub>	ALRCLK遅延ローレベル		5	ns	ABCLKの立ち下がりエッジから
t <sub>ABDD</sub>	ASDATA遅延		10	ns	ABCLKの立ち下がりエッジから
ノーマル・モード (スレーブ)					
t <sub>ABH</sub>	ABCLKハイレベル	60	ns		
t <sub>ABL</sub>	ABCLKローレベル	60	ns		
f <sub>AB</sub>	ABCLK周波数	64 × f <sub>s</sub>			
t <sub>ALS</sub>	ALRCLKセットアップ	5	ns	ABCLKの立ち上がりまで	
t <sub>ALH</sub>	ALRCLKホールド	15	ns	ABCLKの立ち上がりから	
バックド256モード (マスター)					
t <sub>PABD</sub>	ABCLK遅延		20	ns	MCLKの立ち上がりエッジから
t <sub>PALD</sub>	LRCLK遅延		5	ns	ABCLKの立ち下がりエッジから
t <sub>PABDD</sub>	ASDATA遅延		10	ns	ABCLKの立ち下がりエッジから

パラメータ	Min	Max	単位	備考
<b>TDM256モード (マスター)</b>				
$t_{TBD}$ BCLK遅延		20	ns	MCLKの立ち上がりから
$t_{FSD}$ FSTDM遅延		5	ns	BCLKの立ち上がりから
$t_{TABDD}$ ASDATA遅延		10	ns	BCLKの立ち上がりから
$t_{TDDS}$ DSDATA1セットアップ	15		ns	BCLKの立ち下がりまで
$t_{TDDH}$ DSDATA1ホールド	15		ns	BCLKの立ち下がりから
<b>TDM256モード (スレーブ)</b>				
$f_{AB}$ BCLK周波数	$256 \times f_s$			
$t_{TBCH}$ BCLKハイレベル	15		ns	
$t_{TBCL}$ BCLKローレベル	15		ns	
$t_{TFS}$ FSTDMセットアップ	10		ns	BCLKの立ち下がりまで
$t_{TFH}$ FSTDMホールド	10		ns	BCLKの立ち下がりから
$t_{TBDD}$ ASDATA遅延		10	ns	BCLKの立ち上がりから
$t_{TDDS}$ DSDATA1セットアップ	15		ns	BCLKの立ち下がりまで
$t_{TDDH}$ DSDATA1ホールド	15		ns	BCLKの立ち下がりから
<b>補助インターフェース</b>				
$t_{AXDS}$ AAUXDATAセットアップ	10		ns	AUXBCLKの立ち上がりまで
$t_{AXDH}$ AAUXDATAホールド	10		ns	AUXBCLKの立ち上がりから
$f_{ABP}$ AUXBCLK周波数	$64 \times f_s$			
<b>スレーブ・モード</b>				
$t_{AXBH}$ AUXBCLKハイレベル	15		ns	
$t_{AXBL}$ AUXBCLKローレベル	15		ns	
$t_{AXLS}$ AUXLRCLKセットアップ	10		ns	AUXBCLKの立ち上がりまで
$t_{AXLH}$ AUXLRCLKホールド	10		ns	AUXBCLKの立ち上がりから
<b>マスター・モード</b>				
$t_{AUXLRCLK}$ AUXLRCLK遅延	5		ns	AUXBCLKの立ち下がりから
$t_{AUXBCLK}$ AUXBCLK遅延	15		ns	MCLKの立ち上がりエッジから

\*設計により保証します。  
仕様は予告なく変更されることがあります。



# AD1835

## 温度範囲

パラメータ	Min	Typ	Max	単位
仕様保証		25		
機能保証	- 40		+ 85	
保管	- 65		+ 150	

## 絶対最大定格\*

(特に指定のない限り、 $T_A = 25$ )

AVDD、DVDD、ODVDD ~ AGND、DGND - 0.3V ~ +6.0V

AGND ~ DGND - 0.3V ~ +0.3V

デジタルI/O電圧 ~ DGND - 0.3V ~ ODV<sub>DD</sub> + 0.3V

アナログI/O電圧 ~ AGND - 0.3V ~ AV<sub>DD</sub> + 0.3V

## 動作温度範囲

工業用 (Aバージョン) - 40 ~ +85

\*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す条件において、この定格は考慮されていません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えます。

## オーダー・ガイド

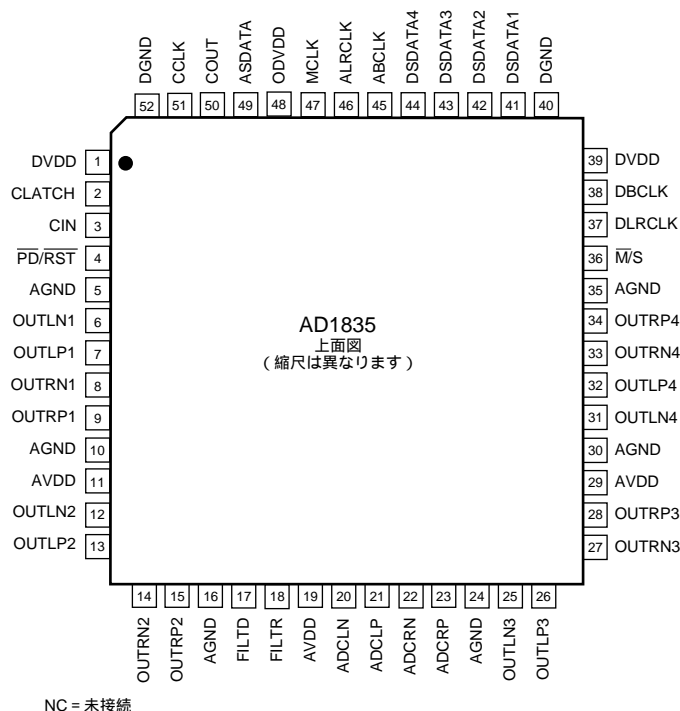
製品モデル	温度範囲	パッケージ	パッケージ・オプション
AD1835AS	- 40 ~ + 85	52ピンMQFP	S-52

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



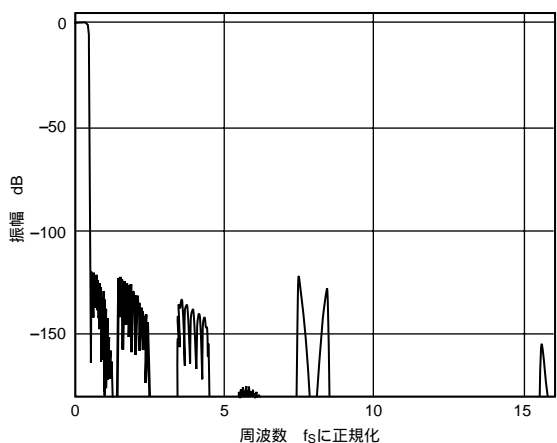
## ピン配置



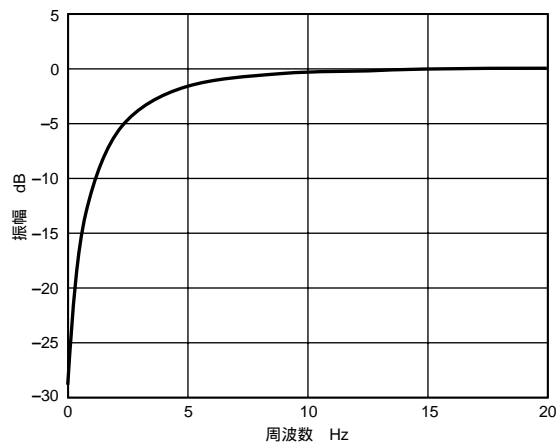
## ピン機能の説明

ピン番号	記号	入力 / 出力	説明
1、39	DVDD		デジタル電源。デジタル5V電源に接続
2	CLATCH	I	コントロール・データに対するラッチ入力
3	CIN	I	シリアル・コントロール入力
4	PD/RST	I	パワーダウン / リセット
5、10、16、24、30、35	AGND		アナログ・グラウンド
6、12、25、31	OUTLNx	O	DACx左チャンネル負側出力
7、13、26、32	OUTLPx	O	DACx左チャンネル正側出力
8、14、27、33	OUTRNx	O	DACx右チャンネル負側出力
9、15、28、34	OUTRPx	O	DACx右チャンネル正側出力
11、19、29	AVDD		アナログ電源。アナログ5V電源に接続
17	FILTD		フィルタ・コンデンサ接続。10 $\mu$ F/100nFを推奨
18	FILTR		リファレンス・フィルタ・コンデンサ接続。10 $\mu$ F/100nFを推奨
20	ADCLN	I	ADC左チャンネル負側入力
21	ADCLP	I	ADC左チャンネル正側入力
22	ADCRN	I	ADC右チャンネル負側入力
23	ADCRP	I	ADC右チャンネル正側入力
36	M/S	I	ADC Master/Slave選択
37	DLRCLK	I/O	DAC LRクロック
38	DBCLK	I/O	DACビット・クロック
40、52	DGND		デジタル・グラウンド
41 ~ 44	DSDATAx	I	DACx入力データ (左チャンネルと右チャンネル)
45	ABCLK	I/O	ADCビット・クロック
46	ALRCLK	I/O	ADC LRクロック
47	MCLK	I	マスター・クロック入力。
48	ODVDD		デジタル出力ドライバ電源
49	ASDATA	O	ADCシリアル・データ出力
50	COUT	O	出力コントロール・データ
51	CCLK	I	コントロール・データに対するコントロール・クロック入力

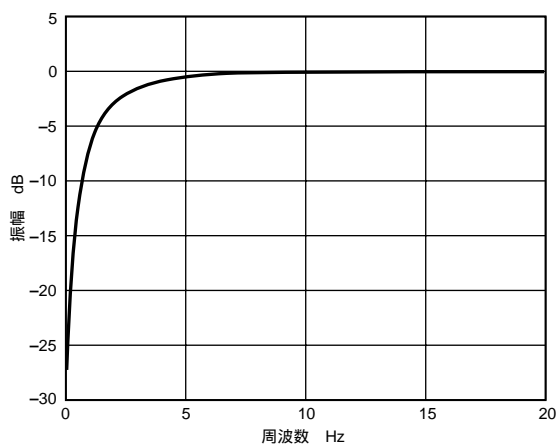
# AD1835 - 代表的な性能特性



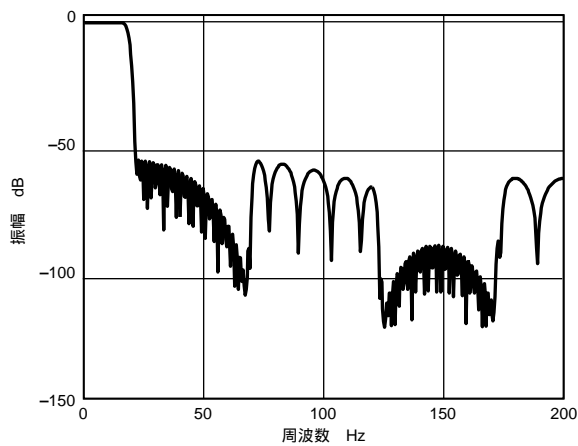
特性1 ADC総合フィルタ応答



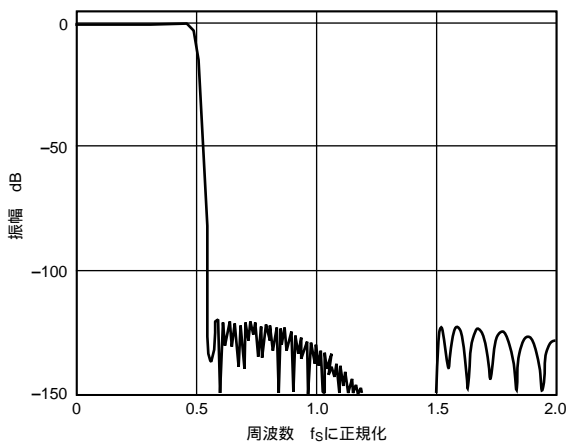
特性4 ADCハイパス・フィルタ応答、 $f_s = 96\text{kHz}$



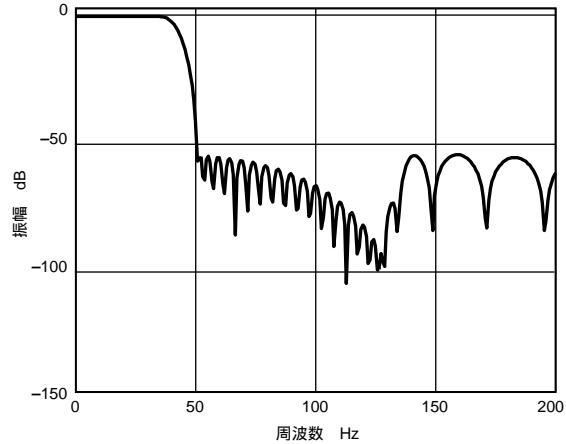
特性2 ADCハイパス・フィルタ応答、 $f_s = 48\text{kHz}$



特性5 DAC総合フィルタ応答、 $f_s = 48\text{kHz}$

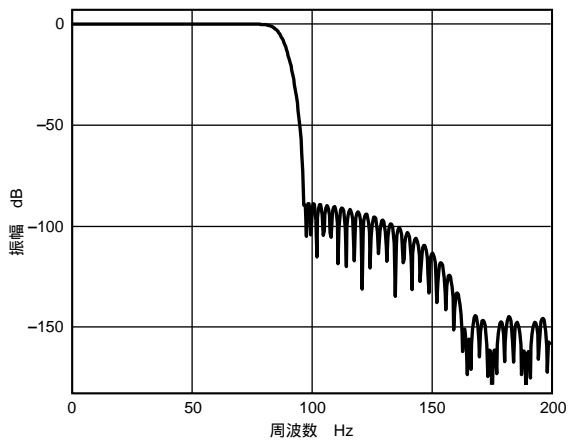


特性3 ADC総合フィルタ応答 (通過帯域部分)

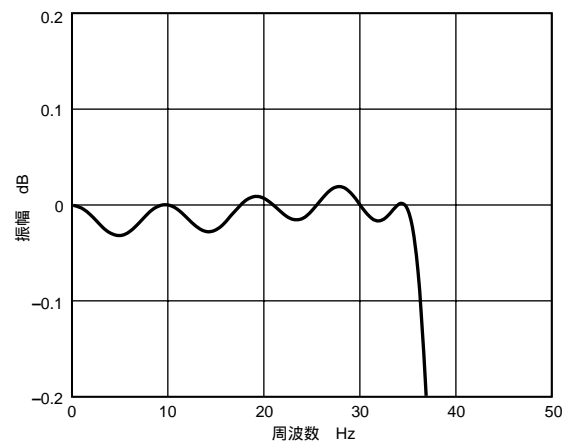


特性6 DAC総合フィルタ応答、 $f_s = 96\text{kHz}$

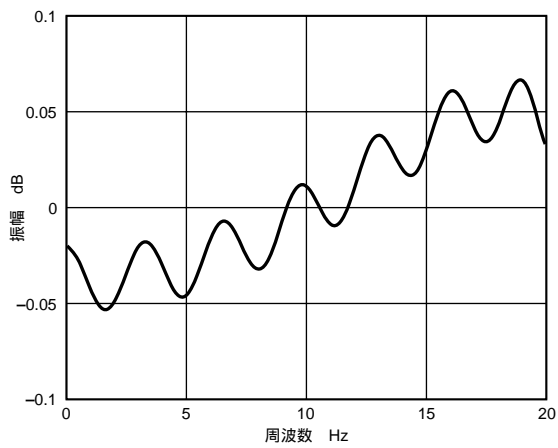




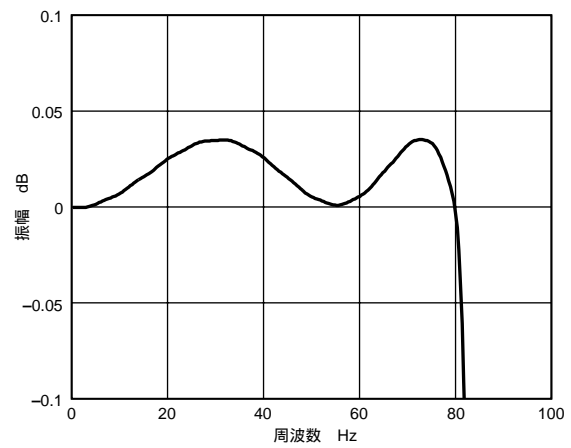
特性7 DAC総合フィルタ応答、 $f_s = 192\text{kHz}$



特性9 DAC総合フィルタ応答、 $f_s = 96\text{kHz}$  (通過帯域部分)



特性8 DAC総合フィルタ応答、 $f_s = 48\text{kHz}$  (通過帯域部分)



特性10 DAC総合フィルタ応答、 $f_s = 192\text{kHz}$  (通過帯域部分)

# AD1835

## 用語の定義

### ダイナミックレンジ

フルスケール入力信号の、通過帯域（20Hz～20kHz）内の統合入力ノイズに対する比（dB表示）。ダイナミックレンジは - 60dBの入力信号を使って測定するため、 $(S/[THD + N]) + 60dB$ に等しくなります。スプリアス高調波は - 60dB入力時のノイズより小さいため、ノイズ・レベルがダイナミックレンジを決定します。ダイナミックレンジは、Aウェイト・フィルタありとAウェイト・フィルタなしで規定します。

### 信号対（全高調波歪み + ノイズ）

$[S / (THD + N)]$

基本波入力信号rms値の、通過帯域内のその他の全スペクトル成分のrms値総和に対する比（dB表示）。

### 通過帯域

デジタル・デシメータ・フィルタによる減衰を受けない周波数スペクトル領域。

### 通過帯域リップル

通過帯域内の複数の周波数で等しい振幅を持つ信号を入力したときの、複数の周波数の振幅応答でのピークtoピーク変動（dB表示）。

### 阻止帯域

デジタル・デシメータ・フィルタの阻止帯域減衰量で規定された減衰を受ける周波数スペクトル領域。

### ゲイン誤差

フルスケールに近い複数の等しい入力に対する実際の出力の、理論出力に対する比（%値表示）。

### チャンネル間ゲイン・ミスマッチ

フルスケールに近い複数の等しい入力に対する、2つのステレオ・チャンネル出力の比（dB表示）。

### ゲイン・ドリフト

フルスケールに近い入力に対する、温度変化による応答の変化（ppm/ で表示）。

### クロストーク（EIAJ法）

グラウンド・レベルが入力されたある1つのチャンネルでの応答の、他のチャンネルに入力したフルスケール1kHzのサイン波に対する比（dB表示）。

### 電源除去比

アナログ入力なしの場合に、300mVp-pの信号を電源ピンに入力した際に出力に現れる信号（フルスケールに対するdB値で表示）。

### 群遅延

直感的に表現すると、入力パルスがコンバータ出力に現れるまでに要する時間（msで表示）。さらに正確には、与えられた周波数のラジアン周波数に対するラジアン位相の時間微分係数。

### 群遅延変動

さまざまな入力周波数に対する群遅延の差。通過帯域内の最大群遅延と最小群遅延との間の差として規定されます（ $\mu s$ で表示）。

## 用語集

ADC A/Dコンバータ

DAC D/Aコンバータ

DSP デジタル信号プロセッサ

IMCLK ADCエンジンとDACエンジンのクロック駆動に使う内部マスター・クロック信号

MCLK AD1835に入力される外部マスター・クロック信号

(1ページからの続き)

各DACは独立したボリューム・コントロールとクリックのないミュート機能を内蔵しています。

ADCは、マルチビット モジュレータとデシメーション・フィルタを持つ2個の24ビット変換チャンネルから構成されています。

AD1835は、公称値2.25Vのリファレンス電圧も内蔵しています。

AD1835は、さまざまなDSPチップ、AES/EBULシーバ、サンプル・レート・コンバータに外付け部品なしで接続できるフレキシブルなシリアル・インターフェースを内蔵しています。AD1835は、左詰め、右詰め、I<sup>2</sup>S互換、DSP互換のシリアル・モードに設定することができます。AD1835の制御は、SPI互換のシリアル・ポートを使って行います。AD1835は5Vの単電源で動作できますが、デジタル・インターフェース用に別々の電源ピンを持っているため、3.3V電源を使う他のデバイスへもインターフェース可能です。

AD1835は52ピンMQFPパッケージを採用し、-40 ~ +85 の工業用温度範囲で仕様規定されています。

## 機能概要

### ADC

AD1835は、ステレオ・ペアとして設定される2個のADCチャンネルを内蔵しています。各ADCは完全な差動入力になっています。ADC部は、最大96kHzのサンプル・レートで動作することができます。ADCには、120dBの阻止帯域減衰量と線形位相応答を持ちオーバーサンプリング比128(48kHz動作)または64(96kHz動作)で動作するデジタル・デシメーション・フィルタを内蔵しています。

各ADCのADCのピーク・レベル情報は、ADCピークレジスタとADCピーク1レジスタから読み出すことができます。データは、最大範囲0 ~ -63dBで分解能1dBの6ビット・ワードで入力されます。各レジスタはピーク情報を読み出すまで保持しており、レジスタが読み出されるとリセットされるため、新しいピーク情報を取得することができます。フォーマットの詳細については、レジスタの説明を参照してください。2個のADCチャンネルは、共通のシリアル・ビット・クロックと左右フレーミング・クロックを使用しています。クロック信号はすべてサンプル・レートに同期しています。

ADCデジタル・ピンABCLKとALRCLKは、 $\bar{M}/S$ ピンをODVDDまたはDGNDに接続することにより、それぞれ入力または出力として動作させることができます。これらのピンが出力に設定されると、AD1835はタイミング信号を発生します。これらのピンが入力に設定されると、タイミングは外部のオーディオ・コントローラから発生される必要があります。

### DAC

AD1835は、ノイズと歪み性能を改善する8個の完全差動アナログ出力を持つ、4組の独立したステレオ・ペアとして使用される8個のDACチャンネルを内蔵しています。各チャンネルは、1024リニア・ステップで設定可能な独立したプログラマブル・アッテネータを内蔵しています。デジタル入力は、4本のシリアル・データ入力ピン(各ステレオ・ペアに1本)と共通のフレーム(DLRCLK)およびビット(DBCLK)クロックを使って入力します。この方法の代わりに、バック・データ・モードの1つを使って、1本のTDMデータ・ピン上の8チャンネルすべてにアクセスすることもできます。最初のDACペアに送信したDACデータをデバイス内の他のDACにも送信するステレオ複製機能も内蔵しています。AD1835は、192kHzのサンプル・レートでDACデータを受け取ることができます(DAC 1使用時のみ)。入力した後に、ステレオ複製機能を使ってオーディオ・データを他のDACにコピーすることができます。

差動出力ピンの各セットはV<sub>REF</sub>のDCレベルにあり、0dBのデジタル入力信号に対して±1.4Vの振幅になります。出力ピン上の高周波数ノイズの除去と差動/シングルエンド変換には、オペアンプ1個を使用した外付けの3次ローパス・フィルタの使用が推奨されます。低スルー・レートまたは狭い帯域幅のオペアンプを使用すると、オーディオ帯域に折り返される高周波数ノイズ・トーンが発生するので、これらの部品の選択には注意が必要です。

FILTDPINは、外部でグラウンドに接続したコンデンサに接続する必要があります。このピンは、内部のDACバイアス回路のノイズを削減して、DAC出力のノイズを削減するために使います。性能に対する効果がないときは、このコンデンサを使わないこともできます。

### DACとADCのコーディング

DACとADCの出力データ・ストリームは2の補数のフォーマットを使っています。ワード幅としては、16ビット、20ビット、または24ビットが選択できます。表1に、コーディング方式を示します。

表1 コーディング方式

コード	レベル
01111.....1111	+ FS
00000.....0000	0 (リファレンス・レベル)
10000.....0000	- FS

### クロック信号

AD1835に内蔵されているDACエンジンとADCエンジンは、24.576MHzの内部マスター・クロック(IMCLK)で動作するように設計されています。このクロックを使って、ADC上では48kHzと96kHzのサンプリングを、さらにDAC上では48kHz、96kHz、192kHzのサンプリングを、それぞれ発生させます。ただし、192kHzオプションは1つのDACペアでのみ使用可能です。ステレオ複製機能を使うと、必要に応じてこのDACデータを他のDACへコピーできます。

AD1835はさまざまなMCLK値を使用可能にするため、クロック・スケール機能も内蔵しています。MCLKスケールはSPIポートを介して設定することができ、スケール係数1(パス・スルー)、2(2倍)、または2/3でMCLKをスケールすることができます。MCLKスケールのデフォルト設定値は2であり、この設定では12.288MHzのMCLKから48kHzのサンプリングを発生します。他のサンプル・レートは、MCLK値を変更することにより設定することができます。例えば、CDの標準サンプリング周波数44.1kHzは、11.2896kHzのMCLKを使って発生させることができます。図2に、クロック・スケールとコンバータ・エンジンの内部構成を示します。

最高性能を維持するためには、マスター・クロック信号のクロック・ジッターをエッジ - エッジ間測定で300 ps rms未満に維持することが推奨されます。これらのレベルにおいても、ジッター・スペクトルに大きなスペクトル・ピークが含まれていると、DAC出力に大きなノイズまたはトーンが出力されることがあります。独立したクリスタル・オシレータを使ってマスター・クロックを生成することをお勧めします。さらに、FPGAまたはその他の大規模デジタル・チップを通過したクロック信号をAD1835に入力しないことが特に重要です。多くのケースで、クロック信号が無関係な他のデジタル出力信号と共通の電源接続とグラウンド接続を共用することに起因して、クロック・ジッターの混入が発生しています。

# AD1835

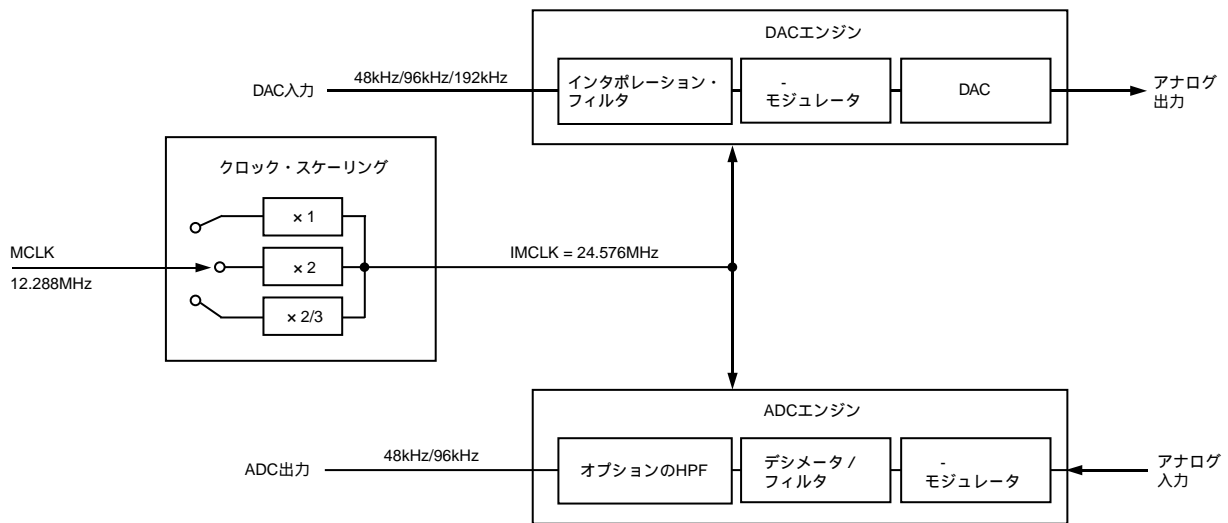


図2 モジュレータのクロック機構

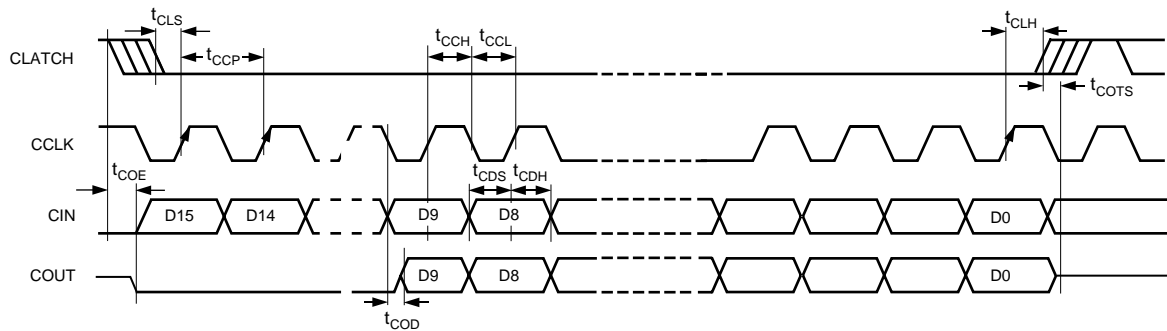


図3 SPIタイミングのフォーマット

## RESETとパワーダウン

PD/RSTはチップをパワーダウンさせて、コントロールレジスタにデフォルト値を設定します。PD/RSTのアサートが解除されると、AD1835内部で初期化ルーチンが実行されてすべてのメモリーがゼロにクリアされます。この初期化はLRCLKで約20サイクルを要します。この間に、SPIに対する書き込みを行わないことを推奨します。

## 電源とリファレンス

AD1835は、5V電源用に設計されています。電源ピンは、アナログ部用とデジタル部用に別々に用意されています。これらのピンのできるだけ近くにバイパス用の100nFのセラミックチップコンデンサを接続して、混入するノイズを小さくする必要があります。コーデックが実装されるPCボードには、22µFのバルクアルミニウム電解コンデンサも接続する必要があります。性能の厳しいアプリケーションに対しては、アナログ部とデジタル部に別々の電源を使用すると、性能が改善されます。別電源の使用が不可能な場合は、各電源のバイパスコンデンサに直列にフェライトビーズを接続してアナログ電源とデジタル電源を分離することをお勧めします。アナログ電源はできるだけクリーンであることが重要です。

内部リファレンス電圧をFILTRピンに出力して、10µFと100nFの並列接続を使ってチップのできるだけ近くでバイパスする必要があります。リファレンス電圧は、外付けオペアンプをアナログ入力信号ピン

とアナログ出力信号ピンの共通モード電圧にバイアスするときに、使うことができます。V<sub>REF</sub>ピンから流出する電流は、50µA以下に制限する必要があります。

## シリアル・コントロール・ポート

AD1835はSPI互換のコントロール・ポートを内蔵しています。このコントロール・ポートを使って、ADCとDACの内部コントロールレジスタの設定と内部ピーク検出器からのADC信号レベルの読み出しを行います。SPIコントロール・ポートは4線式のシリアル・コントロール・ポートです。フォーマットはMotorola社のSPIフォーマットと同じですが、入力データ・ワードは16ビット幅です。最大シリアル・ビット・クロック周波数は12.5MHzであり、ADCとDACのサンプル・レートに完全に非同期で動作させることができます。図3に、SPI信号のフォーマットを示します。

## シリアル・データ・ポート データ・フォーマット

ADCシリアル・データ出力モードのデフォルト設定は広く使用されているI<sup>2</sup>Sフォーマットであり、データがLRCLKのエッジから1 BCLK間隔だけ遅延されています。ADCコントロールレジスタ2のビット6~8を変更することにより、シリアル・モードを右詰め(RJ)、左詰めDSP(DSP)または左詰め(LJ)に変更できます。RJモードでは、ビット4と5をセットしてデータ・ワード幅を設定する必要があります。

デフォルトでは、DACシリアル・データ入力モードはI<sup>2</sup>Sに設定されています。DACコントロール・レジスタ1のビット5、6、7を変更することにより、モードをRJ、DSP、LJ、パックド・モード1またはパックド・モード2に変更できます。ワード幅はデフォルトで24ビットに設定されていますが、DACコントロール・レジスタ1のビット3とビット4を設定し直して変更できます。

#### パックド・モード

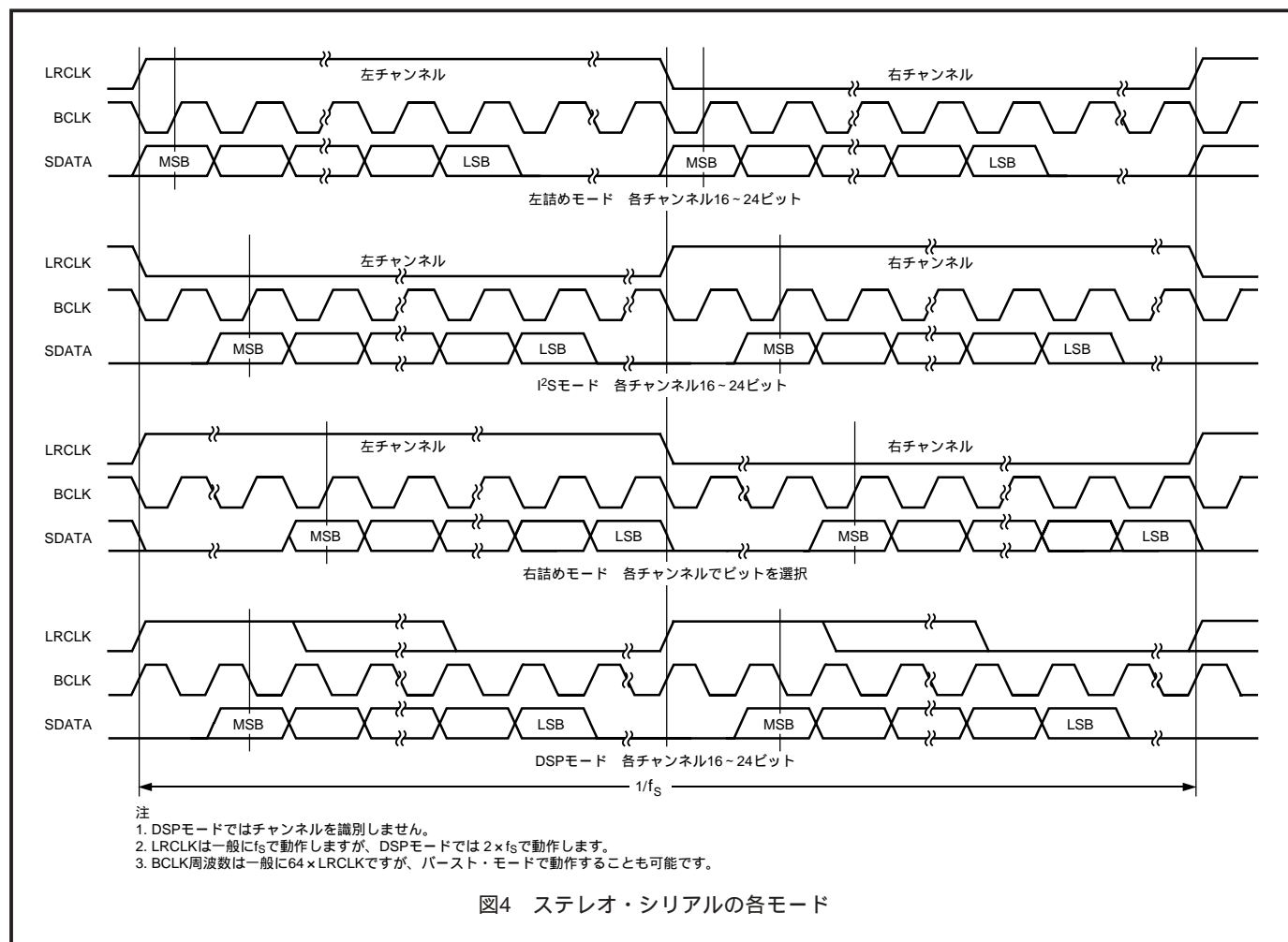
AD1835にはパックド・モードが用意されています。このモードを使うと、1本の入力データ・ピンと1本の出力データ・ピンを使って、DSPまたは他のコントローラからのすべてのDACへの書き込みとすべてのADCの読み出しが可能になります。パックド・モード256は、各フレーム内のBCLK数を参照します。左チャンネルのDACまたはADCのデータがデータ・ピン上にあるときはLRCLKがローレベルになり、右チャンネルのDACまたはADCのデータがデータ・ピン上にあるときはLRCLKがハイレベルになります。DACデータはDSDATA1ピンに入力し、ADCデータはASDATAピンから出力されます。図7~10に、パックド・モードのタイミングを示します。パックド・モードはADCがマスター ( $\overline{M}/S=0$ ) で、48kHzの場合にのみ使用可能です。

#### 補助 (TDM) モード

8入力/8出力動作を可能にするために、3個の外付けステレ

オADCをAD1835にインターフェースできるようにする特別な補助モードが用意されています。さらに、このモードでは1つのSHARC DSPシリアル・ポートに対して外付け部品が不要なインターフェースに対応しているため、SHARC DSPからI/Oのアナログの全8チャンネルにアクセスすることができます。この特別なモードでは、多くのピンの定義が変更されます。表IIにピンの再定義を示します。

補助インターフェースとTDMインターフェースは、マスターまたはスレーブとして動作するように独立して設定できます。ADCコントロール・レジスタIIの補助モード・ビットを設定して補助インターフェースをマスターに設定すると、AD1835はAUXLRCLKとAUXBCLKを発生します。補助インターフェースをスレーブに設定したときは、AUXLRCLKとAUXBCLKは外付けのADCから発生させる必要があります (図13)。 $\overline{M}/S$ ピンをDGNDまたはODVDDに接続することにより、TDMインターフェースをそれぞれマスター動作またはスレーブ動作に設定することができます。マスター・モードでは、FSTDMS信号とBCLK信号が出力され、AD1835から発生されます。スレーブ・モードでは、FSTDMSとBCLKは入力になり、SHARCで発生する必要があります。スレーブ・モード動作は48kHz動作と96kHz動作 (MCLKが12.288MHzまたは24.576MHzのとき) で、マスター・モード動作は48kHzで、それぞれ使用可能です。



# AD1835

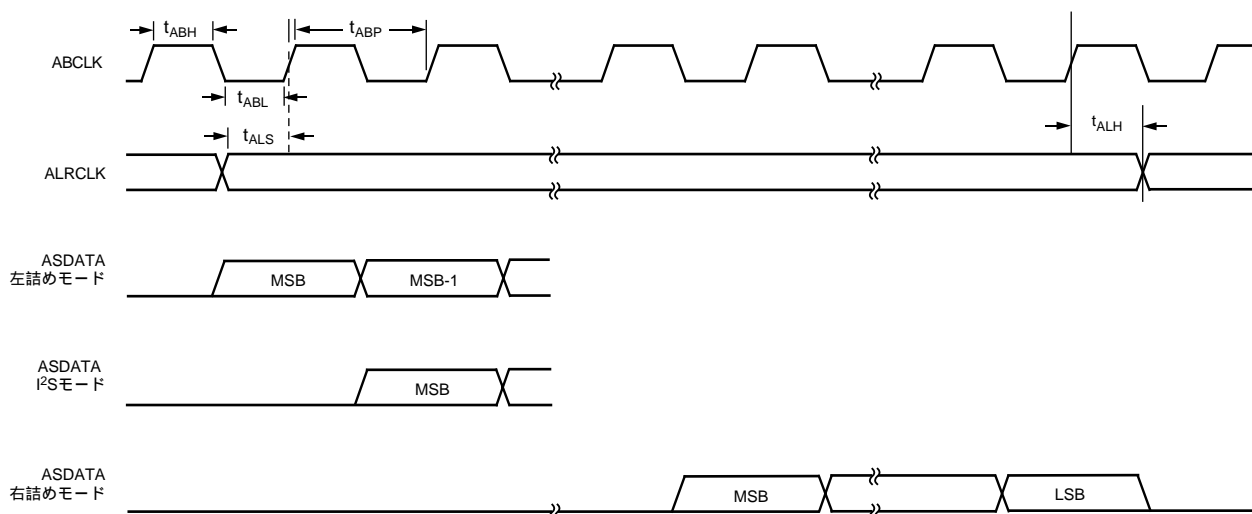


図5 ADCシリアル・モードのタイミング

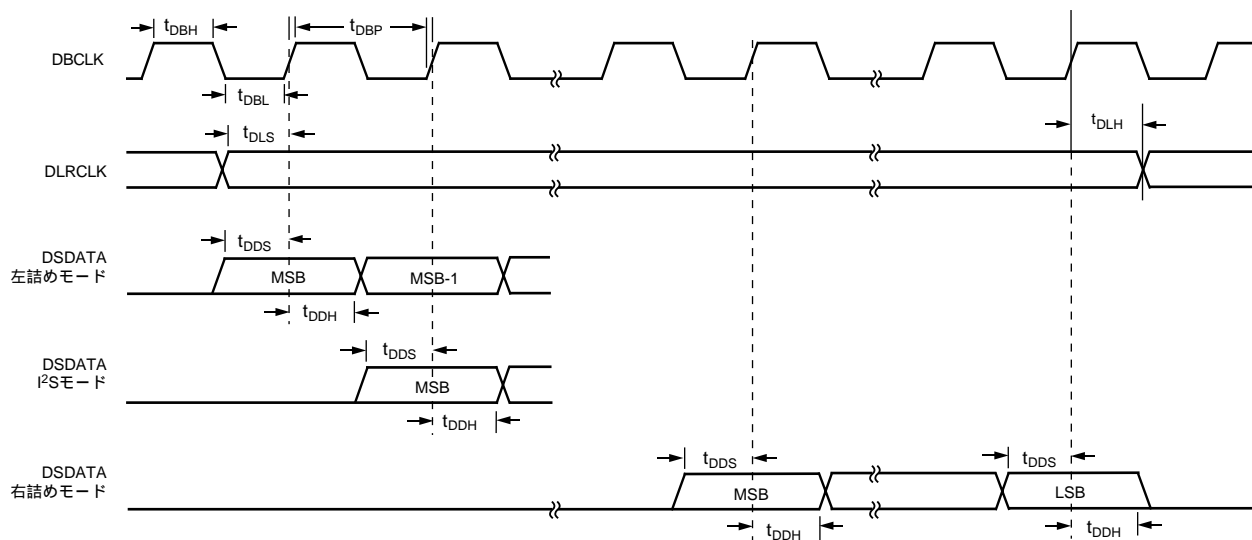


図6 DACシリアル・モードのタイミング

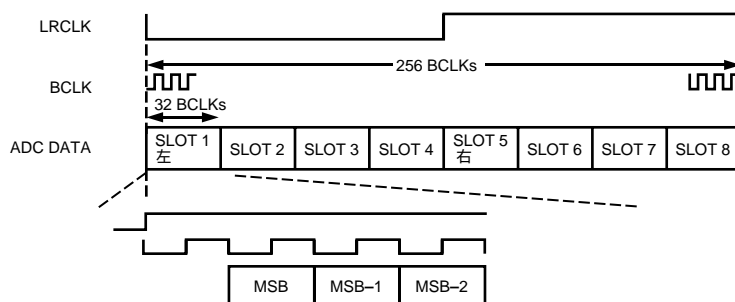


図7 ADCパックド・モード256

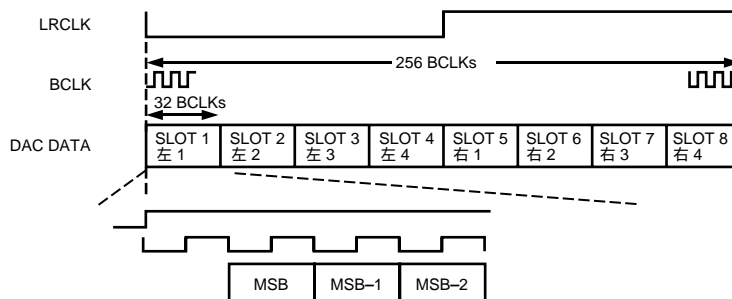


図8 DACパックド・モード256

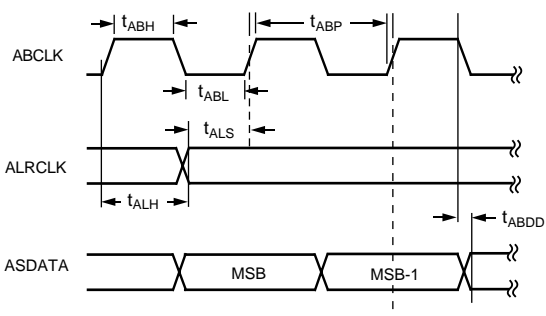


図9 ADCパックド・モードのタイミング

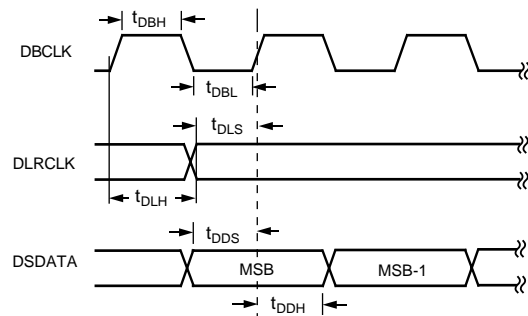


図10 DACパックド・モードのタイミング

# AD1835

表II 補助モードでのピン機能の変更

ピン名	I <sup>2</sup> Sモード	補助モード
ASDATA (O)	I <sup>2</sup> Sデータ出力、内部ADC	SHARCへのTDMデータ出力
DSDATA1 (I)	I <sup>2</sup> Sデータ入力、内部DAC1	SHARCからのTDMデータ入力
DSDATA2 (I) /AAUXDATA1 (I)	I <sup>2</sup> Sデータ入力、内部DAC2	AUX-I <sup>2</sup> Sデータ入力1 (外部ADCから)
DSDATA3 (I) /AAUXDATA2 (I)	I <sup>2</sup> Sデータ入力、内部DAC3	AUX-I <sup>2</sup> Sデータ入力2 (外部ADCから)
DSDATA4 (I) /AAUXDATA3 (I)	I <sup>2</sup> Sデータ入力、内部DAC4	AUX-I <sup>2</sup> Sデータ入力3 (外部ADCから)
ALRCLK (O)	ADCのLRCLK	SHARCへのTDMフレーム同期出力 (FSTDM)
ABCLK (O)	ADCのBCLK	SHARCへのTDM BCLK出力
DLRCLK (I) /AUXLRCLK (I/O)	LRCLK入 / 出力、内部DAC	補助LRCLK入出力。スレーブ・モードでADCから出力される外部RCLKにより駆動。マスター・モードで、MCLK/512により駆動。
DBCLK (I) /AUXBCLK (I/O)	BCLK入 / 出力、内部DAC	補助BCLK入出力。スレーブ・モードでADCから出力される外部BCLKにより駆動。マスター・モードで、MCLK/8により駆動。

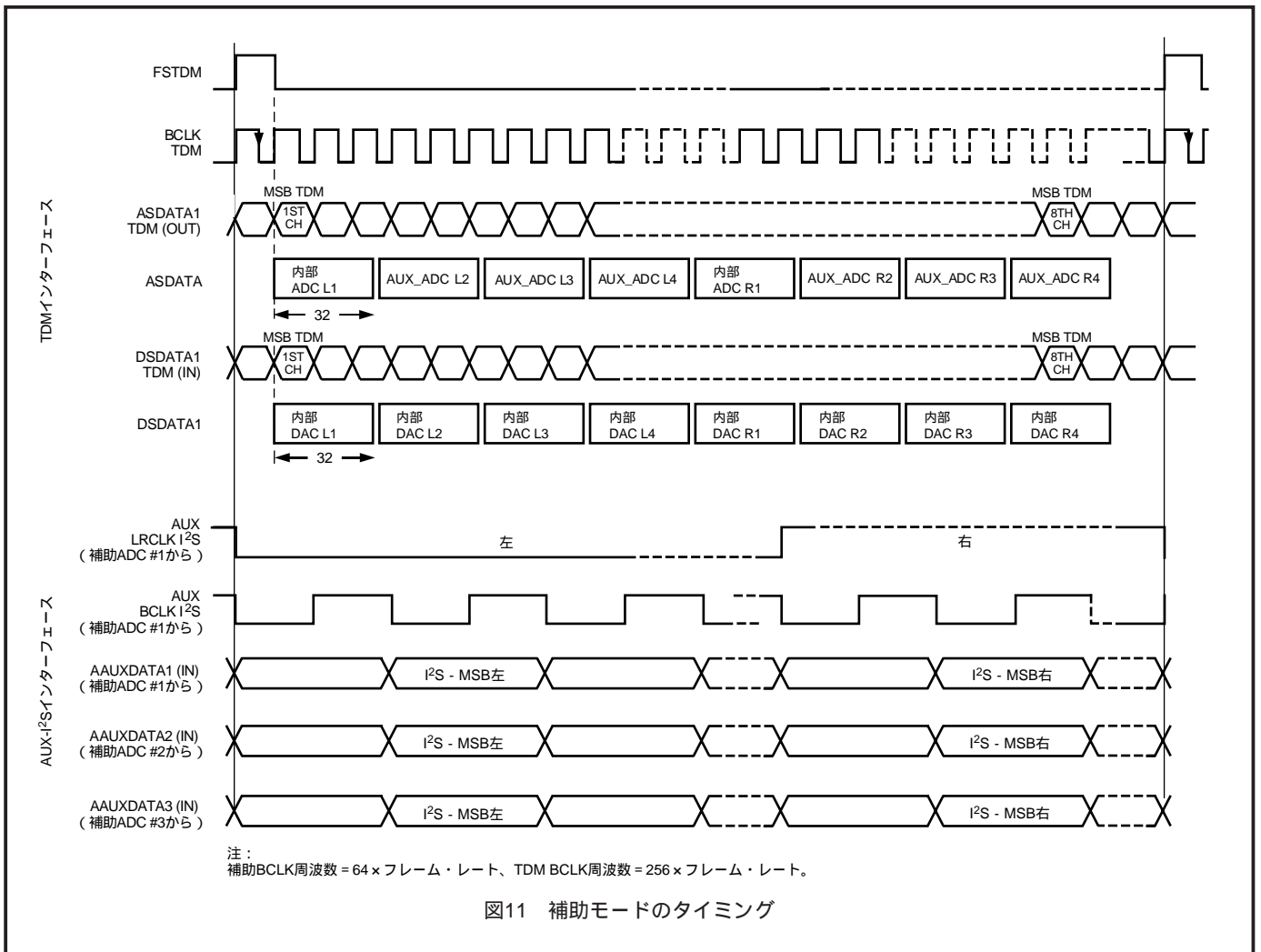


図11 補助モードのタイミング



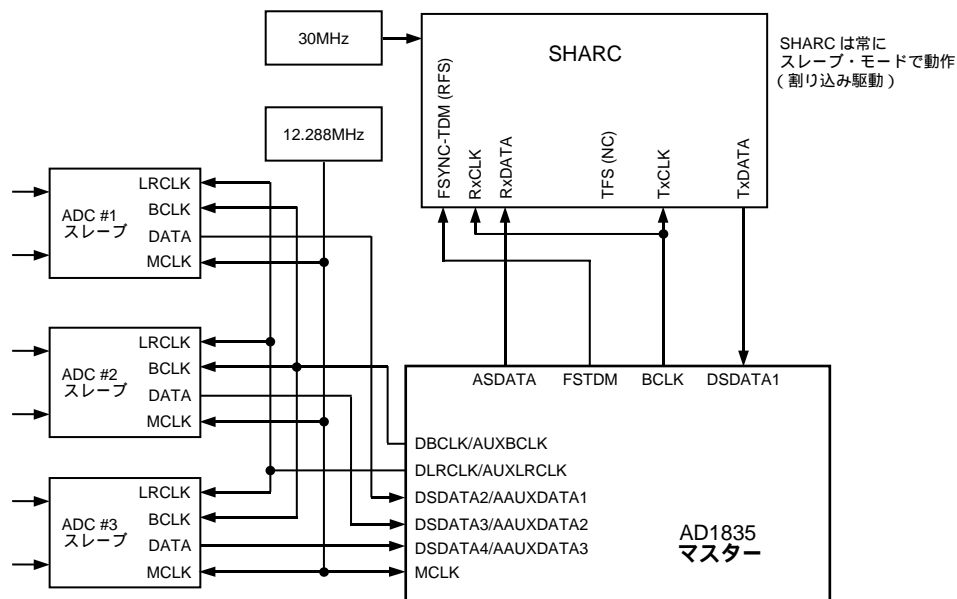


図12 SHARCに対する補助モード接続 (マスター・モード)

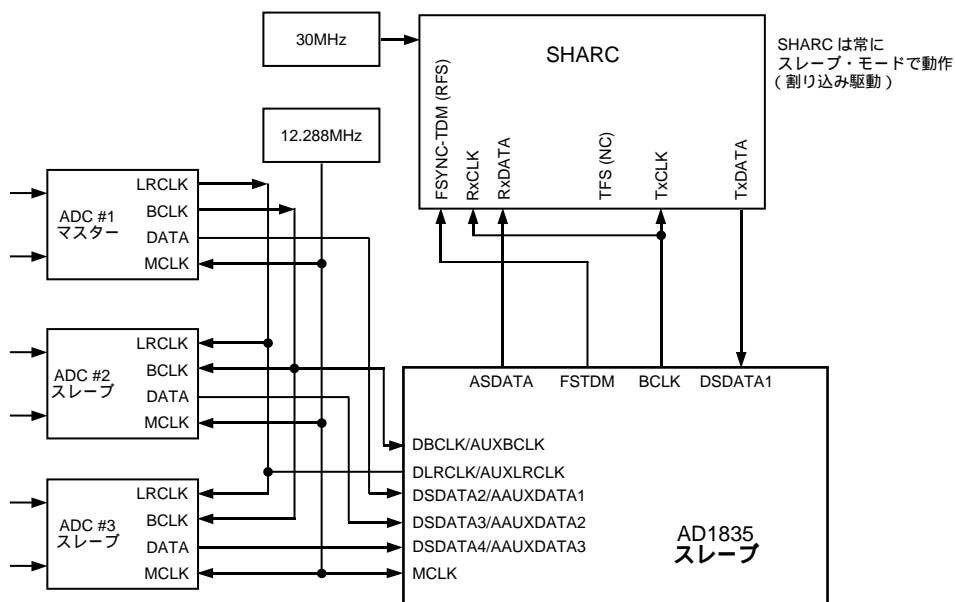


図13 SHARCに対する補助モード接続 (スレep・モード)

# AD1835

## コントロール・レジスタとステータス・レジスタ

AD1835は15本のコントロール・レジスタを持っており、その内の13本はデバイス動作モードの設定に使用されています。その他の2本のレジスタADCピーク0とADCピーク1は、読み出し専用で書き込みはできません。各レジスタは10ビット幅です。ただし、ADCピーク読み出しレジスタは6ビット幅です。コントロール・レジスタへの書き込みでは、転送対象の16ビットのデータ・フレームが必要です。ビット15～12は、必要とされるレジスタのアドレス・ビットです。ビット11はリード/ライト・ビットです。ビット10は予約ビットであり、常に0を書き込んでおく必要があります。ビット9～0には、レジスタに書き込む10ビット値、または読み出し動作での10ビット・レジスタ値が格納されます。図3に、SPI読み出し動作および書き込み動作のフォーマットを示します。

## DACコントロール・レジスタ

AD1835レジスタ・マップには、デバイスのDAC部の機能を制御するときに使う10個のレジスタが含まれています。これらのレジスタ内のビットの機能を次に説明します。

## サンプル・レート

これらのビットはDACのサンプル・レートを制御します。IMCLK = 24.576MHzのとき、48kHz、96kHz、192kHzのサンプル・レートが使用可能です。マスター・クロック周波数に応じて、ADCコントロールIII内のMCLKスケールリング・ビットを正しく設定する必要があります。

## パワーダウン/リセット

このビットは、DAC部のパワーダウン・ステータスを制御します。デフォルトでは、通常モードが選択されていますが、このビットをセットすると、DACステージのデジタル部が低消費電力モードになるため、デジタル電流を減らすことができます。DACステージのアナログ出力部は、パワーダウンされません。

## DACデータ・ワード幅

この2ビットは、DACデータのワード幅を設定します。コンパクト・ディスク (CD) 互換では16ビットが必要ですが、多くの最新デジタル・オーディオ・フォーマットでは24ビットのサンプル分解能が必要です。

## DACデータ・フォーマット

AD1835シリアル・データ・インターフェースは、I<sup>2</sup>S、LJ、RJ、またはDSPなどの各モードを含む一般的なインターフェース・フォーマットと互換性を持つように設定することができます。これらのインターフェース・モードの詳細は、このデータシートのシリアル・データ・ポートのセクションに記載されています。

## ディエンファシス

AD1835は、32.0kHz、44.1kHz、48kHzの3種類の標準サンプル・レートに対するディエンファシス・フィルタを内蔵しています。

## ミュートDAC

AD1835に内蔵されている6個の各DACには、独立した個別のミュート制御機能があります。該当するビットをセットすると、DAC出力をミュートします。AD1835は、多くのサイクル数間にわたり出力を約 - 100dBに減衰させるクリックのないミュート機能を使っています。

## ステレオ複製

このビットをセットすると、ステレオ・ペアDAC1に送信されたデジタル・データがシステム内の他の4個のステレオDACへコピーされます。この機能を使うと、1つのデジタル・データ・ストリームで3個すべてのステレオDACを駆動することができます。このモードでは、他のDACへ送信されたDACデータは無視されることに注意してください。

## DACボリューム・コントロール

AD1835に内蔵されている各DACには、独立した個別のボリューム制御機能があります。各DACのボリュームは、該当するレジスタを設定することにより、1024リニア・ステップで調整することができます。このレジスタのデフォルト値は1023であり、減衰量ゼロのフル・ボリュームになっています。

## ADCコントロール・レジスタ

AD1835レジスタ・マップには、デバイスのADC機能の制御とADCステータスの読み出しで使う5個のレジスタが含まれています。これらのレジスタ内のビットの機能を次に説明します。

## ADCピーク・レベル

ADCピーク・リードバック機能がイネーブルにされると、この2個のレジスタに各チャンネルのADC変換結果のピーク値が格納されます。変換結果のピーク値は、0～ - 63dBの範囲を1dBステップで表す6ビット値として格納されます。レジスタ内の値は読み出された後にリセットされるため、必要に応じて連続的なレベル調整が可能です。ADCピーク・レベル・レジスタは、レジスタの上位6ビットを使っていることに注意してください。

## サンプル・レート

このビットは、ADCのサンプル・レートを制御します。IMCLK = 24.576MHzのとき、48kHzと96kHzのサンプル・レートが使用可能です。マスター・クロック周波数に応じて、ADCコントロールIII内のMCLKスケールリング・ビットを正しく設定する必要があります。

## ADCパワーダウン

このビットはADC部のパワーダウン・ステータスを制御し、DACパワーダウンと同じ動作をします。

## ハイパス・フィルタ

ADC信号パスにはデジタル・ハイパス・フィルタがあります。このフィルタをイネーブルにすると、デジタル出力コードからアナログ入力信号内のすべてのDCオフセットの影響を除去することができます。

## ディザ

ディザ機能をイネーブルにすると、ADC入力にあるサンプリング・コンデンサに小さいランダム電荷が加算されます。この機能を使うと、入力信号がない場合に発生するアイドル・トーンの影響をなくすることができます。

## ADCデータワード幅

この2ビットはADCデータのワード幅を指定します。

## ADCデータ・フォーマット

AD1835シリアル・データ・インターフェースは、I<sup>2</sup>S、LJ、RJ、DSPなどの各モードを含む一般的なインターフェース・フォーマットと互換性を持つように設定することができます。

## マスター/スリープ補助モード

AD1835が補助モードで動作しているとき、外部ADCに接続されている補助ADCコントロール・ピンのAUXBCLKとAUXLRCLKを設定して、マスターまたはスリープとして動作させることができます。ピンをスリープ・モードに設定する場合は、外部ADCの1つがLRCLK信号とBCLK信号を提供する必要があります。

## ADCピーク・リードバック

このビットをセットすると、ADCピーク読み出し機能がイネーブルにされます。詳細については、ADCのセクションを参照してください。

表III コントロール・レジスタ・マップ

レジスタ・アドレス (16進)	レジスタ名	説明	タイプ	幅	リセット時の設定
0000	DACCTRL1	DACコントロール1	R/W	10	000
0001	DACCTRL2	DACコントロール2	R/W	10	000
0010	DACVOL1	DACボリューム-左1	R/W	10	3FF
0011	DACVOL2	DACボリューム-右1	R/W	10	3FF
0100	DACVOL3	DACボリューム-左2	R/W	10	3FF
0101	DACVOL4	DACボリューム-右2	R/W	10	3FF
0110	DACVOL5	DACボリューム-左3	R/W	10	3FF
0111	DACVOL6	DACボリューム-右3	R/W	10	3FF
1000	DACVOL7	DACボリューム-左4	R/W	10	3FF
1001	DACVOL8	DACボリューム-右4	R/W	10	3FF
1010	ADCピーク0	ADC左ピーク	R	6	000
1011	ADCピーク1	ADC右ピーク	R	6	000
1100	ADCCTRL1	ADCコントロール1	R/W	10	000
1101	ADCCTRL2	ADCコントロール2	R/W	10	000
1110	ADCCTRL3	ADCコントロール3	R/W	10	000
1111	予約済み	予約済み	R/W	10	予約済み

表IV DACコントロール・レジスタI

アドレス	R/W	RES	機能				
			ディエンファシス	DACデータ・ フォーマット	DAC ワード幅	パワーダウン・ リセット	サンプル・ レート
15、14、13、12 0000	11 0	10 0	9、8 00 = なし 01 = 44.1kHz 10 = 32.0kHz 11 = 48.0kHz	7、6、5 000 = I <sup>2</sup> S 001 = RJ 010 = DSP 011 = LJ 100 = パックド・モード256 101 = 予約済み 110 = 予約済み 111 = 予約済み	DAC ワード幅 00 = 24ビット 01 = 20ビット 10 = 16ビット 11 = 予約済み	パワーダウン・ リセット 0 = ノーマル 1 = パワーダウン	サンプル・ レート 00 = 8 × (48kHz) 01 = 4 × (96kHz) 10 = 2 × (192kHz) 11 = 8 × (48kHz)

表V DACコントロールII

アドレス	R/W	RES	予約済み	機能								
				ステレオ 複製	ミュートDAC							
					OUTR4	OUTL4	OUTR3	OUTL3	OUTR2	OUTL2	OUTR1	OUTL1
15、14、 13、12 0001	11 0	10 0	9 0	8 0 = Off 1 = 複製	7 0 = On 1 = ミュート	6 0 = On 1 = ミュート	5 0 = On 1 = ミュート	4 0 = On 1 = ミュート	3 0 = On 1 = ミュート	2 0 = On 1 = ミュート	1 0 = On 1 = ミュート	0 0 = On 1 = ミュート

# AD1835

表VI DACボリューム・コントロール

アドレス	R/ $\overline{W}$	RES	機能
			DACボリューム
15、14、13、12	11	10	9、8、7、6、5、4、3、2、1、0
0010 = DACL1	0	0	0000000000 = 1/1024
0011 = DACR1			0000000001 = 2/1024
0100 = DACL2			0000000010 = 3/1024
0101 = DACR2			1111111110 = 1022/1024
0110 = DACL3			1111111111 = 1023/1024
0111 = DACR3			
0110 = DACL4			
0111 = DACR4			

表VII ADCピーク

アドレス	R/ $\overline{W}$	RES	機能	
			6データ・ビット	固定の4ビット
15、14、13、12	11	10	9、8、7、6、5、4	3、2、1、0
0010 = 左ADC	1	0	000000 = 0.0dBFS	0000
1011 = 右ADC			000001 = -1.0dBFS	この4ビットは常にゼロ
			000010 = -2.0dBFS	
			111111 = -63.0dBFS	

表VIII ADCコントロール I

アドレス	R/ $\overline{W}$	RES	機能				
			ディザ	フィルタ	ADC パワーダウン	サンプル・ レート	予約済み
15、14、13、12	11	10	9	8	7	6	5、4、3、2、1、0
1100	0	0	0 = ディスエーブル 1 = イネーブル	0 = オールパス 1 = ハイパス	0 = ノーマル 1 = パワーダウン	0 = 48kHz 1 = 96kHz	0、0、0、0、0、0 0、0、0、0、0、0

表IX ADCコントロール II

アドレス	R/ $\overline{W}$ RES	RES	機能					
			マスター/スレーブ 補助モード	ADCデータ・ フォーマット	ADCDATA ワード幅	予約済み	ADC MUTE	
							右	左
15、14、13、12	11	10	9	8、7、6	5、4	3、2	1	0
1101	0	0	0 = スレーブ 1 = マスター	000 = I <sup>2</sup> S 001 = RJ 010 = DSP 011 = LJ 100 = バックド256 101 = 予約済み 110 = 補助256 111 = 予約済み	00 = 24ビット 01 = 20ビット 10 = 16ビット 11 = 予約済み	0、0	0 = On 1 = ミュート	0 = On 1 = ミュート

表X ADCコントロール III

アドレス	R/ $\overline{W}$ RES	RES	機能				
			予約済み	IMCLKクロッキング、 スケーリング	ADCピーク・ リードバック	DACテスト・ モード	ADCテスト・ モード
15、14、13、12	11	10	9	8、7、6	5	4、3、2	1、0
1110	0	0	0、0	00 = MCLK × 2 01 = MCLK 10 = MCLK × 2/3 11 = MCLK × 2	0 = ピーク・リード バックをディスエーブル 1 = ピーク・リード バックをイネーブル	000 = ノーマル・ モード その他は全て予約済み	00 = ノーマル・ モード その他は全て予約済み

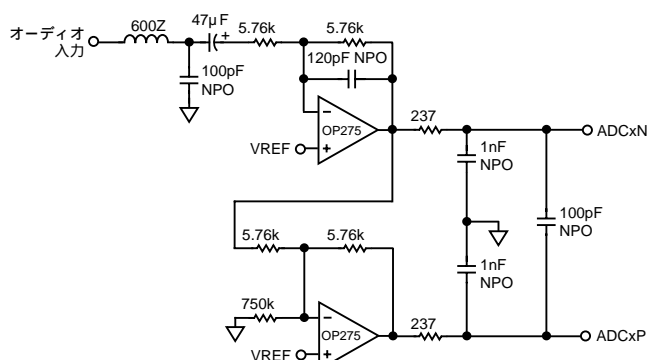


図14 代表的なADC入力フィルタ回路

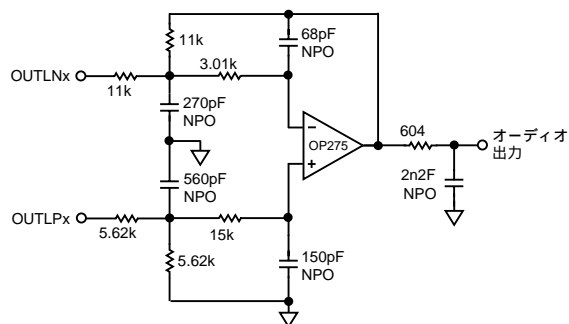


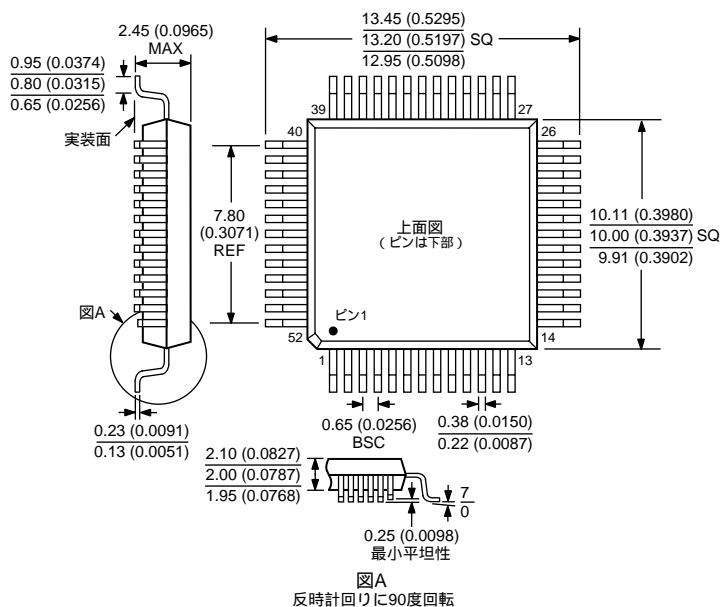
図15 代表的なDAC出力フィルタ回路

# AD1835

## 外形寸法

サイズはmmと（インチ）で示します。

### 52ピン・プラスチック・クワッド・フラットバック[MQFP] (S-52)



寸法管理はmmで行っています。インチ寸法はmmに丸め処理してあるため参考用であり、設計での使用には適しません。



# AD1835

TDS07/2002/1000

PRINTED IN JAPAN

