

特長

3.3V動作可能なデジタル・インターフェースを持つ5Vステレオ・オーディオ・システム

サンプル・レート：96kHz (6チャンネル)
192kHz (2チャンネル)

16/20/24ビットのワード長に対応

アイドル・トーンとノイズ・フロアを低減して“完全な差動直線性を再現”するマルチビット モジュレータ

高いジッター耐性を備えたデータ直接スクランプリングDAC
最適性能を引き出す差動出力

DACのS/N比およびダイナミックレンジ：110dB

THD + N：-94dB (6チャンネル・モード)

THD + N：-95dB (2チャンネル・モード)

1024ステップのボリューム・コントロール内蔵

ソフトウェア・コントロール可能なクリックレス・ミュート機能

デジタル・ディエンファシス処理

256 × f_s、512 × f_s、768 × f_sのマスター・クロック・モードに対応

ソフト・パワーダウン・モードを含むパワーダウン・モード
フレキシブルなシリアル・データ・ポート：

右詰め、左詰め、I²S互換、DSPシリアル・ポート・モードが可能

DACのバック・データ・モード (TDM) に対応

48ピンLQFPプラスチック・パッケージ

アプリケーション

DVDビデオ・プレーヤ、オーディオ・プレーヤ

ホーム・シアター・システム

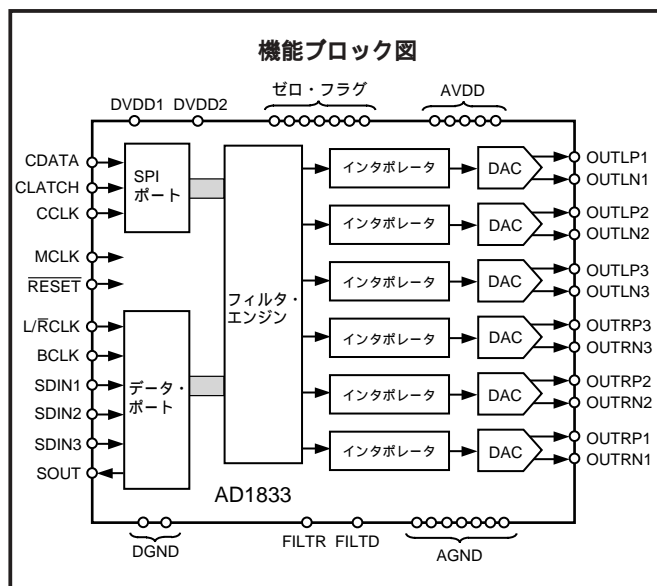
車載オーディオ・システム

セットトップ・ボックス

デジタル・オーディオ効果プロセッサ

概要

AD1833は、完全な高性能ワンチップ・マルチチャンネル・デジタル・オーディオ再生システムです。6チャンネルのオーディオ再生回路は、高性能デジタル・インタポレーション・フィルタ、アナログ・デバイセズの特許取得技術を採用したマルチビット モジュレータ、連続時間電圧出力アナログDACセクションから構成されています。その他、SPI互換のシリアル・コントロール・ポート経由で設定できるクリックレスな減衰器とミュート回路などの機能を各チャンネルに内蔵しています。



AD1833は既存の全DVDフォーマットと完全な互換性を持っており、全6チャンネルがサンプル・レート48kHzと96kHzで最大24ビット・ワード長に対応する一方で、2チャンネルで192kHzのサンプル・レートに対応できます。また“Redbook”に規定する50 μs/15 μsの標準デジタル・ディエンファシス・フィルタ (サンプル・レート32kHz、44.1kHz、48kHz) も提供します。

AD1833は非常にフレキシブルなシリアル・データ入力ポートを内蔵しており、あらゆるADC、DSPチップ、AES/EBUレシーバ、サンプル・レート・コンバータなどと、外付け回路なしで直接接続できます。AD1833は、左詰め、I²S、右詰め、DSPシリアル・ポート互換モードに設定できます。入力信号は、MSBファーストの2の補数フォーマットのシリアル・オーディオ・データです。AD1833は5V単電源で動作できますが、デジタル・インターフェース用に別々の電源ピンも持っているため、3.3V電源を使用するデバイスにもインターフェースできます。

AD1833は48ピンLQFPパッケージのワンチップ・モノリシックICとして製造され、温度範囲 -40 ~ +85 で動作します。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD1833 - 仕様

特に指示のない限り、以下のテスト条件によります。

電源電圧 (AV _{DD} 、DV _{DD})	5.0V
周辺温度	25
入力クロック	12.288MHz (256 × f _S モード)
入力信号	公称1kHz、0dBFS (フルスケール)
入力サンプル・レート	48kHz
測定帯域幅	20Hz ~ 20kHz
ワード幅	24ビット
負荷容量	500pF
負荷インピーダンス	10k

注

全チャンネルの性能は同一です (ただし、チャンネル間ゲイン・ミスマッチとチャンネル間位相偏差を除く)。仕様は予告なく変更されることがあります。

パラメータ	Min	Typ	Max	単位	テスト条件
アナログ性能					
D/Aコンバータ					
ダイナミックレンジ (20Hz ~ 20kHz、-60dBFS入力) フィルタ (Aウェイト) あり	106.5	110		dB	f _S = 96kHz 2チャンネル動作 6チャンネル動作 96kHz、2チャンネル動作 96kHz、6チャンネル動作
全高調波歪み + ノイズ		110.5	-89	dB	
		-95		dB	
		-94		dB	
		-95		dB	
		-94		dB	
S/N比		110		dB	
チャンネル間アイソレーション		108		dB	
DC精度					
ゲイン誤差		±3.0		%	
チャンネル間ゲイン・ミスマッチ		0.2		%	
ゲイン・ドリフト		80		ppm/	
チャンネル間クロストーク (EIAJ法)		-120		dB	
チャンネル間位相偏差		±0.1		度	
ボリューム・コントロールのステップ・サイズ (連続1023ステップ)		0.098		%	
ボリューム・コントロール範囲 (最大減衰量)		63.5		dB	
ミュート減衰量		-120		dB	
ディエンファシス・ゲイン誤差		±0.1		dB	
各ピンでのフルスケール出力電圧 (シングル・エンド)		1.0 (2.8)		V _{rms} (V _{p-p})	
出力抵抗 (差動測定)		150			
コモン・モード出力電圧		2.2		V	
DACインタポレーション・フィルタ (48kHz)					
通過帯域			20	kHz	
通過帯域リップル		±0.01		dB	
阻止帯域	24			kHz	
阻止帯域減衰量	70			dB	
グループ遅延		510		μs	
DACインタポレーション・フィルタ (96kHz)					
通過帯域			37.7	kHz	
通過帯域リップル		±0.03		dB	
阻止帯域	55.034			kHz	
阻止帯域減衰量	70			dB	
グループ遅延		160		μs	
DACインタポレーション・フィルタ (192kHz)					
通過帯域			89.954	kHz	
通過帯域リップル		±1		dB	
阻止帯域	104.85			kHz	
阻止帯域減衰量	70			dB	
グループ遅延		140		μs	

パラメータ	Min	Typ	Max	単位	テスト条件
デジタルI/O					
ハイレベル入力電圧	3.0			V	
ローレベル入力電圧			0.8	V	
ハイレベル出力電圧	DV _{DD2} - 0.4			V	
ローレベル出力電圧			0.4	V	
電源					
電源電圧 (AV _{DD} 、DV _{DD1})	4.5	5.0	5.5	V	
電源電圧 (DV _{DD2})	3.3		DV _{DD1}	V	
アナログ電源電流 I _{ANALOG}		38.5	42	mA	
デジタル電源電流 I _{DIGITAL}		42	45.5	mA	
電源変動除去比		2		mA	動作時 パワーダウン時
アナログ電源ピンに、1kHz、300mV p-p信号		- 60		dB	
アナログ電源ピンに、20kHz、300mV p-p信号		- 50		dB	

仕様は予告なく変更されることがあります。

絶対最大定格*

(特に指示のない限り、T_A = 25 °C)

AV _{DD} 、DV _{DDx} ~ AGND、DGND	- 0.3 ~ + 6.5V
AGND ~ DGND	- 0.3 ~ + 0.3V
デジタルI/O電圧 ~ DGND	- 0.3V ~ DV _{DD2} + 0.3V
アナログI/O電圧 ~ AGND	- 0.3V ~ AV _{DD} + 0.3V
動作温度範囲	
工業用 (Aバージョン)	- 40 ~ + 85
保管温度範囲	- 65 ~ + 150
最大接合温度	150

JA熱抵抗 (LQFP)

91 /W

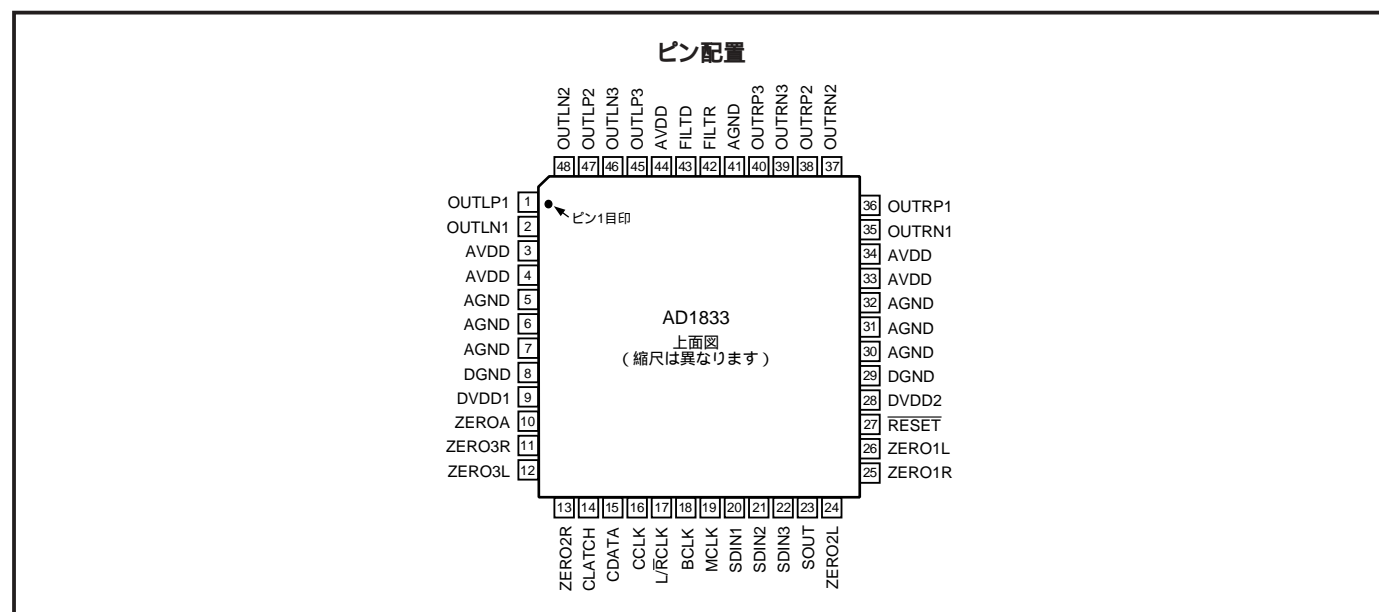
ピン温度、ハンダ処理

蒸着 (60秒)	215
赤外線 (15秒)	220

*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格条件に置くとデバイスの信頼度に影響を与えることがあります。同時に複数の絶対最大定格条件を適用することはできません。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD1833AST EVAL-AD1833EB	- 40 ~ + 85	薄型プラスチック・クワッド・フラットバック 評価ボード	ST-48



注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD1833

デジタル・タイミング (-40 ~ +85 で保証、 $AV_{DD} = DV_{DD} = 5.0V \pm 10\%$)

		Min	単位
t_{DML}	MCLKローレベル・パルス幅 (全モード)	15	ns
t_{DMH}	MCLKハイレベル・パルス幅 (全モード)	15	ns
t_{DBH}	BCLKハイレベル・パルス幅	15	ns
t_{DBL}	BCLKローレベル・パルス幅	15	ns
t_{DLS}	LRCLKセットアップ・タイム	5	ns
t_{DLH}	LRCLKホールド・タイム (DSPシリアル・ポート・モードの場合)	10	ns
t_{DDS}	SDATAセットアップ・タイム	5	ns
t_{DDH}	SDATAホールド・タイム	15	ns
t_{PDRP}	PD/RSTローレベル・パルス幅	10	ns
t_{CCH}	CCLKハイレベル・パルス幅	10	ns
t_{CCL}	CCLKローレベル・パルス幅	10	ns
t_{CSU}	CDATAセットアップ・タイム	5	ns
t_{CHD}	CDATAホールド・タイム	10	ns
t_{CLH}	CLATCHハイレベル・パルス幅	10	ns

仕様は予告なく変更されることがあります。

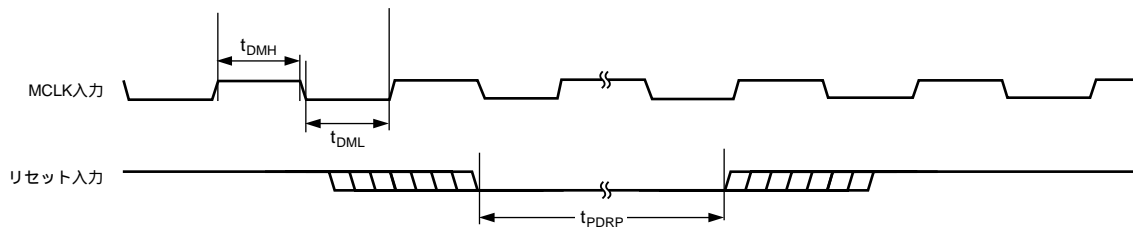


図1 MCLKとRESETのタイミング

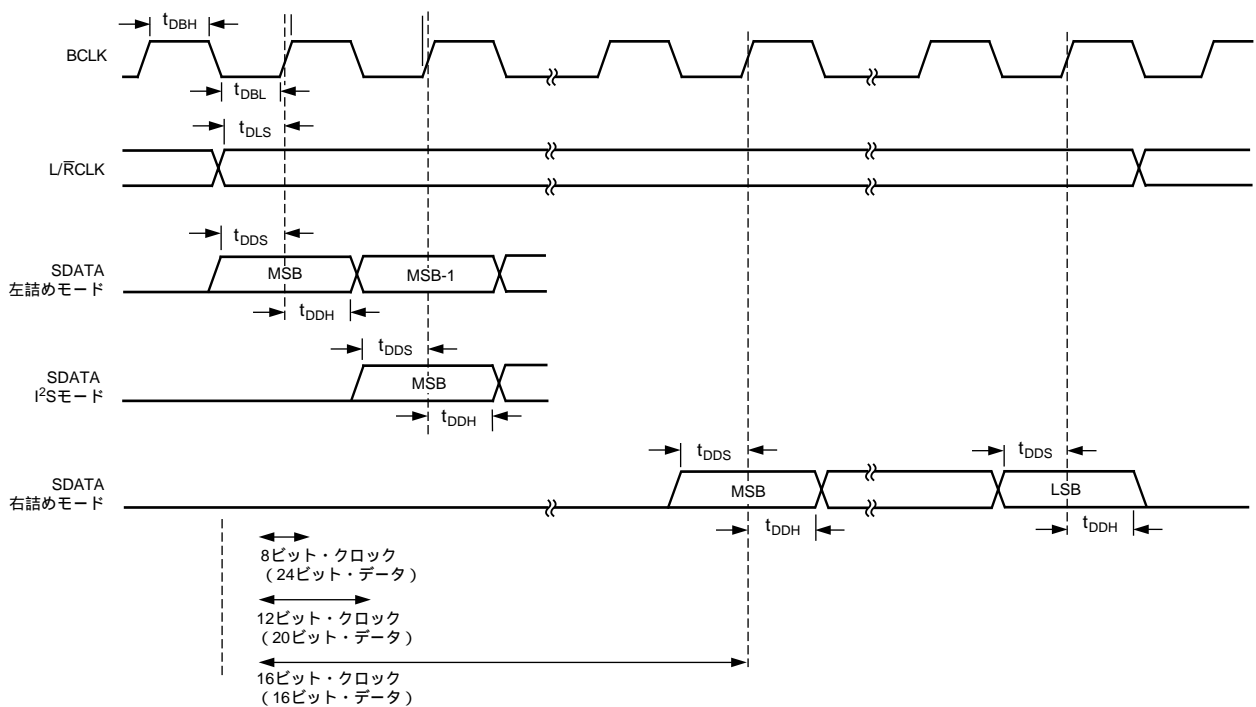


図2 シリアル・データ・ポートのタイミング

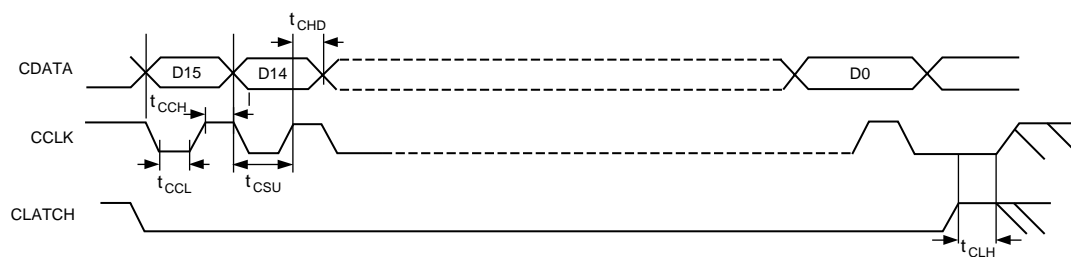
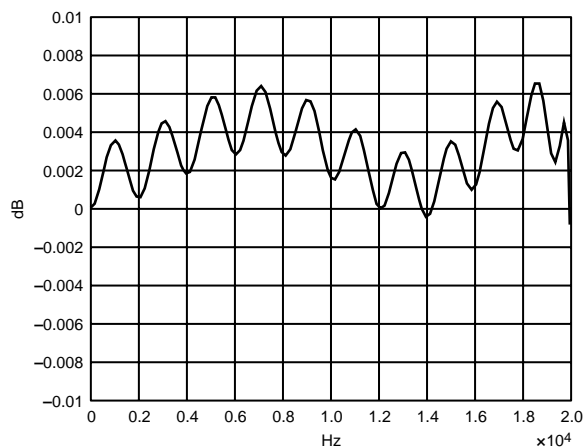


図3 SPIのタイミング

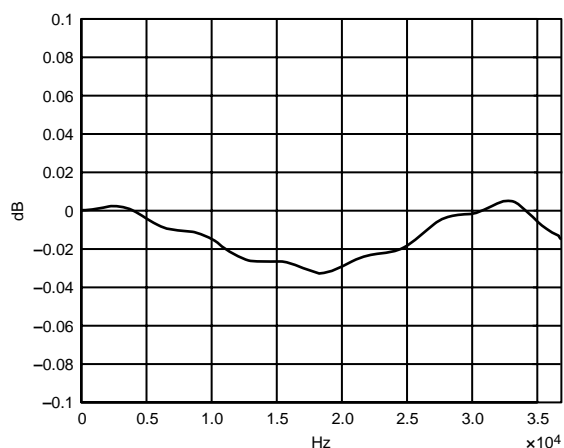
ピン機能の説明

ピン	記号	IN/OUT (入/出力)	説明
1	OUTLP1	O	DAC 1左チャンネル正レベル出力。
2	OUTLN1	O	DAC 1左チャンネル負レベル出力。
3, 4, 33, 34, 44	AVDD		アナログ電源。
5, 6, 7, 30, 31, 32, 41	AGND		アナログ・グラウンド。
8, 29	DGND		デジタル・グラウンド。
9	DVDD1		内部ロジックに対するデジタル電源。
10	ZEROA	O	ゼロ入力表示フラグ (全チャンネル)。
11	ZERO3R	O	ゼロ入力表示フラグ (チャンネル3右)。
12	ZERO3L	O	ゼロ入力表示フラグ (チャンネル3左)。
13	ZERO2R	O	ゼロ入力表示フラグ (チャンネル2右)。
14	CLATCH	I	データ・コントロール用ラッチ入力 (SPIポート)。
15	CDATA	I	シリアル・コントロール・データ入力 (SPIポート)。
16	CCLK	I	データ・コントロール用クロック入力 (SPIポート)。
17	L/RCLK	I/O	DACデータ入力用左 / 右クロック (TDMモードではFSTDM出力)。
18	BCLK	I/O	DACデータ入力用ビット・クロック (TDMモードではBCLKTDM出力)。
19	MCLK	I	マスター・クロック入力。
20	SDIN1	I	チャンネル1左 / 右に対するデータ入力。 (TDMモードとバック・モードではデータ・ストリーム入力)
21	SDIN2	I/O	チャンネル2左 / 右に対するデータ入力。 (TDMモードでは補助DACに対するL/RCLK出力)
22	SDIN3	I/O	チャンネル3左 / 右に対するデータ入力。 (TDMモードでは補助DACに対するBCLK出力)
23	SOUT	O	補助I ² S出力 (TDMモードで使用可能)。
24	ZERO2L	O	ゼロ入力表示フラグ (チャンネル2左)。
25	ZERO1R	O	ゼロ入力表示フラグ (チャンネル1右)。
26	ZERO1L	O	ゼロ入力表示フラグ (チャンネル1左)。
27	RESET	I	パワーダウンおよびリセット・コントロール。
28	DVDD2		外部インターフェース・ロジックに対する電源。
35	OUTRN1	O	DAC 1右チャンネル負レベル出力。
36	OUTRP1	O	DAC 1右チャンネル正レベル出力。
37	OUTRN2	O	DAC 2右チャンネル負レベル出力。
38	OUTRP2	O	DAC 2右チャンネル正レベル出力。
39	OUTRN3	O	DAC 3右チャンネル負レベル出力。
40	OUTRP3	O	DAC 3右チャンネル正レベル出力。
42	FILTR		リファレンス / フィルタ・コンデンサの接続ピン。10 μ F / 100 μ Fのデカップリング・コンデンサをこのピンとアナログ・グラウンドとの間に接続してください。
43	FILTD		フィルタ・コンデンサの接続ピン。10 μ F / 100 μ Fのデカップリング・コンデンサをこのピンとアナログ・グラウンドとの間に接続してください。
45	OUTLP3	O	DAC 3左チャンネル正レベル出力。
46	OUTLN3	O	DAC 3左チャンネル負レベル出力。
47	OUTLP2	O	DAC 2左チャンネル正レベル出力。
48	OUTLN2	O	DAC 2左チャンネル負レベル出力。

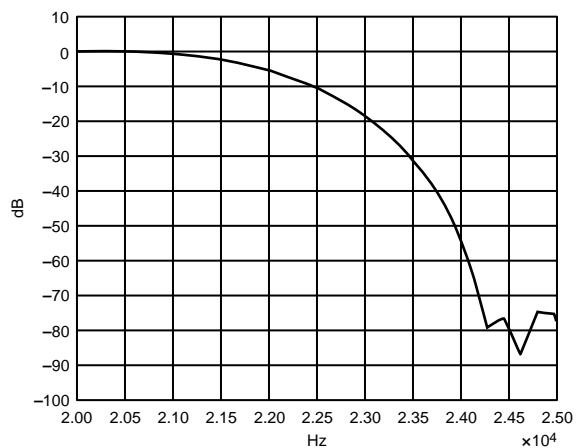
AD1833 - 代表的な性能特性



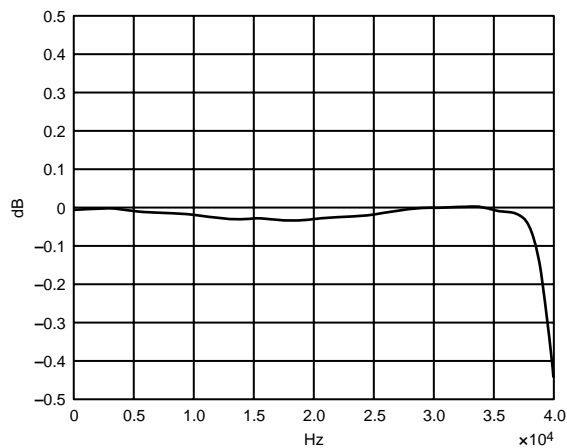
特性1 通過帯域応答、8xモード



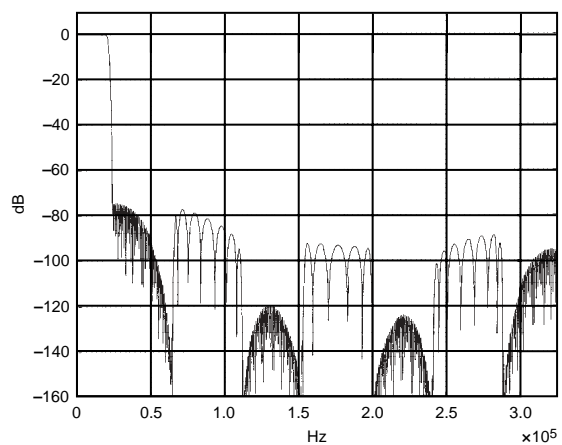
特性4 通過帯域応答、4xモード



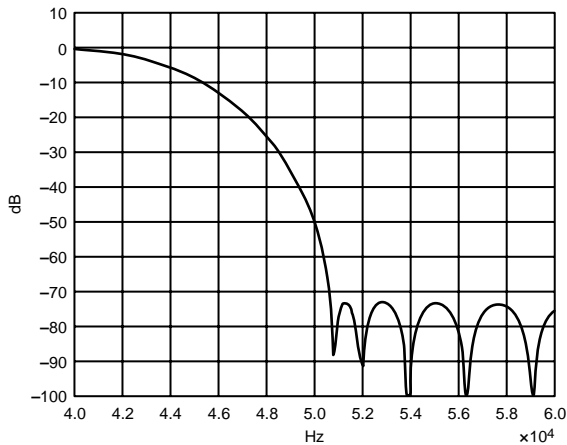
特性2 遷移帯域応答、8xモード



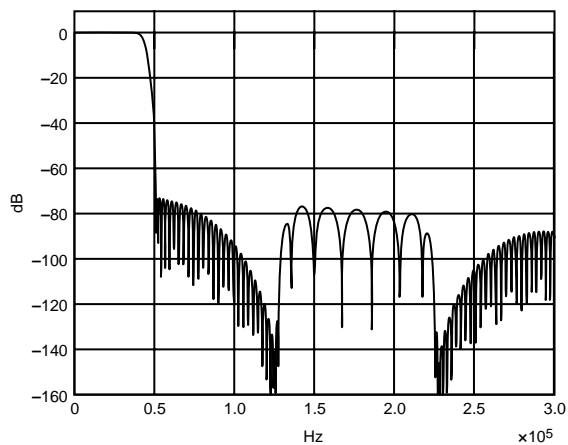
特性5 40kHz通過帯域応答、4xモード



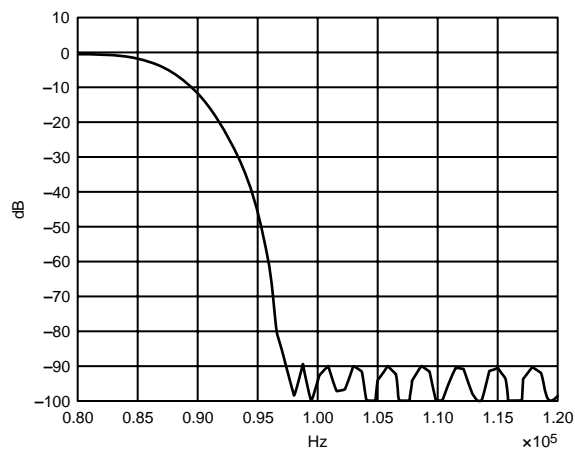
特性3 総合応答、8xモード



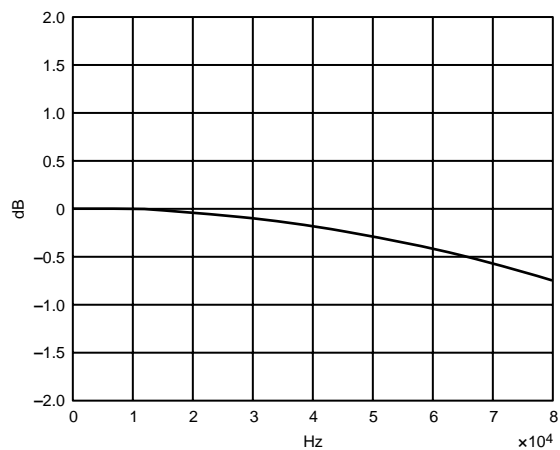
特性6 遷移帯域応答、4xモード



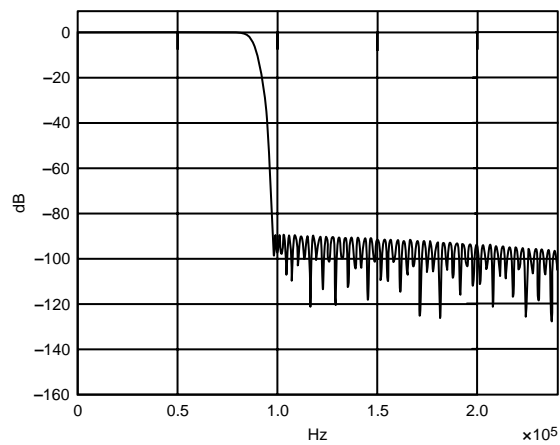
特性7 総合応答、4×モード



特性9 遷移帯域応答、2×モード



特性8 80kHz通過帯域応答、2×モード



特性10 総合応答、2×モード

AD1833

機能説明

デバイス・アーキテクチャ

AD1833は、マルチビット 技術を内蔵した6チャンネルのオーディオDACです。AD1833は、3個のステレオ・コンバータ（6チャンネルとなる）を内蔵し、この各ステレオ・チャンネルは共通のビット・クロック（BCLK）と同期信号（L/RCLK）で制御されています。

インタポレータ

インタポレータは、最大3ステージの2倍オーバーサンプリング回路、ハーフ・バンド・フィルタ、それに続く16サンプル・ゼロ次ホールド回路から構成されています。サンプル・レートの2倍オーバーサンプリングは入力サンプルにゼロを詰め込むことにより実現し、デジタル・ハーフ・バンド・フィルタを使って、信号帯域より上にある全てのイメージ成分を除去し、かつゼロ・サンプルをそれぞれの正しい値にします。

種々の入力サンプル・レートを選択すると、1ステージ、2ステージ、または3ステージの2倍オーバーサンプリング機能が切り変わります。この機能により3種類のサンプル・レート入力が実現します。入力サンプル・レートが48kHzの場合は3つの全2倍オーバーサンプリング・ステージが、96kHzの場合は2つの2倍オーバーサンプリング・ステージが、192kHzの場合は1つの2倍オーバーサンプリング・ステージが、それぞれ使用されます。どの場合でも、入力サンプル周波数が384kHzに引き上げられます。ゼロ次ホールド回路（ZOH）は、モジュレータによるアップ・サンプリングのためにインタポレータ・サンプルを保持します。これは、インタポレータ出力サンプル・レートの16倍のレートで実行されます。

モジュレータ

モジュレータは6ビットの2次構成で、完全な直線性を達成するためにデータ・スクランプリング技術を採用しています。

このモジュレータは、インタポレータ・ステージの出力を6.144MHzレートでサンプルします。

動作

SPIレジスタの定義

SPIポートを使って、デバイスのプログラマブルな機能をフレキシブルに制御できます。この機能は、個々のチャンネルに対する6個のVOLUMEレジスタと3個のコントロール・レジスタからなる、合計9個のレジスタで構成されています。AD1833 SPIコントロール・ポートに対する各書き込み動作では、MSBファースト・フォーマットの16ビット・シリアル・データが必要です。上位4ビットは、9個のレジスタ（7個のレジスタ・アドレスは予約済みの未使用レジスタ）の選択に、下位10ビットはそのレジスタへの書き込みデータとして、それぞれ使用されます。この機能により、9個の内から1個のレジスタを選択して、1回の16ビット・トランザクションとして書き込みが可能になっています。SPIのCCLK信号は、データ・クロックとして使われます。受信データはこのクロック信号の立ち上がりエッジで変化し、クロック信号の立ち上がりエッジで有効である必要があります。CCLKの16周期経過後に、CLATCH信号が立ち上がり、AD1833の内部にデータをラッチする必要があります。図2を参照してください。

このコントロール・ポートで使用しているシリアル・インターフェース・フォーマットでは、16ビットのシリアル・ワードを使用しています（表1）。この16ビット・ワードは次の複数のフィールドから構成されています。すなわち、ビット15~12はレジスタ・アドレスとして、ビット11とビット10は予約済み（必ず“0”を書き込むことが必要）、ビット9~0はデータ・フィールド（選択したレジスタに応じて特定の機能を指定）として、それぞれ定義されています。

表1 コントロール・ポート・マップ

レジスタ・アドレス				予約済み ¹		データ・フィールド									
15 ²	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

注

- 1 “0”の書き込みが必要
- 2 ビット15 = MSB

ビット15	ビット14	ビット13	ビット12	レジスタの機能
0	0	0	0	DACコントロールI
0	0	0	1	DACコントロールII
0	0	1	0	DACボリューム1 (OUTL1)
0	0	1	1	DACボリューム2 (OUTR1)
0	1	0	0	DACボリューム3 (OUTL2)
0	1	0	1	DACボリューム4 (OUTR2)
0	1	1	0	DACボリューム5 (OUTL3)
0	1	1	1	DACボリューム6 (OUTR3)
1	0	0	0	DACコントロールIII
1	0	0	1	予約済み
1	0	1	0	予約済み
1	0	1	1	予約済み
1	1	0	0	予約済み
1	1	0	1	予約済み
1	1	1	0	予約済み
1	1	1	1	予約済み

表II DACコントロール・レジスタ

アドレス	予約済み*		ディエンファシス	機能			
				シリアル・モード	データ・ワード幅	パワーダウン・リセット	インタポレータ・モード
15~12	11	10	9~8	7~5	4~3	2	1~0
0000	0	0	00 = なし 01 = 44.1 kHz 10 = 32.0 kHz 11 = 48.0 kHz	000 = I ² S 001 = RJ 010 = DSP 011 = LJ 100 = バック・モード1 (256) 101 = バック・モード2 (128) 110 = 補助モード 111 = 予約済み	00 = 24 ビット 01 = 20 ビット 10 = 16 ビット 11 = 予約済み	0 = ノーマル 1 = PWRDWN	00 = 8 × (48kHz) 01 = 2 × (192kHz) 10 = 4 × (96kHz) 11 = 予約済み

* “0” の書き込みが必要

DACコントロール・レジスタ

ディエンファシス

AD1833はディエンファシス・フィルタを内蔵しており、このフィルタは“Redbook”に規定されている標準の50 μ s / 15 μ sエンファシス応答曲線に基づいてエンコードされたCDをデコードする際に使用します。32kHz、44.1kHz、48kHzの各サンプリング・レートに対して3種類の曲線が使用可能です。このフィルタは、DACコントロール・レジスタ内にあるコントロール・ビット9と8に書き込みを行って選択します(表III)。

表III ディエンファシスの設定

ビット9	ビット8	ディエンファシス
0	0	ディスエーブル
0	1	44.1 kHz
1	0	32 kHz
1	1	48 kHz

データ・シリアル・インターフェース・モード

AD1833のシリアル・データ・インターフェースは、I²S、右詰め(RJ)、左詰め(LJ)、フレキシブルなDSPモードなどの広範囲な標準的フォーマットのデータを入力できます。L/RCLKピンは、サンプル周期の境界を表示するワード・クロック(またはフレーム同期)として機能します。SDIN1~SDIN3ピンからデータが入力される時、BCLKはシリアル・データ・レートを決定します。シリアル・モードの設定は、DACコントロール・レジスタ内にあるコントロール・ビット7~5に書き込みを行うことにより選択されます(表IV)。

表IV データ・シリアル・インターフェース・モードの設定

ビット7	ビット6	ビット5	シリアル・モード
0	0	0	I ² S
0	0	1	右詰め
0	1	0	DSP
0	1	1	左詰め
1	0	0	バック・モード1 (256)
1	0	1	バック・モード2 (128)
1	1	0	補助モード
1	1	1	予約済み

DACのワード幅

AD1833は、16ビット、20ビット、24ビットの3種類のワード長でデータを入力することができます。ワード長は、DACコントロール・レジスタ内にあるコントロール・ビット4と3に書き込みを行うことにより選択されます(表V)。

表V ワード長の設定

ビット4	ビット3	ワード長
0	0	24 Bits
0	1	20 Bits
1	0	16 Bits
1	1	予約済み

パワーダウン・コントロール

AD1833は、DACコントロール・レジスタ内にあるコントロール・ビット2に書き込みを行って、パワーダウンにできます(表VI)。CLATCHがハイからローへ変化した後にCLATCHを再びハイにして、ワード全体をラッチした場合、パワーダウン/リセット・ビットはラッチされません。したがって、デバイスをパワーダウンするとき、またはパワーダウンから戻すときは、コマンドを2回書き込む必要があります。

表VI パワーダウンのコントロール

ビット2	パワーダウンの設定
0	通常動作
1	パワーダウン・モード

インタポレータ・モード

AD1833のDACインタポレータは、48kHz、96kHz、192kHzの各モードに対応する8 \times 、4 \times 、2 \times の各モードで動作できます。インタポレータ・モードは、DACコントロール・レジスタ内にあるコントロール・ビットの1と0に書き込みを行うことにより選択されます(表VII)。

表VII インタポレータ・モードの設定

ビット1	ビット0	インタポレータ・モード
0	0	8 \times (48kHz)
0	1	2 \times (192kHz)
1	0	4 \times (96kHz)
1	1	予約済み

AD1833

表VIII DACコントロールII

アドレス	予約済み*		機能						
			予約済み*	ミュート・コントロール					
15~12	11	10	9~6	5	4	3	2	1	0
0001	0	0	0	チャンネル6 0=ミュート・オフ 1=ミュート・オン	チャンネル5 0=ミュート・オフ 1=ミュート・オン	チャンネル4 0=ミュート・オフ 1=ミュート・オン	チャンネル3 0=ミュート・オフ 1=ミュート・オン	チャンネル2 0=ミュート・オフ 1=ミュート・オン	チャンネル1 0=ミュート・オフ 1=ミュート・オン

* “0” の書き込みが必要

DACコントロール・レジスタII

DACコントロール・レジスタIIIには、6個の各DACに対するチャンネル毎のミュート・コントロール・ビットが配置されています。デフォルト動作（ビット0）はミュート・オフに設定されています。コントロール・レジスタIIのビット9~6は予約済みであり、“0” を書き込んでおく必要があります（表VIII）。

表IX ミュート機能のコントロール

ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	Muting
X	X	X	X	X	1	チャンネル1をミュート
X	X	X	X	1	X	チャンネル2をミュート
X	X	X	1	X	X	チャンネル3をミュート
X	X	1	X	X	X	チャンネル4をミュート
X	1	X	X	X	X	チャンネル5をミュート
1	X	X	X	X	X	チャンネル6をミュート

DACコントロール・レジスタIII

ステレオ複製

AD1833では、チャンネル1（SDIN1 左1と右1）のステレオ情報を、チャンネル2（左2/右2）とチャンネル3（左3/右3）へコピーできます。これらの信号を外部加算アンプで使用するにより、信号のS/N比を改善できます。ステレオ複製モードは、コントロール・ビット5に書き込みを行うことにより、イネーブルにできます（表XI）。この複製により、ゼロ・フラグのステータスは影響を受けないことに注意してください。

表XI ステレオ複製

ビット5	ステレオ・モード
0	通常動作
1	チャンネル1のデータをチャンネル2とチャンネル3へコピー

表X DACコントロールIII

アドレス	予約済み*		予約済み*	機能			
				ステレオ複製 (192 kHz)	MCLKの選択	ゼロ検出	予約済み
15~12	11	10	9~6	5	4~3	2	1~0
1000	0	0	0	0 = ノーマル 1 = 複製	00 = $256 \times f_S$ (MCLK $\times 2$) 01 = $512 \times f_S$ (MCLKをそのまま使用) 10 = $768 \times f_S$ (MCLK $\times 2/3$)	0 = アクティブ・ハイ 1 = アクティブ・ロー	

* “0” の書き込みが必要

MCLKの選択

AD1833では、使用可能な外部MCLK周波数を必要なサンプル・レートにマッチングさせることができます。オーバー・サンプル・レートは、ビット4とビット3に書き込みを行うことにより、 $256 \times f_s$ 、 $512 \times f_s$ 、 $768 \times f_s$ の中から選択できます。AD1833は $512 \times f_s$ のMCLKを必要とします。そのため、 $256 \times f_s$ モードの場合はクロック・ダブラーが使用され、一方 $768 \times f_s$ モードの場合には、3分周ブロック（3に分割します）を使用した後でクロック・ダブラーが使用されます（表XII）。

表XII MCLKの設定

ビット4	ビット3	オーバーサンプル比
0	0	$256 \times f_s$ （内部的にはMCLK $\times 2$ ）
0	1	$512 \times f_s$
1	0	$768 \times f_s$ （内部的にはMCLK $\times 2/3$ ）
1	1	予約済み

チャンネル・ゼロ・ステータス

AD1833には、ゼロ・データが1024サンプル周期以上に渡ってチャンネルに送信された場合に、それを表示するロジック出力ステータス表示が個別に用意されています。全チャンネルがゼロ・データであることを表示するグローバル・

ゼロ・フラグもあります。アクティブ・ゼロ信号の極性は、コントロール・ビット2に書き込みを行うことにより指定できます（表XIII）。適切なロジック・ゲートを使ってこれら6個のチャンネル・フラグを結合して対を構成することにより、3個のステレオ・ゼロ・フラグとして使用できます。この場合、左入力と右入力に1024クロック・サイクル間ゼロ入力が継続、すなわち1024サンプル周期間ステレオ・ゼロ入力が継続すると、2個のフラグの結合出力がアクティブになり、ステレオ・ゼロを表示します。

表XIII ゼロ検出

ビット2	チャンネル・ゼロ・ステータス
0	アクティブ・ハイ
1	アクティブ・ロー

DACボリューム・コントロール・レジスタ

AD1833では、6個のDACチャンネルにそれぞれ対応する、6個のボリューム・コントロール・レジスタが用意されています。ボリューム・コントロールは、各DACに対応するレジスタに書き込みを行って行われます。この設定を使用してDAC出力を減衰させます。フルスケール設定（全ビット“1”）はゼロ減衰に対応します（表XV）。

表XIV MCLKとサンプル・レート選択の関係

サンプリング・レート f_s (kHz)	インタポレータ・モード	MCLK (MHz)		
		$256f_s$	$512f_s$	$768f_s$
32 64 128	8×（ノーマル） 4×（2倍） 2×（4倍）	8.192	16.384	24.576
44.1 88.2 176.4	8×（ノーマル） 4×（2倍） 2×（4倍）	11.2896	22.5792	33.8688
48 96 192	8×（ノーマル） 4×（2倍） 2×（4倍）	12.288	24.576	36.864

表XV ボリューム・コントロール・レジスタ

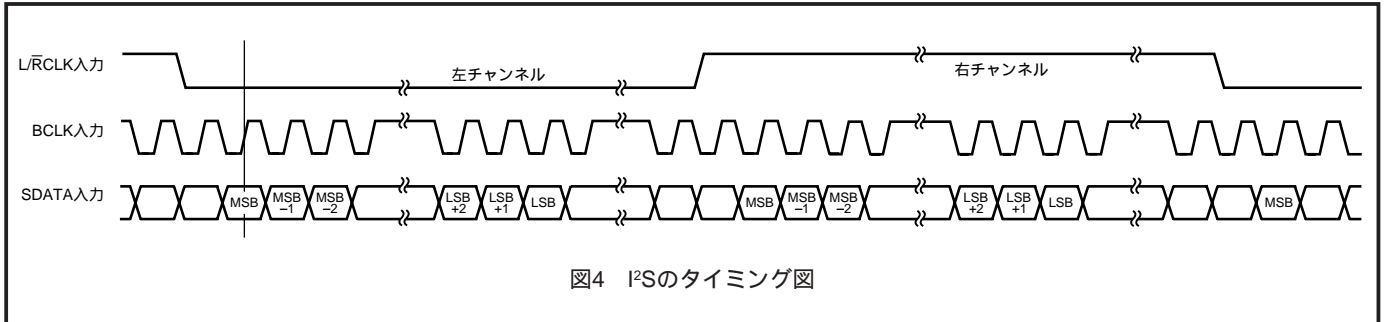
アドレス	予約済み*		ボリューム・コントロール
15~12	11	10	9~0
0 0 1 0	0	0	チャンネル1ボリューム・コントロール (OUTL1)
0 0 1 1			チャンネル2ボリューム・コントロール (OUTR1)
0 1 0 0			チャンネル3ボリューム・コントロール (OUTL2)
0 1 0 1			チャンネル4ボリューム・コントロール (OUTR2)
0 1 1 0			チャンネル5ボリューム・コントロール (OUTL3)
0 1 1 1			チャンネル6ボリューム・コントロール (OUTR3)

AD1833

I²Sのタイミング

I²Sでは、L/RCLKを使って左右のチャンネルにデータが転送されたタイミングを検出します。L/RCLKは、左チャンネルに対してはローに、右チャンネルに対してはハイになります。データ入力には $64 \times f_s$ のビット・クロックが使用されま

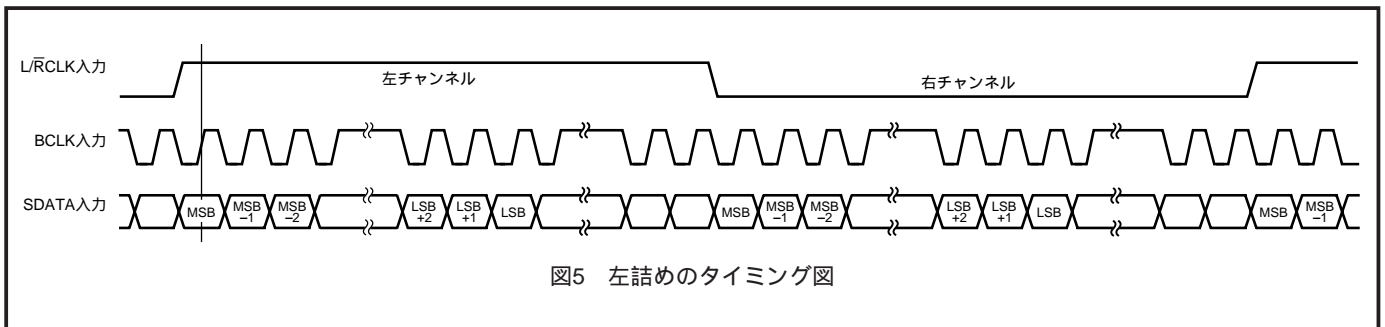
す。L/RCLK信号の状態変化からSDINxライン上のデータ先頭ビットまでに、1ビット・クロックの遅延があります。データはMSBファーストで書き込まれ、ビット・クロックの立ち上がりエッジで有効です。



左詰めのタイミング

左詰め (LJ) では、L/RCLKを使って左チャンネルと右チャンネルにデータが転送されたタイミングを検出します。L/RCLKは、左チャンネルに対してはハイに、右チャンネルに対してはローになります。 $64 \times f_s$ のビット・クロックがデ

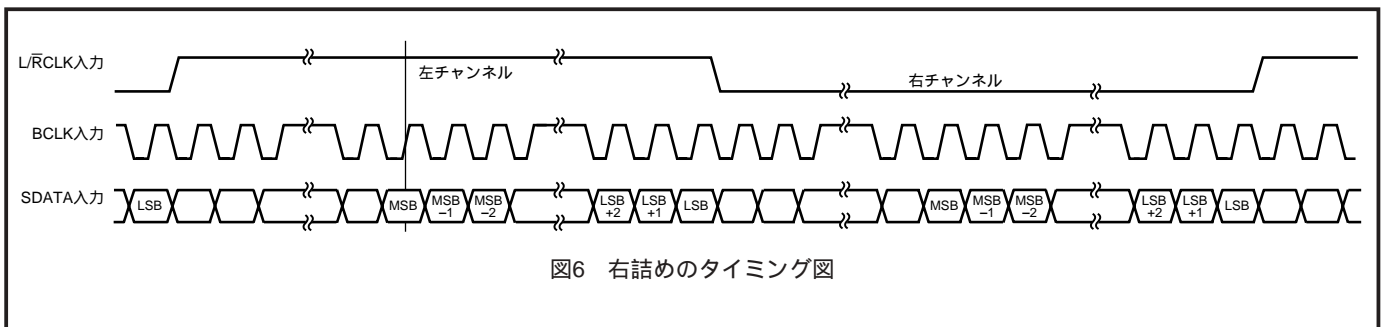
ータ入力に使用されます。データの前頭ビットは、L/RCLKのトグルと同時にSDINxラインに出力されます。データはMSBファーストで書き込まれ、ビット・クロックの立ち上がりエッジで有効です。



右詰めタイミング

右詰め (RJ) では、L/RCLKを使って左チャンネルと右チャンネルにデータが転送されたタイミングを検出します。L/RCLKは、左チャンネルに対してはハイに、右チャンネルに対してはローになります。データ入力には $64 \times f_s$ のビット・クロックが使用されます。データの前頭ビットは、

L/RCLKのトグルからビット・クロックの8周期 (24ビット・データの場合) 経過後にSDINxに出力されます。RJモードでは、データのLSBは常にL/RCLK変化の直前の最終ビット・クロックでクロック駆動されます。データはMSBファーストで書き込まれ、ビット・クロックの立ち上がりエッジで有効です。



補助モードのタイミング SHARC®へのインターフェース補助モードでは、AD1833がマスターになり、L/RCLKピンにフレーム同期信号（FSTDM）を、BCLKピンにビット・クロック（BCLKTDM）信号を、それぞれ出力します。両信号は、SHARCからのデータ転送の制御に使用されます。ビット・クロックは、周波数 $256 \times f_s$ で動作します。このモードでは、すべてのデータがビット・クロックの立ち上がりエッジで書き込まれ、ビット・クロックの立ち下がりエッジで読み出されます。AD1833は、ビット・クロックの立ち上がりエッジでフレーム同期をハイにすることにより、フレームを開始します。SHARCはビット・クロックの次の立ち下がりエッジでこれを認識し、ビット・クロックの次の立ち上がりエッジでデータ出力を開始できるようにします。各チャンネルには32ビットのクロック・スロットが割り当てられ、データは左詰めで、この32ビットの内の16、20、または24ビットを使います。詳細は拡大図（図6）に示します。データはSHARCからAD1833のSDIN1ピンに転送されます。転送順序はMSBファーストで、内部DAC L1、内部DAC L2、内部DAC L3、補助DAC L、内部DAC R1、内部DAC R2、内部DAC R3、補助DAC Rの順です。データはビット・クロックの立ち上がりエッジで書き込まれ、AD1833は

ビット・クロックの立ち下がりエッジで読み込みます。補助DACに対する左データと右データは、補助DACとの間の交信でSDIN2ピン、SDIN3ピン、SOUTピンをそれぞれL/RCLKピン、BCLKピン、SDINピンとして使って、次のフレームで標準のI²Sフォーマットを使って送信されます。

DSPモードのタイミング

DSPモードでは、L/RCLKピン上のフレーム同期信号の立ち上がりエッジを使って、データ・ワード転送開始を表示します。左/右チャンネルの両方に対して、立ち上がりエッジが使用されることに注意してください。このためこのモードでは、左チャンネルへ送信されるデータと右チャンネルへ送信されるデータを区別する方法はありません。DSPはBCLKの立ち上がりエッジでデータを書き込み、AD1833は立ち下がりエッジで読み込みます。DSPはフレーム同期信号をBCLKの立ち上がりエッジでハイにして、BCLKの次の立ち上がりエッジからMSBファーストでデータ転送を開始します。データ長は16ビット、20ビット、または24ビットが可能です。フレーム同期信号はMSBが転送された以後で、かつ次のチャンネル転送開始より少なくともBCLKで1周期前の任意の時点でローにすることができます。

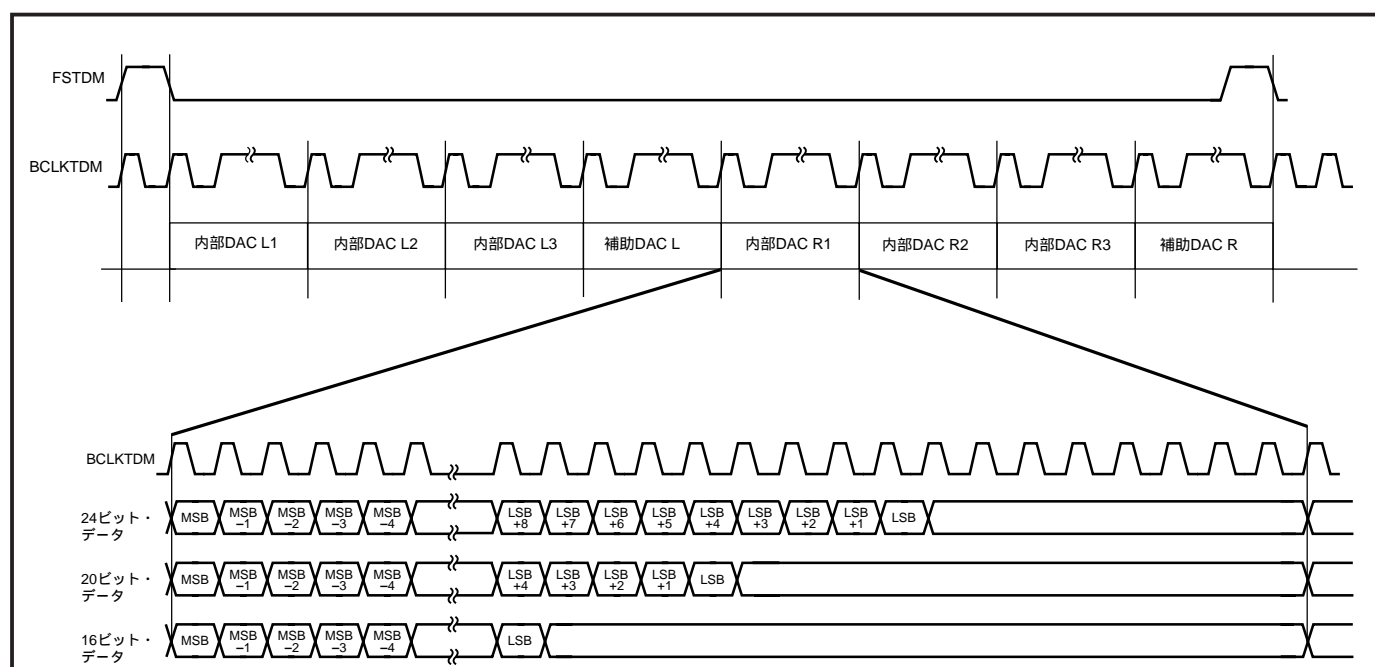


図7 補助モードのタイミング

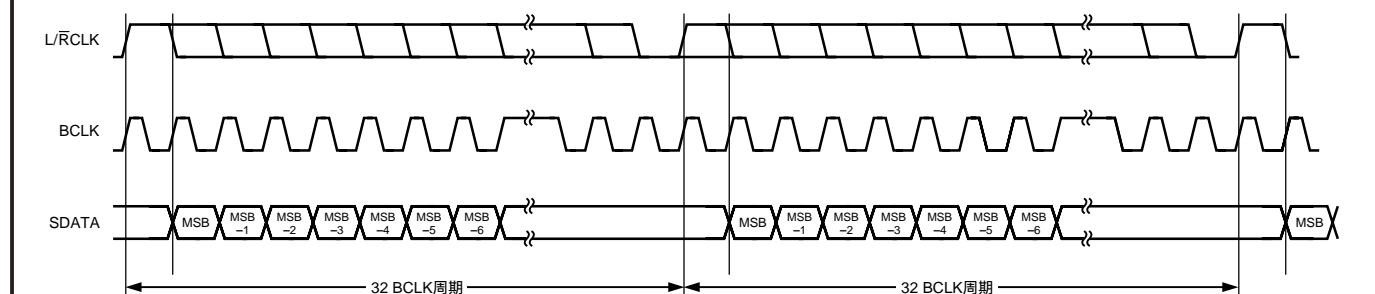


図8 DSPモードのタイミング

AD1833

パック・モード128

パック・モード128では、全6データ・チャンネルが1本のデータ・ピン上で1サンプル周期に“パック”されます。BCLKは $128 \times f_s$ で動作するため、各サンプル周期はBCLKで128周期分に対応します。各サンプル周期は、20個のBCLKからなる6スロットと4個のBCLKからなる2スロットの8個のタイム・スロットに分割されます。このモードでは、データ長は最大20ビットに制限されます。3つの左チャンネルがMSBファーストで先書き込まれ、データはBCLKの立ち下がりエッジで書き込まれます。3つの左チャンネルが書き込まれた後に、BCLKで4個分のスペースをおいて、3つの右チャンネルが書き込まれます。L/RCLKが左データと右データの送信を指定し、3つの左チャンネルに対してはハイに、3つの右チャンネルに対してはローに、それぞれなります。

パック・モード256

パック・モード256では、全6データ・チャンネルが1本のデータ・ピン上で1サンプル周期に“パック”されます。BCLKは $256 \times f_s$ で動作するため、各サンプル周期はBCLKで256周期分に対応します。各サンプル周期は、各々32個のBCLKからなる8タイム・スロットに分割されます。データ長は16/20/24ビットが可能です。3つの左チャンネルがMSBファーストで先書き込まれ、データはスロットの開始からBCLKの1周期分遅れたBCLKの立ち下がりエッジで書き込まれます。3つの左チャンネルが書き込まれた後に、BCLKで32個分のスペースをおいて、3つの右チャンネルが書き込まれます。L/RCLKが左データと右データの送信を指定し、3つの左チャンネルに対してはローに、3つの右チャンネルに対してはハイに、それぞれなります。

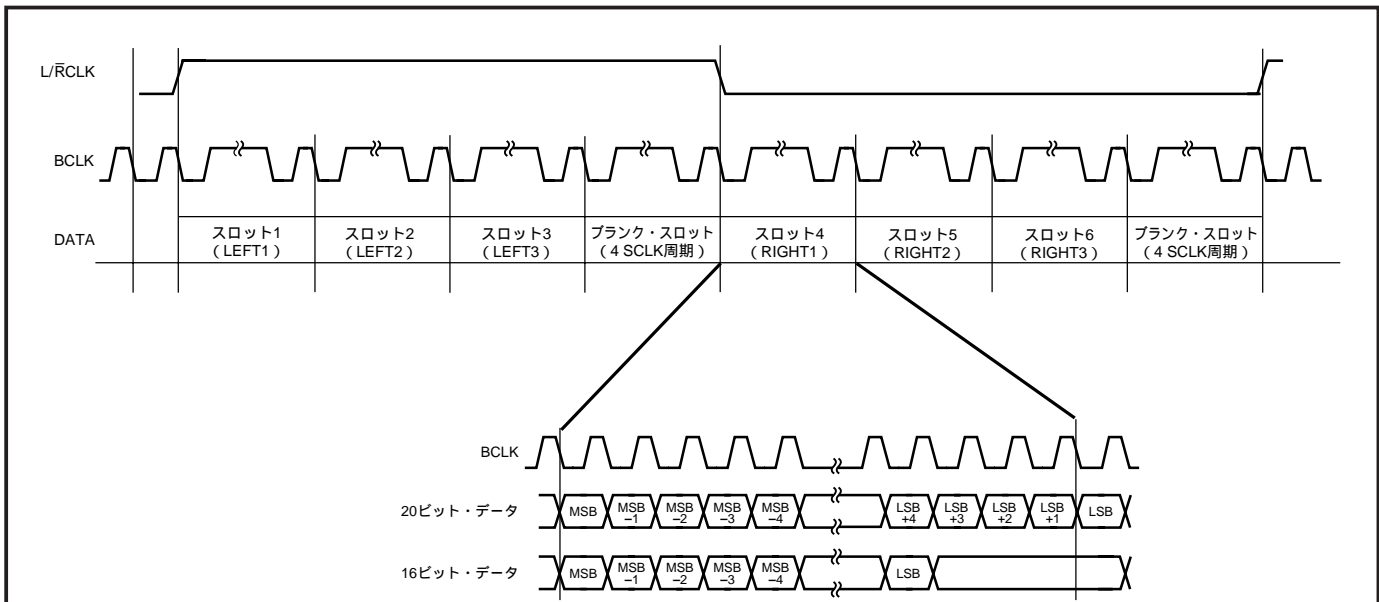


図9 パック・モード128

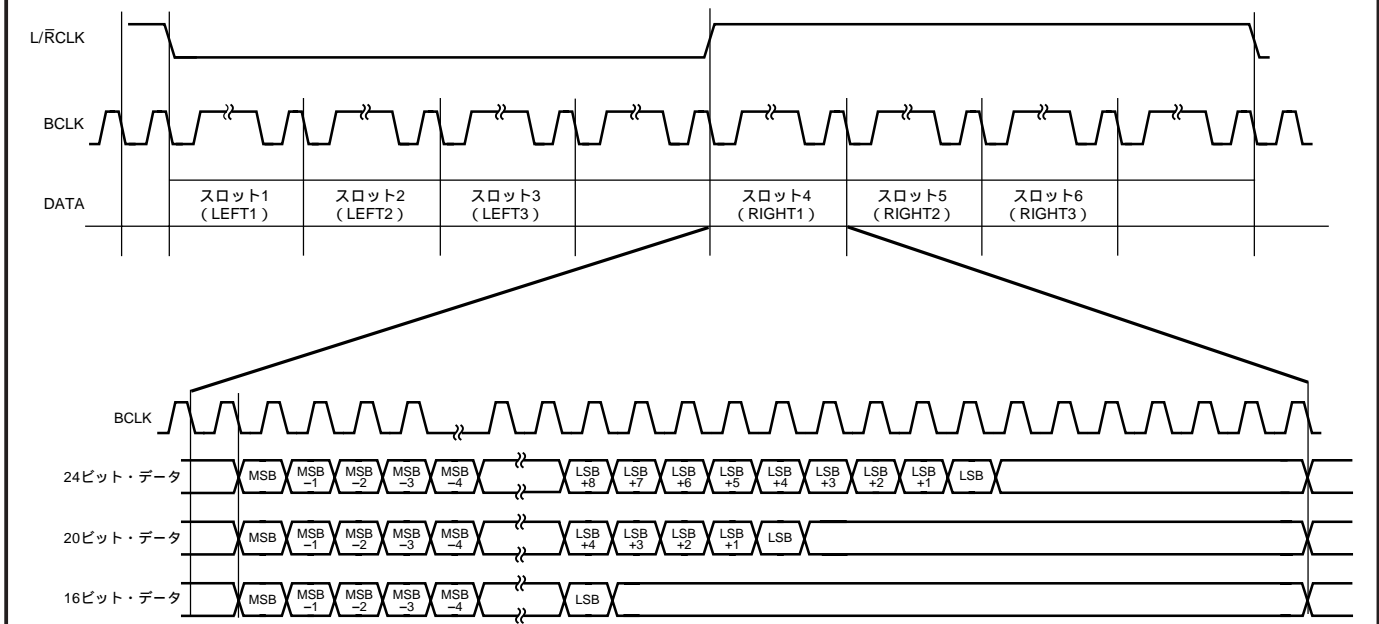


図10 パック・モード256

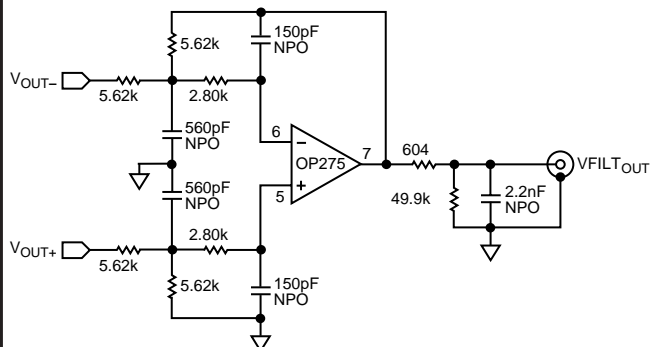


図11 推奨出力フィルタ回路図

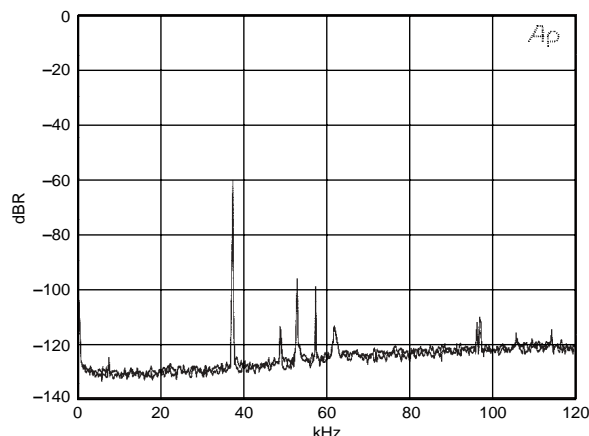


図14 37kHzに対するダイナミックレンジ
(- 60dBFS、110dB、三角波ディザ入力)

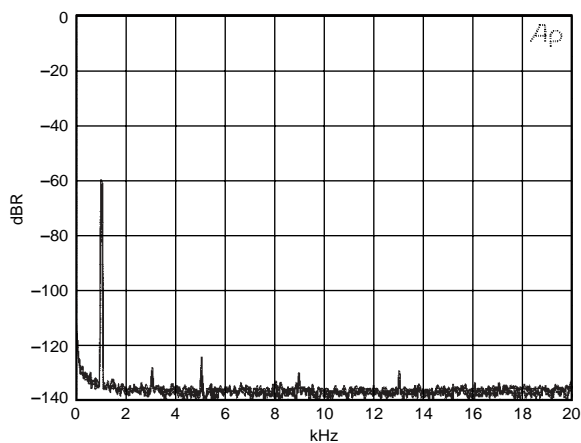


図12 kHzに対するダイナミックレンジ
(- 60dBFS、110dB、三角波ディザ入力)

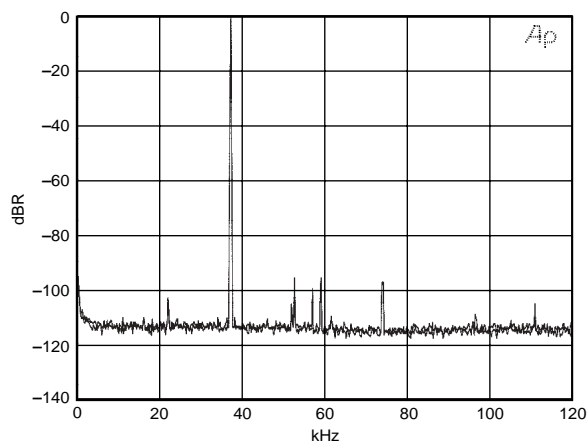


図15 入力0dBFS (37kHz、20Hz ~ 120kHz帯域、サンプル・レート96kHz、THD + N = - 95dBFS)

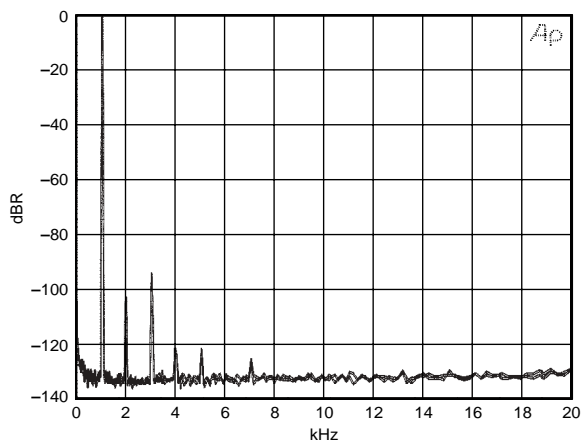


図13 入力0dBFS (1kHz、20Hz ~ 20kHz帯域、サンプル・レート48kHz、THD + N = - 95dBFS)

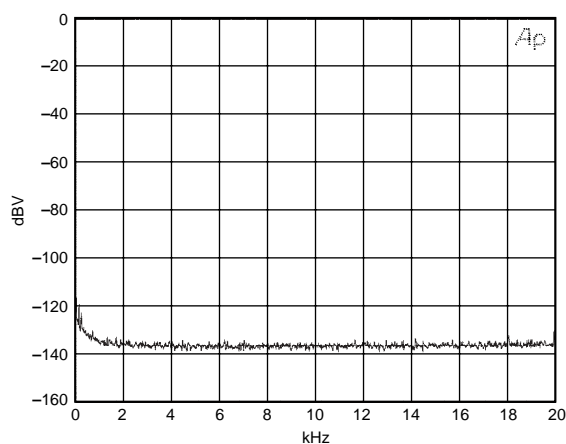


図16 ゼロ入力に対するノイズ・フロア (サンプル・レート48kHz、AウェイトでのS/N比 110dBFS)

AD1833

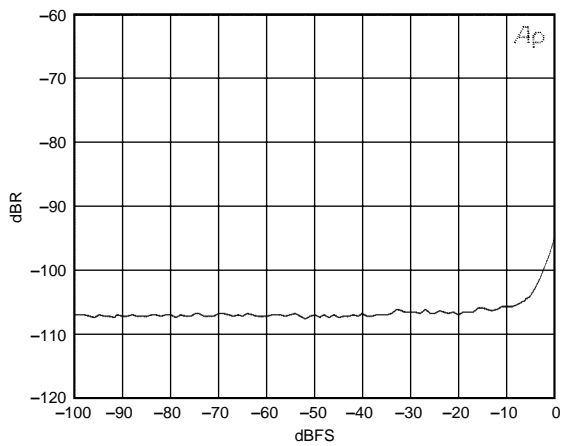


図17 THD + N比対振幅
(入力1kHz、サンプル・レート48kHz、24ビット)

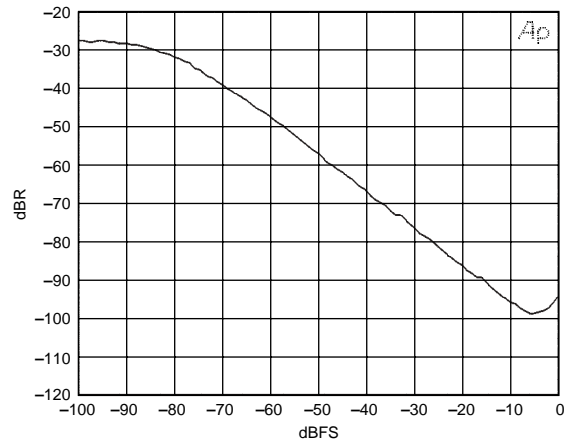


図18 THD + N比対振幅 (1kHz、サンプル・レート48kHz)

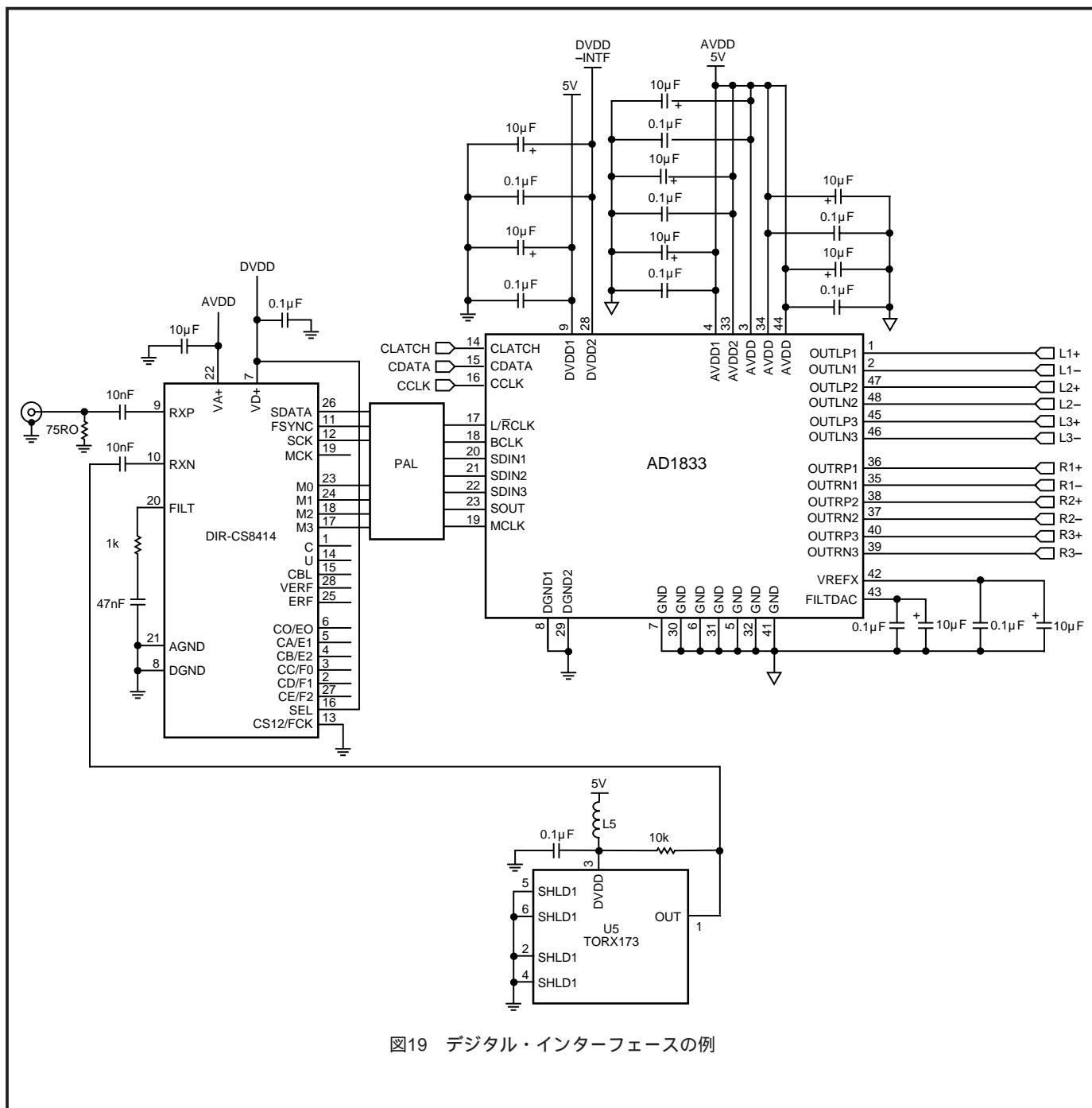


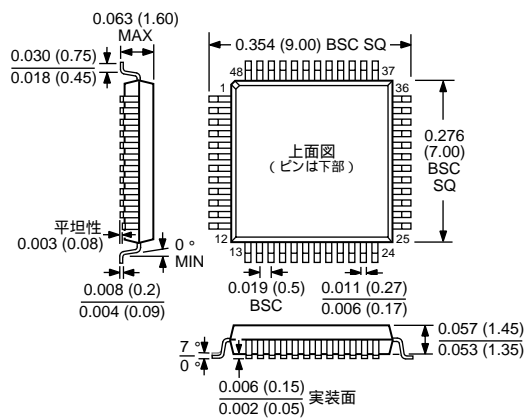
図19 デジタル・インターフェースの例

AD1833

外形寸法

サイズはインチと (mm) で示します。

48ピン薄型プラスチック・クワッド・フラットパック (ST-48)



AD1833

TDS06/2001/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。