

特長

- 最大8個の電源を監視する全機能内蔵型の電源モニタ/シーケンサ
- 1%以下の優れた精度で電源監視が可能な8個の電源障害検出器 (SFD)
- 以下の電源を監視できる4個の選択可能な入力減衰器:
 - VHピンに入力される最大14.4Vまでの電源
 - VP1~3ピンに入力される最大6Vまでの電源
- 2つの機能を備えた4チャンネル入力VX1~4:
 - 0.573~1.375Vのスレッシュホールド設定が可能な高インピーダンスの電源障害検出器入力
 - 汎用のロジック入力
- 8個のプログラマブル出力ドライバ(PDO1~8):
 - プルアップ抵抗を外付けするオープン・コレクタ出力
 - VDDCAPまたはVPnまで駆動されるプッシュ/プル出力
 - VDDCAPまたはVPnまでウィーク・プルアップするオープン・コレクタ出力
 - 内部チャージ・ポンプによる外部N-FETの高い駆動能力 (PDO1~6のみ)
- PDO出力のステート・マシン制御を実行するシーケンシング・エンジン(SE):
 - 入力イベントの条件に従ったステート変化
 - 複雑なボード制御が可能
 - パワーアップおよびパワーダウン・シーケンス制御
 - 障害イベント処理
 - 警告時の割込み発生
 - SEにウォッチドッグ機能を内蔵可能
 - SMBusを介したシーケンシングのソフトウェア制御
 - プログラミング
- 4つの電源電圧レールを対象とする完全な電圧余裕度制御ソリューション
- 4個の電圧出力8ビットDAC (0.300~1.551V)により、DC/DCコンバータのトリム/フィードバック・ノードを介した電圧調整が可能
- 監視電圧のリードバック用に12ビットADCを内蔵
- 電圧リファレンス入力REFINにより、以下の2つの入力オプションを選択可能:
 - 2.048V (±0.25%)のREFOUTピンから直接的に駆動
 - 精度のより高い電圧リファレンスの外付けによるADC性能の改善
- 冗長性を向上するために、VP1~3、VHピンのうち最も高い電圧からデバイスに電源を供給
- ユーザEEPROM: 256バイト
- 業界標準の2線式バス・インターフェース (SMBus)
- VH、VPn=1.2V時にPDOのローレベルを保証
- 7mm×7mmサイズの32ピンLQFPパッケージ

機能ブロック図

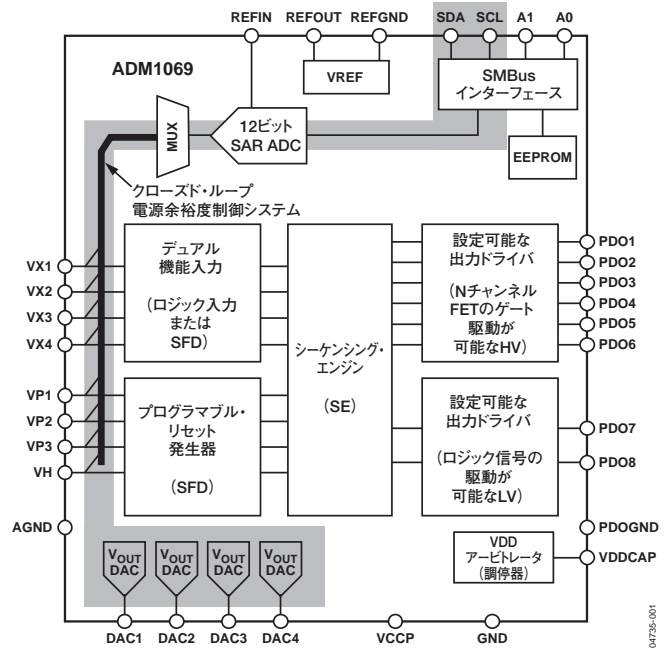


図1

アプリケーション

- CO (中央局) システム
- サーバ/ルータ
- 複数電源電圧システムのライン・カード
- DSP/FPGAの電源シーケンシング
- 余裕度設定電源のインサーキット・テスト

概要

ADM1069は、さまざまな設定が可能な電源監視/シーケンシング用ICで、多電源システムの電源監視とシーケンシングをシングルチップで実現します。これらの機能に加えて、ADM1069には1個の12ビット逐次比較型A/Dコンバータ(SAR ADC)と4個の8ビット電圧出力D/Aコンバータ(DAC)も内蔵しています。これらの回路はクローズド・ループ電源余裕度制御システムの構成に使用することが可能であり、このシステムではDAC出力を使用してDC/DCコンバータのフィードバック・ノードまたはリファレンスを変更することによって、電源を調整できます。

(3ページに続く)

ADM1069

目次

概要	3	タイムアウト検出器	19
仕様	4	障害のレポート	19
ピン配置と機能の説明	7	電圧のリードバック	20
絶対最大定格	8	ADCによる電源監視	20
熱特性	8	電源余裕度の制御	21
ESDに関する注意	8	概要	21
代表的な性能特性	9	オープン・ループ電源余裕度制御	21
ADM1069の電源供給	12	クローズド・ループ電源余裕度制御	21
入力	13	DACの書込み動作	22
電源の監視	13	減衰抵抗値の選択	22
電源障害検出器の設定	13	DAC制限機能とその他の安全機能	22
入力コンパレータのヒステリシス	14	アプリケーション回路図	23
入力グリッチのフィルタ処理	14	ADM1069の通信動作	24
VXn入力を用いた電源監視	14	パワーアップ時の設定ダウンロード	24
VXnピンをデジタル入力として使用する方法	15	設定の更新	24
出力	16	シーケンシング・エンジンの更新	25
設定可能な出力ドライバによる電源シーケンシング	16	内部レジスタ	25
シーケンシング・エンジン (SE)	17	EEPROM	25
概要	17	シリアル・バス・インターフェース	25
警告	17	RAMとEEPROMのSMBusプロトコル	27
SMBusジャンプ/無条件ジャンプ	17	書込み動作	27
シーケンシング・エンジンのアプリケーション例	18	読出し動作	29
シーケンス検出器	19	外形寸法	31
モニタリング障害検出器	19	オーダー・ガイド	31

改訂履歴

3/05—Revision 0: Initial Version

概要

(1ページから続く)

外付け部品をそれほど必要とせずに電源余裕度を制御できます。電源余裕度制御ループを使用し、製造時のボードのインサーキット・テストに利用したり(たとえば、公称電源の-5%でボードの機能性を検証)、DC/DCコンバータの出力電圧を高精度に制御したりすることが可能です。

このデバイスには、最大で8系統の電源のアンダー電圧、オーバerv電圧、または設定範囲外の電圧を監視するために、最大8チャンネルのプログラマブル入力も備わっています。さらに、8チャンネルのプログラマブル出力をロジック・イネーブル信号として使用することも可能です。このうち6チャンネルは、電源経路に接続されたNチャンネルFETのゲートを駆動できます(最大12Vの出力)。

このデバイスのロジック・コアは、シーケンシング・エンジンです。このステート・マシン・ベース構成のエンジンは、最大で63個までの異なるステートを設定できるため、入力の条件に基づいた柔軟性の高い出力のシーケンシングが可能になります。

このデバイスの制御は、EEPROM内にプログラミングされた設定データを使用して行います。アナログ・デバイセズが提供する使いやすいGUIベースのソフトウェア・パッケージを利用して、設定全体をプログラミングできます。

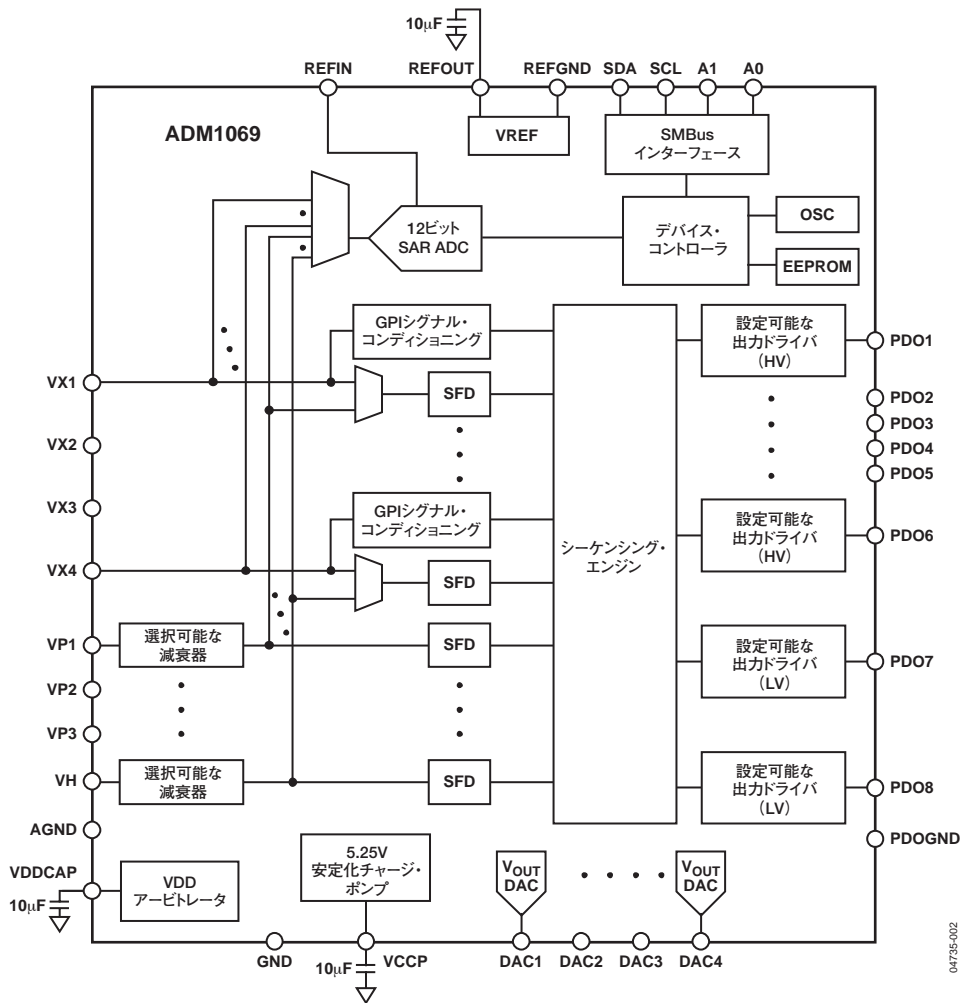


図2. 詳細ブロック図

ADM1069

仕様

特に注記のない限り、 $V_H=3.0\sim 14.4V^1$ 、 $V_{Pn}=3.0\sim 6.0V^1$ 、 $T_A=-40\sim +85^\circ C$ で仕様規定。

表1

パラメータ	Min	Typ	Max	単位	テスト条件/備考
電源アービトレーション					
VH、VPn	3.0			V	VPn、VHの1つで要求される最小電源
VP			6.0	V	最大VDDCAP=5.1V(代表値)
VH			14.4	V	VDDCAP=4.75V
VDDCAP	2.7	4.75	5.4	V	安定化LDO出力
C _{VDDCAP}	10			μF	推奨の最小デカップリング容量
電源					
電源電流 (I _{VH} 、I _{VPn})		4.2	6	mA	VDDCAP=4.75V、PDO1~8オフ、DACオフ、ADCオフ
追加電流					
全PDO FETドライバ・オン電流		1		mA	VDDCAP=4.75V、PDO1~6にそれぞれ1 μA の負荷電流を流した場合、PDO7~は8オフ
VDDCAPからの出力電流			2	mA	すべての出力ピンをVDDCAPに最大負荷抵抗を用いてプルアップした場合
DACの電源電流		2.2		mA	4個の各DACに最大100 μA の負荷電流を流した場合
ADCの電源電流		1		mA	ラウンドロビン・ループを実行
EEPROM消去電流		10		mA	1msのみの持続時間、VDDCAP=3V
電源障害検出器 (SFD)					
VHピン					
入力減衰器誤差		± 0.05		%	中レンジおよび高レンジ
検出範囲					
高レンジ	6		14.4	V	
中レンジ	2.5		6	V	
VPnピン					
入力減衰器誤差		± 0.05		%	低レンジおよび中レンジ
検出範囲					
中レンジ	2.5		6	V	
低レンジ	1.25		3	V	
超低レンジ	0.573		1.375	V	入力減衰器誤差なし
VXピン					
入力インピーダンス	1			M Ω	
検出範囲					
超低レンジ	0.573		1.375	V	入力減衰器誤差なし
絶対精度			± 1	%	VREF誤差+DACの非直線性+コンパレータのオフセット誤差
スレッシュホールド分解能		8		ビット	
デジタル・グリッチ・フィルタ		0		μs	プログラマブル・フィルタの最小時間
		100		μs	プログラマブル・フィルタの最大時間
A/Dコンバータ					
信号範囲	0		V _{REFIN}	V	ADCはVH、VPn、VX_GPIInの各ピンに印加される信号を変換できます。VPnとVHの各入力信号は、選択された範囲に応じて減衰されます。選択された範囲に対応するピンの信号は、ADCの入力で0.573Vから1.375Vまでの範囲となります。
REFINピンの入力リファレンス電圧 (V _{REFIN})		2.048		V	
分解能		12		ビット	
INL			± 2.5	LSB	エンドポイントを補正、V _{REFIN} =2.048V
ゲイン誤差			± 0.05	%	V _{REFIN} =2.048V

パラメータ	Min	Typ	Max	単位	テスト条件/備考
変換時間		0.44		ms	1チャンネルで1回の変換
		84		ms	8チャンネルのすべてを選択、16倍の平均化をイネーブル
オフセット誤差			±2	LSB	$V_{REFIN}=2.048V$
入力ノイズ		0.25		LSB _{rms}	ダイレクト入力(減衰器なし)
バッファ電圧出力DAC					
分解能		8		ビット	
コード0x80の出力電圧					4つの出力電圧範囲におけるセンター・コードに対して4個のDACを個別に測定
レンジ1	0.592	0.6	0.603	V	
レンジ2	0.796	0.8	0.803	V	
レンジ3	0.996	1	1.003	V	
レンジ4	1.246	1.25	1.253	V	
出力電圧範囲		601.25		mV	同じレンジでセンター・コードとは無関係
LSBステップ・サイズ		2.36		mV	
INL			±0.75	LSB	エンドポイントを補正
DNL			±0.4	LSB	
ゲイン誤差			1	%	
負荷レギュレーション		-4		mV	電流ソース、 $I_{REFOUTMAX}=-200\mu A$
		2		mV	電流シンク、 $I_{REFOUTMAX}=100\mu A$
最大負荷容量			50	pF	
50pF負荷に対するセトリング時間			2	μs	
負荷レギュレーション		2.5		mV	1mA当たり
PSRR		60		dB	DC
		40		dB	50pF負荷に対して20nsで100mVステップ
リファレンス出力					
リファレンス出力電圧	2.043	2.048	2.053	V	無負荷時
負荷レギュレーション		-0.25		mV	電流ソース、 $I_{DACnMAX}=-100\mu A$
		0.25		mV	電流シンク、 $I_{DACnMAX}=100\mu A$
最小負荷容量	1			μF	デカップリング、安定性維持に必要なコンデンサの容量
負荷レギュレーション		2		mV	100 μA 当たり
PSRR		60		dB	DC
プログラマブル・ドライバ出力					
高電圧(チャージ・ポンプ)モード(PDO1~6)					
出力インピーダンス		500		k Ω	
V_{OH}	11	12.5	14	V	$I_{OH}=0$
	10.5	12	13.5	V	$I_{OH}=1\mu A$
I_{OUTAVG}		20		μA	$2V < V_{OH} < 7V$
標準(デジタル出力)モード(PDO1~8)					
V_{OH}	2.4			V	V_{PU} (VDDCAPまたは V_{PN} のプルアップ電圧)=2.7V、 $I_{OH}=0.5mA$
			4.5	V	$V_{PU} \sim V_{PN}=6.0V$ 、 $I_{OH}=0mA$
	$V_{PU}-0.3$			V	$V_{PU} \leq 2.7V$ 、 $I_{OH}=0.5mA$
V_{OL}	0		0.50	V	$I_{OL}=20mA$
I_{OL}^2			20	mA	PDOピン当たりの最大シンク電流
I_{SINK}^2			60	mA	全PDOピンを合計した最大シンク電流
$R_{PULL-UP}$		20		k Ω	内部プルアップ抵抗
$I_{SOURCE}(V_{Pn})^2$			2	mA	任意の V_{Pn} プルアップ上にかかる電流負荷、すなわち V_{Pn} のどれか1つに対して設定される任意の数のPDOプルアップ・スイッチを通して供給されるソース電流の合計値
スリープ状態出力リーク電流			10	μA	$V_{PDO}=14.4V$
発振器周波数	90	100	110	kHz	このクロックから分配されるすべてのオンチップ時間遅延

ADM1069

パラメータ	Min	Typ	Max	単位	テスト条件/備考
デジタル入力 (VXn, A0, A1)					
入力ハイレベル電圧 (V _{IH})	2.0			V	V _{IN} の最大値=5.5V
入力ローレベル電圧 (V _{IL})			0.8	V	V _{IN} の最大値=5.5V
入力ハイレベル電流 (I _{IH})	-1			μA	V _{IN} =5.5V
入力ローレベル電流 (I _{IL})			1	μA	V _{IN} =0
入力容量		5		pF	
プログラマブル・プルダウン電流 (I _{PULL-DOWN})		20		μA	V _{DDCAP} =4.75V、T _A =25°C、既知のロジック状態が必要な場合
シリアル・バス・デジタル入力 (SDA, SCL)					
入力ハイレベル電圧 (V _{IH})	2.0			V	
入力ローレベル電圧 (V _{IL})			0.8	V	
出力ローレベル電圧 (V _{OL}) ²			0.4	V	I _{OUT} =-3.0mA
シリアル・バスのタイミング					
クロック周波数 (f _{SCLK})			400	kHz	
バス解放時間 (t _{BUF})	4.7			μs	
開始セットアップ時間 (t _{SU:STA})	4.7			μs	
開始ホールド時間 (t _{HD:STA})	4			μs	
SCLローレベル時間 (t _{LOW})	4.7			μs	
SCLハイレベル時間 (t _{HIGH})	4			μs	
SCL、SDA立上がり時間 (t _r)			1000	μs	
SCL、SDA立下がり時間 (t _f)			300	μs	
データ・セットアップ時間 (t _{SU:DAT})	250			ns	
データ・ホールド時間 (t _{HD:DAT})	5			ns	
入力ローレベル電流 (I _{IL})			1	μA	V _{IN} =0
シーケンシング・エンジンのタイミング					
状態変化時間		10		μs	

¹ V_{DDCAP}ピン上に供給されるデバイス電源電圧を維持するために、V_H、V_{P1}~3ピンのうち最低1本の電圧を3.0V以上にする必要があります。

² これらの仕様は出荷テストを実施していませんが、量産開始時の特性評価データにより保証しています。

ピン配置と機能の説明

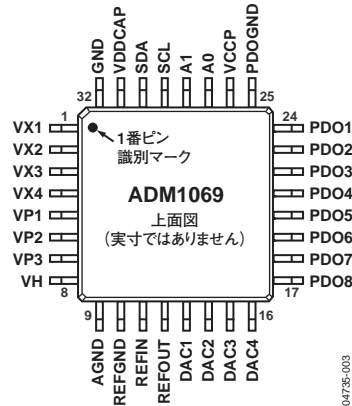


図3. LQFPパッケージのピン配置

表2. ピン機能の説明

ピン番号	記号	説明
1~4	VX1~4	電源障害検出器のハイ・インピーダンス入力です。障害スレッシュホールドを0.573~1.375Vの範囲内で設定することが可能です。別の方法として、これらのピンを汎用のデジタル入力として使用することも可能です。
5~7	VP1~3	電源障害検出器の低電圧入力です。これらのピンに接続され、その出力が電源障害検出器に接続される分圧器の入力減衰量を変更することによって、3つの入力電圧範囲を設定することが可能です。これらのピンを使用して、2.5~6.0V、1.25~3.00V、0.573~1.375Vの電圧範囲のスレッシュホールドを設定できます。
8	VH	電源障害検出器の高電圧入力です。このピンに接続され、その出力が電源障害検出器に接続される分圧器の入力減衰量を変更することによって、3つの入力電圧範囲を設定することが可能です。このピンを使用して、6.0~14.4Vおよび2.5~6.0Vの電圧範囲のスレッシュホールドを設定できます。
9	AGND	入力減衰器のグラウンド・リターン
10	REFGND	オンチップのリファレンス回路のグラウンド・リターン
11	RFIN	ADCのリファレンス入力。公称値は2.048V
12	REFOUT	2.048Vのリファレンス出力
13~16	DAC1~4	電圧出力DAC。これらのピンは、パワーアップ時にハイ・インピーダンスにデフォルト設定されます。
17~24	PDO8~1	プログラマブル・ドライバ出力
25	PDOGND	出力ドライバのグラウンド・リターン
26	VCCP	5.25Vのセントラル・チャージ・ポンプ電圧。リザーバ用コンデンサをこのピンとGNDとの間に接続する必要があります。
27	A0	ロジック入力。このピンは、SMBusインターフェース・アドレスの7番目のビットを設定します。
28	A1	ロジック入力。このピンは、SMBusインターフェース・アドレスの6番目のビットを設定します。
29	SCL	SMBusクロック・ピン。このオープン・ドレイン出力にプルアップ抵抗を外付けする必要があります。
30	SDA	SMBusデータI/Oピン。このオープン・ドレイン出力にプルアップ抵抗を外付けする必要があります。
31	VDDCAP	デバイスの電源電圧。VP1~3、VHピンのうち最も電圧の高いピンから4.75V (typ) にリニアに安定化されます。
32	GND	電源グラウンド

ADM1069

絶対最大定格

表3

パラメータ	定格値
VHピン上の電圧	16V
VPピン上の電圧	7V
VXピン上の電圧	-0.3~+6.5V
REFINピン上の電圧	-0.3~+5V
任意のピン上の入力電流	±5mA
パッケージ入力電流	±20mA
最大ジャンクション温度 (T _J max)	150℃
保存温度範囲	-65~+150℃
リード温度、ハンダ付け ベーキング時間、60秒	215℃
ESD耐圧、すべてのピン	2,000V

左記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。1つのパラメータでも絶対最大定格を超えると、デバイスに影響を与えます。

熱特性

32ピンLQFPパッケージ: $\theta_{JA}=17^{\circ}\text{C}/\text{W}$

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



代表的な性能特性

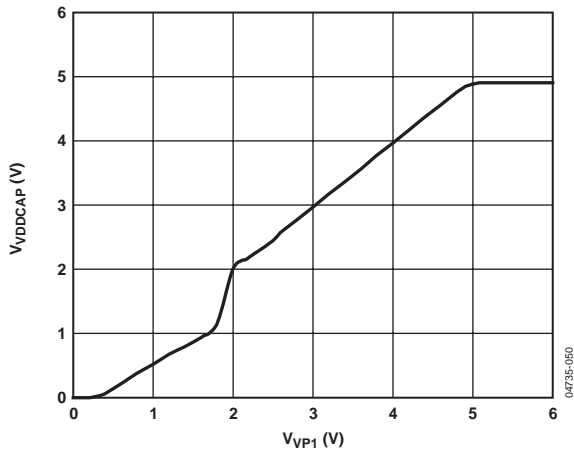


図4. V_{VP1} 対 V_{VDDCAP}

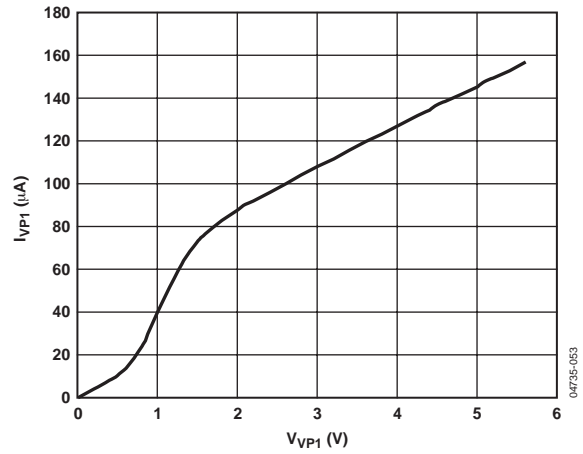


図7. V_{VP1} 対 I_{VP1} ($VP1$ を電源として使用しない場合)

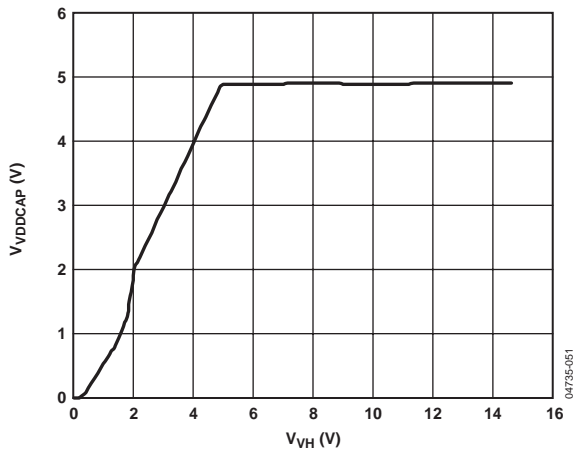


図5. V_{VH} 対 V_{VDDCAP}

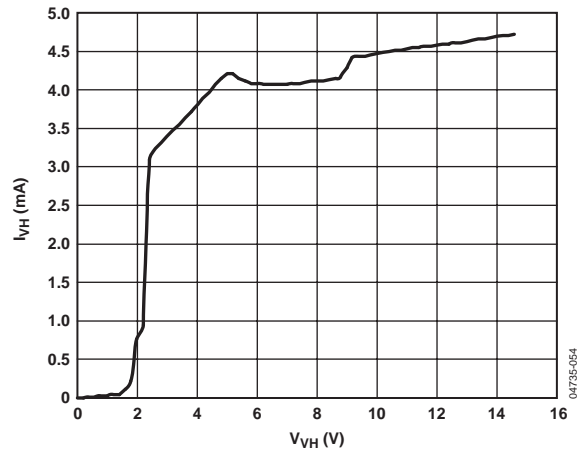


図8. V_{VH} 対 I_{VH} (VH を電源として使用する場合)

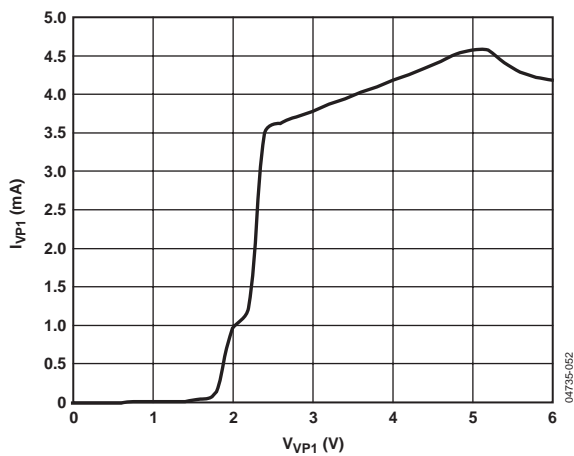


図6. V_{VP1} 対 I_{VP1} ($VP1$ を電源として使用する場合)

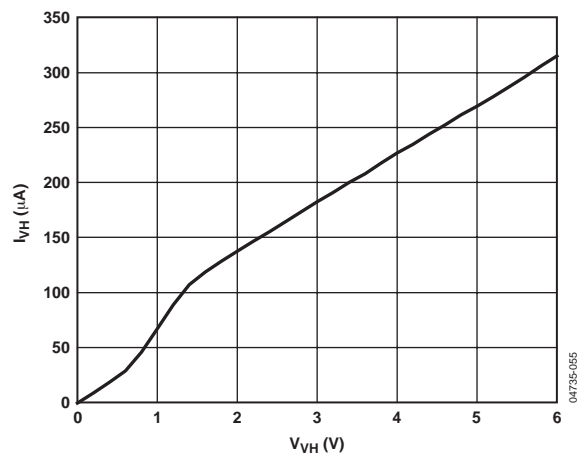


図9. V_{VH} 対 I_{VH} (VH を電源として使用しない場合)

ADM1069

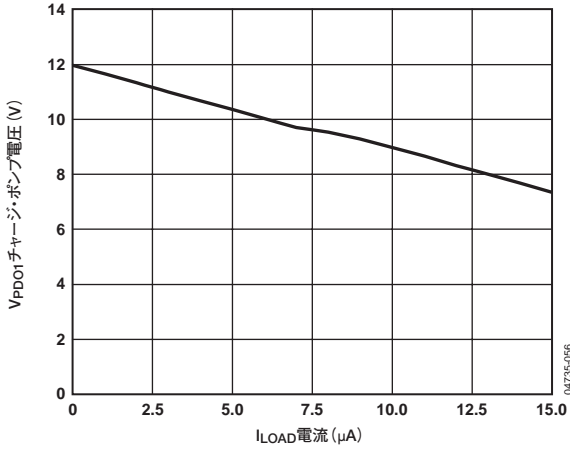


図10. I_{LOAD} 対 V_{PDO1}(FET駆動モード)

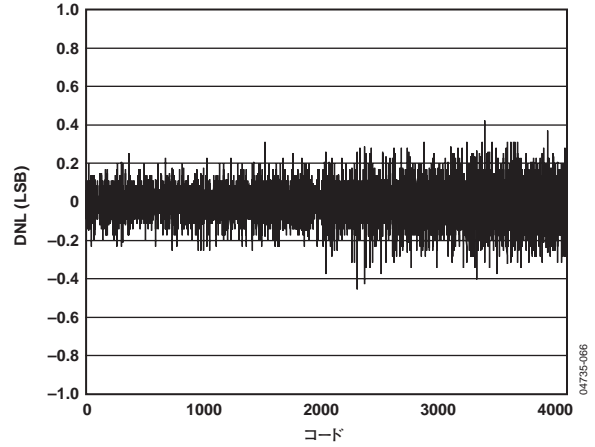


図13. ADCのDNL

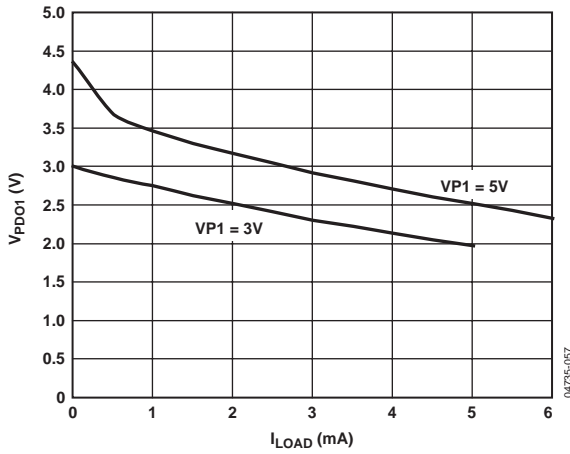


図11. I_{LOAD} 対 V_{PDO1}(ストロング・プルアップVP)

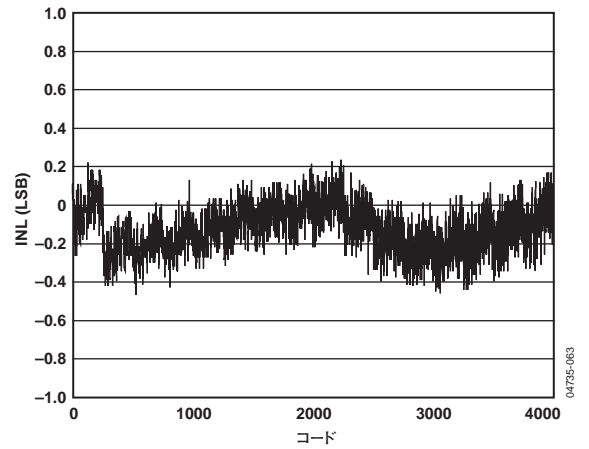


図14. ADCのINL

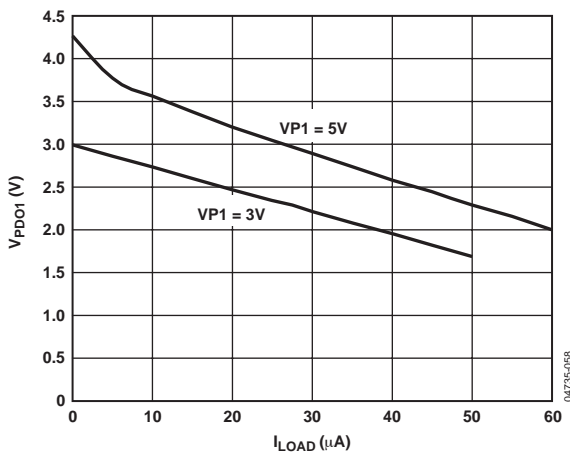


図12. I_{LOAD} 対 V_{PDO1}(ウィーク・プルアップVP)

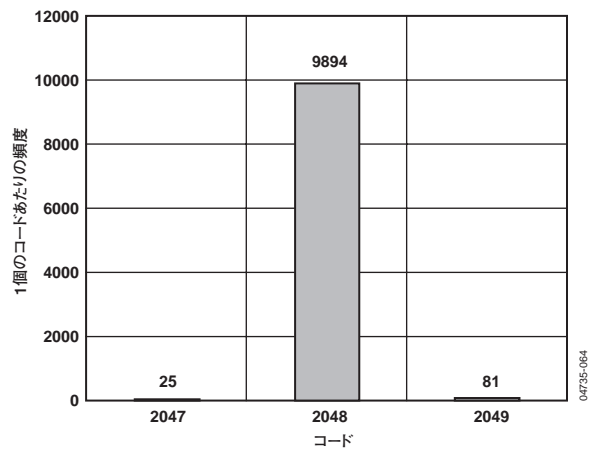


図15. ADCのノイズ、中間コード入力、10,000回の読み出し動作

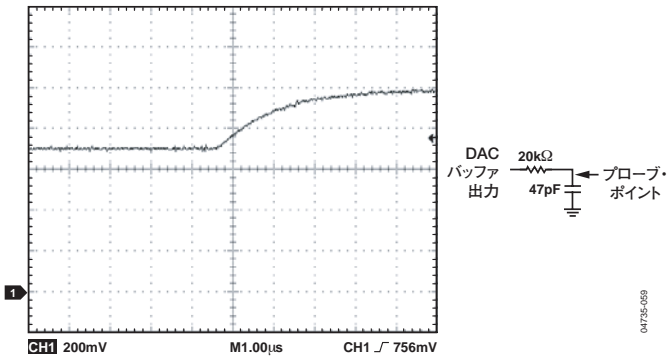


図16. 標準的な負荷に対するDACコード変化の過渡応答性

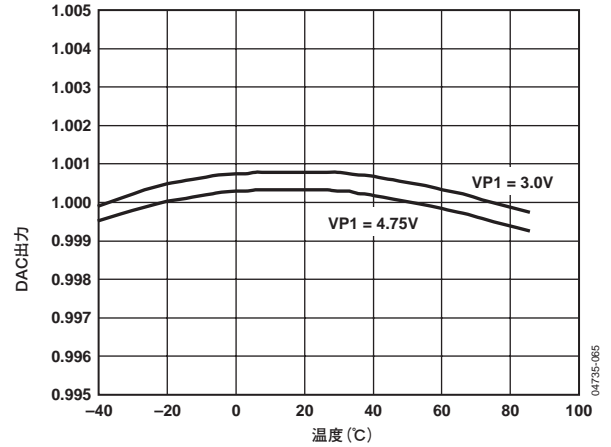


図18. DAC出力の温度特性

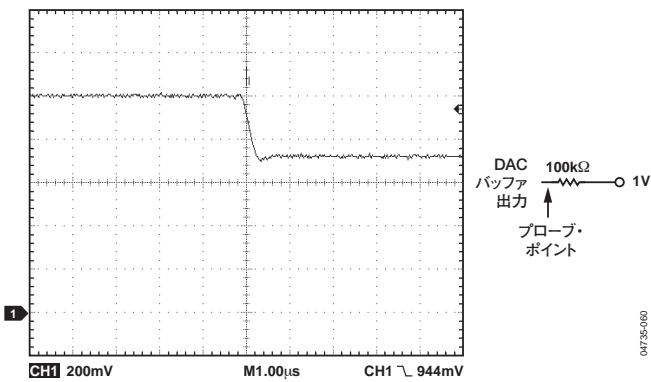


図17. ハイ・インピーダンス状態からのターンオン時のDACの過渡応答性

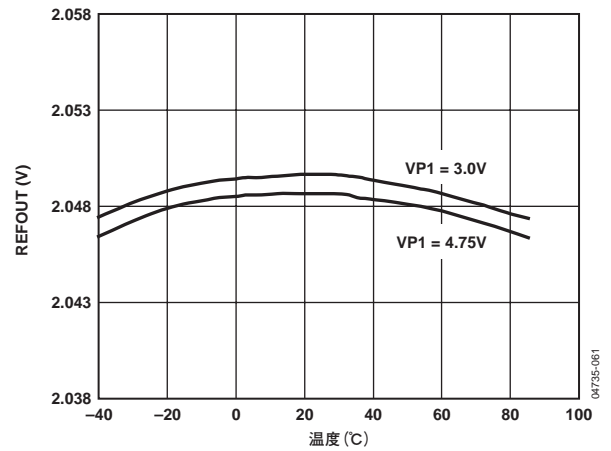


図19. REFOUTの温度特性

ADM1069

ADM1069の電源供給

ADM1069の電源は、正のみの電源入力 (VPn) または高電圧電源入力 (VH) のうち最も高い電圧入力から供給されます。この技術によって、ADM1069は特定の電源電圧レールに依存せずその動作を維持するので、冗長性が向上します。これらのピンは電源障害検出にも使用されます(次項で説明)。このデバイスに内蔵されているVDDアービトレータ(調停器)は、どの電源を使用するかを選択します。このアービトレータは、4個のLDOがOR接続されていると考えることができます。電源コンバータはオンチップ電源を供給するために、電圧の最も高い入力を選択します。このアーキテクチャによって、スイッチの損失が最小限に抑えられるので(約0.2V)、3.0Vもの低い電源をADM1069に供給することが可能です。なお、VXnピンに入力される電源をこのデバイスの供給電源として使用することはできません。

オンチップ電源をノイズからデカップリングするために、外部コンデンサをGNDに接続する必要があります。図20に示すように、このコンデンサをVDDCAPピンに接続してください。ブラウンアウト(電源の瞬時的な切断)の発生時に、このコンデンサにはもう1つの利用法があります。このような条件下で入力電源 (VPn または VH) がV_{DD}よりも低い電圧に過渡的に低下すると、同期型の整流器スイッチがV_{DD}をプルダウンしないように即時にターンオフします。このときにV_{DD}コンデンサは、次に最も高い電源がデバイスの供給電源として使用されるまで、デバイスをアクティブな状態に維持するリザーバとして機能します。このリザーバ/デカップリング機能としては、10 μ Fのコンデンサを推奨します。

2つ以上の電源電圧の差が100mV以内である場合には、V_{DD}を制御する電源が最初にデバイスの制御電源として使用されます。たとえば、VP1を3.3V電源に接続する場合、V_{DD}はVP1を通して約3.1Vまでパワーアップします。次に、VP2を別の3.3V電源に接続すると、VP2がVP1よりも100mV高くならない限り、VP1からデバイスに電源が供給されます。

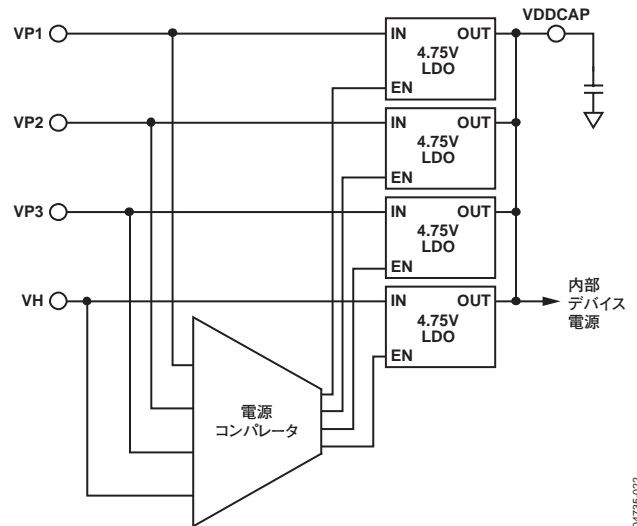


図20. VDDアービトレータの動作

0475E-02Z

入力

電源の監視

ADM1069には、8チャンネルのプログラマブル入力を用意されています。このうち4つの入力は電源障害検出器(SFD)専用です。これらの専用入力はデフォルトでVHおよびVP1~3となっています。他の4つの入力はVX1~4で、それぞれ2つの機能を備えています。すなわち、VHおよびVP1~3と同様の機能を備える電源障害検出器の入力として使用するか、またはデバイスのCMOS/TTL互換ロジック入力として使用できます。したがって、ADM1069は最大8つのアナログ入力、最低4つのアナログ入力と4つのデジタル入力、またはこれらの入力を組み合わせて設定することが可能です。ある1つの入力をアナログ入力として使用する場合に、これをデジタル入力として使用することはできません。そのため、8つのアナログ入力が必要される回路構成では、デジタル入力は使用できなくなります。各入力の詳細を表5に示します。

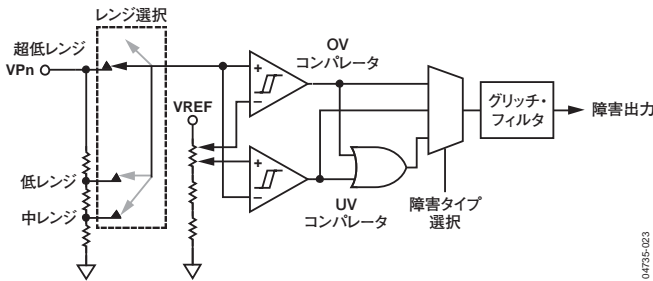


図21. 電源障害検出器のブロック図

電源障害検出器の設定

ADM1069は8チャンネルの入力上に、最大8個の電源障害検出器(SFD)を備えることが可能です。これらの高度にプログラマブルなリセット発生器は、最大8個の電源電圧を監視できます。最低0.573Vから最高14.4Vまでの電源を監視することが可能です。アンダー電圧障害(入力電圧が事前に設定した数値よりも低い電圧に降下する)、オーバー電圧障害(入力電圧が事前に設定した数値よりも高い電圧に上昇する)、あるいは設定範囲外の電圧障害(アンダー電圧またはオーバー電圧)を検出するように、各入力を構成できます。ADM1069に内蔵されているレジスタを使用し、スレッシュホールドを8ビット分解能でプログラミング設定できます。これは、選択されたレンジに依存する電圧分解能に変換されます。

この分解能は、以下の数式から求められます。

$$\text{ステップ・サイズ} = \text{スレッシュホールド範囲} / 255$$

したがって、VHで高レンジを選択する場合には、以下のようにステップ・サイズを計算できます。

$$(14.4\text{V} - 4.8\text{V}) / 255 = 37.6\text{mV}$$

選択可能な各レンジの上限と下限、各レンジの最低電圧(V_B)、およびレンジそのもの(V_R)を表4に示します。

表4. 電圧範囲の限界値

電圧範囲(V)	V _B (V)	V _R (V)
0.573~1.375	0.573	0.802
1.25~3.00	1.25	1.75
2.5~6.0	2.5	3.5
4.8~14.4	4.8	9.6

必要とされるスレッシュホールド値は、以下の数式から求められます。

$$V_T = (V_R \times N) / 255 + V_B$$

ここで、

V_Tは、望ましいスレッシュホールド電圧(UVまたはOV)。

V_Rは、電圧範囲。

Nは、8ビット・コードの10進数値。

V_Bは、電圧範囲内の最低電圧。

上記の数式を以下のように変形すると、望ましいスレッシュホールドに相当するコードが求められます。

$$N = 255 \times (V_T - V_B) / V_R$$

たとえば、ユーザがVP1で5VのOV(オーバー電圧)スレッシュホールドを設定する必要がある場合、PSIOVTHレジスタで設定するコード(アプリケーション・ノート「AN-698」で解説)は、以下のように求められます。

$$N = 255 \times (5 - 2.5) / 3.5$$

したがって、N = 182(1011 0110または0xB6)となります。

表5. 入力機能、スレッシュホールド、および電圧範囲

入力	機能	電圧範囲(V)	最大ヒステリシス	電圧分解能(mV)	グリッチ・フィルタ(μs)
VH	高電圧アナログ入力	2.5~6.0	425mV	13.7	0~100
		4.8~14.4	1.16V	37.6	0~100
VPn	正のアナログ入力	0.573~1.375	97.5mV	3.14	0~100
		1.25~3.00	212mV	6.8	0~100
		2.5~6.0	425mV	13.7	0~100
VXn	ハイ・インピーダンス・アナログ入力	0.573~1.375	97.5mV	3.14	0~100
		デジタル入力	0~5	該当なし	該当なし

入力コンパレータのヒステリシス

図21に示すUVおよびOVコンパレータは、常にVPnをチェックします。チャタリング(設定されたスレッショルド・レベルに入力が接近したときに発生する複数の遷移)を回避するために、これらのコンパレータではヒステリシスをデジタル手法でプログラミング設定できます。表5に示す数値までヒステリシスを設定できます。

ヒステリシスは、電源電圧がその許容範囲から外れると追加されます。したがって、入力が再び上昇に転じてUV(アンダー電圧)スレッショルドを一定量上回るとUV障害のアサートが解除されるように、その電圧量を設定できます。これと同様に、入力が再び低下してOV(オーバー電圧)スレッショルドを一定量下回るとOV障害のアサートが解除されるように、その電圧量を設定できます。

ヒステリシス電圧は、以下の数式から求められます。

$$V_{HYST} = V_R \times N_{THRESH} / 255$$

ここで、

V_{HYST} は、望ましいヒステリシス電圧。

N_{THRESH} は、5ビットのヒステリシス・コードの10進数値。

N_{THRESH} の最大値は31である点に注意してください。各電圧範囲の最大ヒステリシス値を表5に示します。

入力グリッチのフィルタ処理

SFDの最終段はグリッチ・フィルタです。このブロックは、SFDコンパレータ出力の時間領域のフィルタリングを行います。この動作により、ターンオン時に発生する電源バウンスなどのスプリアス遷移をすべて除去できます。グリッチ・フィルタ機能は、SFDコンパレータのデジタル・プログラマブル・ヒステリシスの追加機能です。グリッチ・フィルタのタイムアウトとして、最大100 μ sまでプログラミングできます。

たとえば、グリッチ・フィルタのタイムアウトを100 μ sとする場合、グリッチ・フィルタ・ブロックに入力されるパルスの幅が100 μ sよりも短ければ、これらのパルスはグリッチ・フィルタ・ブロックから出力されません。持続時間が100 μ sよりも長い入力パルスはすべて、グリッチ・フィルタ・ブロックから出力されます。出力は入力を基準にして100 μ s遅延します。このフィルタリング・プロセスを図22に示します。

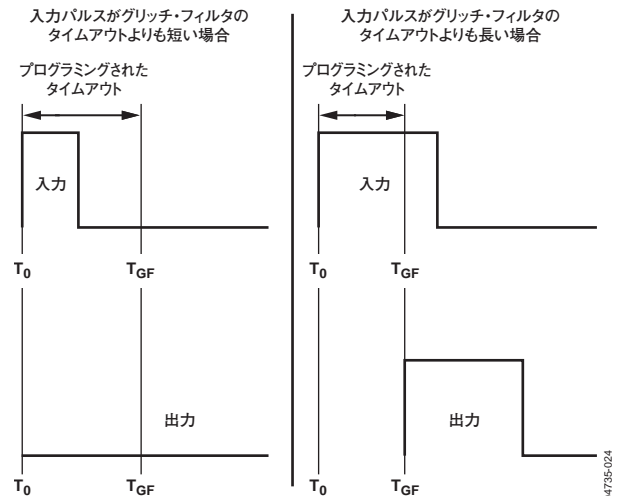


図22. 入力グリッチ・フィルタ機能

VXn入力を用いた電源監視

VXn入力には2つの機能があり、SFDの入力またはデジタル・ロジック入力として使用できます。アナログ(SDF)入力として選択する場合、VXnピンの機能はVHおよびVPnピンに似ています。主な相違点は、VXnピンの入力電圧範囲が0.573~1.375Vに限られる点です。したがって、これらの入力が直接的に監視できる電源は、非常に低い電源電圧に限られます。しかし、VXnピンは入力インピーダンスが高いため、抵抗分圧ネットワークをこのピンに外付けすることが可能です。そのため、電源電圧をVXnピンの入力電圧範囲に分圧したうえで、電源を監視することができます。この方法によって、+24V、+48V、-5Vなどの他の電源をADM1069で監視できます。

VXnピンをデジタル入力として選択すれば、追加の電源監視機能が利用できます。この場合にアナログ機能は、VP1~3およびVHの専用の各アナログ入力を補助検出器入力として利用できます。VX1のアナログ機能はVP1、VX2はVP2、VX3はVP3にそれぞれマッピングされます。VX4はVHにマッピングされます。このケースでは、これらのSFDを2次SFDまたは警告用SFDとみなすことができます。

2次SFDは、1次SFDと同じ入力電圧範囲に固定されます。2次SFDは障害レベルではなく、警告レベルを指示するために使用されます。これにより、1本のピンを使用するだけで単電源の障害を出力し、警報を発することが可能です。その例として、3.3V電源が3.0Vに低下すると障害を出力するようにVP1を設定する場合、3.1V時に警告を出力するようにVX1を設定できます。警告出力は、ステータスレジスタからリードバックできます。警告出力はOR接続されており、シーケンシング・エンジン(SE)に送られ、警告時にPDO上で割込みを発生することもできます。したがって上記の例では、電源が3.1Vに低下するときに警告を発するので、電源がその許容範囲から外れた低い電圧に低下する前に、対処策を講じることができます。

VXnピンをデジタル入力として使用する方法

すでに説明したように、ADM1069のVXnピンには2つの機能があります。2番目の機能はデジタル入力としての機能です。これにより、ADM1069は最大4チャンネルのデジタル入力をもつように構成できます。これらはTTL/CMOS互換入力です。リセット発生器からのRESET信号、PWRGOOD信号、障害フラグ、手動リセットなどの標準的なロジック信号をこれらのピンに入力できます。これらの信号はSEの入力として利用でき、PDOのステータス制御に使用することが可能です。これらの入力は、ロジック・レベルまたはエッジを検出するように設定できます。

レベル検出として設定した場合、デジタル・ブロックの出力は入力をバッファした信号となります。エッジ検出として設定した場合、ロジックの遷移が検出された後で、プログラミングされた幅をもつパルスがデジタル・ブロックから出力されます。パルス幅は0~100 μ sの範囲内で設定できます。

デジタル・ブロックは、SFDと同じグリッチ・フィルタ機能を備えています。そのため、入力上で発生するスプリアス遷移を無視できます。たとえば、手動リセット・スイッチのバウンス防止にこのフィルタを利用できます。

VXnの各ピンをデジタル入力として設定すると、これらのピンがフローティング状態であっても入力を既知の状態に保持できる微小な(10 μ A)プルダウン電流源を備えています。この電流源を選択すれば、入力はGNDにウィーク・プルダウンされます。

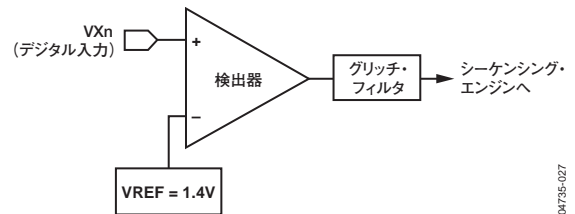


図23. VXnピンのデジタル入力機能

04735-027

出力

設定可能な出力ドライバによる電源シーケンシング

ADM1069のプログラマブル・ドライバ出力(PDO)を電源の制御信号として使用することで、電源シーケンシングを設定できます。出力ドライバはロジック・イネーブルまたはFETドライバとして利用できます。

PDOがアサートされる順番(すなわち、電源がターンオンする順番)は、シーケンシング・エンジン(SE)によって制御されます。SEはADM1069の入力の状態に基づいて、PDOによる動作内容を決定します。したがって、SFDが許容範囲内に入っているとき、正しい入力信号がVXnデジタル・ピン上で受信されるとき、またはデバイスのどの入力からも警告が受信されないときなどに、PDOをアサートするように設定できます。PDOはさまざまな機能に利用できます。主要な機能は、ボード上でローカルに電源を生成しているLDOまたはDC/DCコンバータに対してイネーブル信号を供給することです。すべてのSFDが許容範囲内に入っているときに、POWER_GOOD信号を出力したり、SFDのうち1個が仕様の範囲から外れているときにRESET信号を出力したりするために、PDOを使用することも可能です(PDOはDSP、FPGA、またはその他マイクロコントローラ用のステータス信号として利用できます)。

PDOには各種オプションがあり、以下のような出力の設定が可能です。

- オープン・ドレイン(プルアップ抵抗の外付けが可能)
- V_{DD}までのウィーク・プルアップのオープン・ドレイン
- V_{DD}までのプッシュ/プル
- VP_nまでのウィーク・プルアップのオープン・ドレイン
- VP_nまでのプッシュ/プル
- GNDまでのストロング・プルダウン
- 内部チャージ・ポンプによる高い駆動出力(12V、PDO1~6のみ)

最後のオプション(PDO1~6のみ)を用いることによって、外部N-FET(たとえば、バックプレーン電源からカード側の電圧を絶縁するために使用する)を完全に駆動するための十分に高い電圧を直接的に供給できます(PDOは10.5Vよりも高い電圧に対して1μAを連続供給できます)。プルダウン・スイッチを使用して、ステータス表示用のLEDを直接駆動することも可能です。

各PDOは3つのデータ・ソースのうちの1つにより制御されます。このデータ・ソースは、PDO_nCFG設定レジスタでイネーブルにできます(詳細については、アプリケーション・ノート「AN-698」を参照)。

データ・ソースは、以下のとおりです。

- SEからの出力データ
- SMBusからのデータ・ソース。SMBusから直接的にPDOを制御するように設定できます。この方法により、PDOをソフトウェアで制御できるようになります。したがって、マイクロコントローラを利用して、ソフトウェアによるパワーアップ/パワーダウン・シーケンスを開始できます。
- 内蔵クロックからのデータ。ADM1069では100kHzのクロックが生成されます。クロックはすべてのPDOで利用できます。その使用例として、LEDなどの外部デバイスのクロック動作にこれを利用することが可能です。

PDOは、デフォルトでオンチップ・プルダウン抵抗(20kΩ)によってGNDにウィーク・プルダウンされています。これは、設定データがEEPROMからダウンロードされ、プログラミングされたセットアップがラッチされるまでのパワーアップ時におけるPDOの条件でもあります。1V以上の電源がVP_nまたはVHに入力されると、出力はアクティブにローレベルに引き込まれます。VP_nまたはVHピン上に1Vの電源が現れる前に、出力はハイ・インピーダンスの状態にあります。この動作によって、パワーアップ時にPDOの既知の状態が確保されます。動作に必要なプルアップ電圧とPDOピンとの間に適切な値のプルアップ抵抗を外付けする方法で、内部プルダウンを無効にすることができます。適切な抵抗値を計算する際は、20kΩの抵抗を考慮に入れる必要があります。その例として、PDO_nを3.3Vにプルアップすることが必要で、5Vを外部電源として利用できる場合には、以下の数式からプルアップ抵抗の値が求められます。

$$3.3\text{V} = 5\text{V} \times 20\text{k}\Omega / (R_{UP} + 20\text{k}\Omega)$$

したがって、以下の数値が求められます。

$$R_{UP} = (100\text{k}\Omega - 66\text{k}\Omega) / 3.3 = 10\text{k}\Omega$$

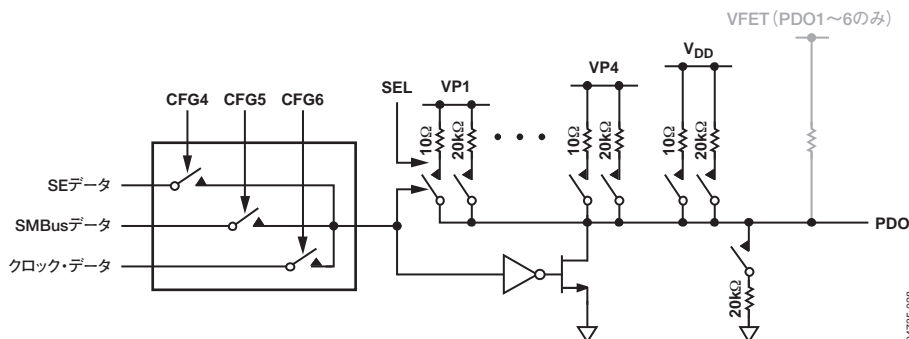


図24. プログラマブル・ドライバ出力(PDO)

シーケンシング・エンジン(SE)

概要

ADM1069のシーケンシング・エンジンは、パワフルでフレキシブルな電源シーケンシング機能を提供します。SEは入力イベントの条件に従ってステートが変化するステート・マシンによるPDOの制御を実行します。SEのプログラムは、パワーアップおよびパワーダウン・シーケンスの制御、障害イベントのハンドリング、警告時の割込み発生など、ボードの複雑な制御をイネーブルに設定することが可能です。プロセッサ・クロックの継続的な動作を確認するウォッチドッグ機能をSEのプログラムに組み入れることもできます。SMBusを介してSEを制御することも可能なので、ボードの電源シーケンシングをソフトウェアまたはファームウェアで制御することも実行可能です。

SEのステート・マシンは、63個のステート・セルで構成されます。各ステートには、それぞれ以下のような属性が備わっています。

- VP1～3、VH、およびVX1～4の8本の入力ピンのステータスを示す信号をモニタします。
- 他のどのようなステートからでも開始することが可能です。
- 3つの出口ルートがステート・マシンを次のステート、すなわちシーケンス検出、障害モニタリング、およびタイムアウトに移動します。
- シーケンスとタイムアウトの各ブロックの遅延タイマを個別にプログラミングし、各ステートの変化に応じて変化するように設定できます。タイムアウトの範囲は0～400ms。
- 8本のPDOピンの出力条件を1つのステート内で定義および固定します。

- 1つのステートから次のステートへの遷移は、ステートの定義をEEPROMからSEにダウンロードするために必要な時間である20 μ s未満で実行されます。

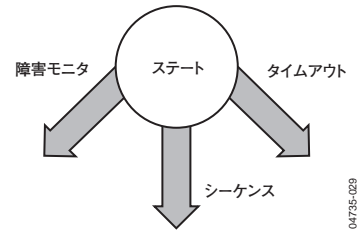


図25. ステート・セル

ADM1069では、最大で63までのステート定義が可能です。入力ピンのステータスを指示するためにモニタされる信号は、SFDの出力です。

警告

SEは警告のモニタも行います。ADCからの読出し値がリミット・レジスタの限界値を超えたときや、VP1～3およびVHピン上で2次電圧モニタが行われるときに警告を発生します。警告出力はすべてOR接続されており、3つのうちのどのステートに警告が発せられても、1つの警告入力として捉えられます。

SMBusジャンプ／無条件ジャンプ

SEは、無条件に次のステートに進むように強制設定できます。この機能を利用できる例として、マージン設定ステートまたはシーケンス・デバッグへの移動が挙げられます。SMBusジャンプまたはgotoコマンドは、各ステートを終了するもう1つのシーケンスおよびタイムアウト・ブロックへの入力と考えられます。

表6. シーケンス・ステートのエントリ例

ステート	シーケンス	タイムアウト	モニタ
IDLE1	VX1が0の場合、IDLE2ステートに進む	10msを経過してもVP2が1にならない場合、DIS3V3ステートに進む	VP1が0の場合、IDLE1ステートに戻る
IDLE2	VP1が1の場合、EN3V3ステートに進む		
EN3V3	VP2が1の場合、EN2V5ステートに進む	20msを経過してもVP3が1にならない場合、DIS2V5ステートに進む	VP1またはVP2が0の場合、FSEL2ステートに進む
DIS3V3	VX1が1の場合、IDLE1ステートに戻る		
EN2V5	VP3が1の場合、PWRGDステートに進む	VP1またはVP2が0の場合、FSEL2ステートに進む	VP1またはVP2が0の場合、FSEL2ステートに進む
DIS2V5	VX1が1の場合、IDLE1ステートに戻る		
FSEL1	VP3が0の場合、DIS2V5ステートに戻る	VP1、VP2またはVP3が0の場合、FSEL1ステートに進む	VP1またはVP2が0の場合、FSEL2ステートに進む
FSEL2	VP2が0の場合、DIS3V3ステートに戻る		
PWRGD	VX1が1の場合、DIS2V5ステートに戻る		

ADM1069

シーケンシング・エンジンのアプリケーション例

本項で説明するアプリケーションでは、SEの動作を例示しています。図26に、単一のSEステートを構成する単純なビルディング・ブロックを使用して、3電源システムのパワーアップ・シーケンスを設定する方法を示します。

これと同じSEを使用した各ステートのPDO出力を表7に示します。このシステムでは、パワーアップ・シーケンスを開始する条件として、ローレベルに保持されたVP1とVX1の各ピンに良好な5V電源が存在する必要があります。このシーケンスでは次に3.3V電源、2.5V電源の順にターンオンすることになっています(3.3V電源が問題なくターンオンしたと仮定)。この3つの電源がすべて良好であればPWRGDステートに入り、そのうちのどれか1個に障害が発生するか、あるいはVX1をハイレベルにすることによってパワーダウン・シーケンスに入るように命令が出されるまで、このPWRGDステートに留まります。

障害は電源ごとに個々のパワーアップ・シーケンスを通して処理されます。以下の各項では個々のブロックについて説明していますが、このアプリケーション例を用いてステート・マシンの動作を具体的に解説します。

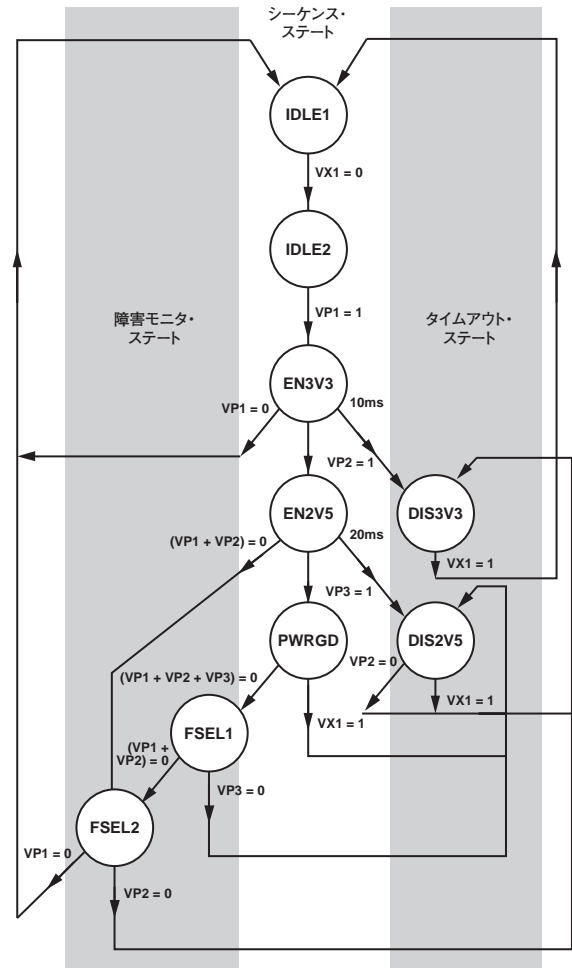


図26. アプリケーション例のフロー図

表7. 各ステートのPDO出力

PDO出力	IDLE1	IDLE2	EN3V3	EN2V5	DIS3V3	DIS2V5	PWRGD	FSEL1	FSEL2
PDO1=3V3ON	0	0	1	1	0	1	1	1	1
PDO2=2V5ON	0	0	0	1	1	0	1	1	1
PDO3=FAULT	0	0	0	0	1	1	0	1	1

シーケンス検出器

シーケンス検出器ブロックは、シーケンスのステップがいつ完了したかを検出するために使用されます。これはSEへの入力の1つの状態変化をチェックして検出し、パワーアップまたはパワーダウン・シーケンスがスムーズに進むためのゲートとして最も一般的に使用されます。この検出器には、必要に応じてパワーアップまたはパワーダウン・シーケンスに遅延を挿入できるタイマ・ブロックが内蔵されています。このタイマ遅延は、 $10\mu\text{s}$ から 400ms までの範囲内で設定可能です。図27にシーケンス検出器のブロック図を示します。

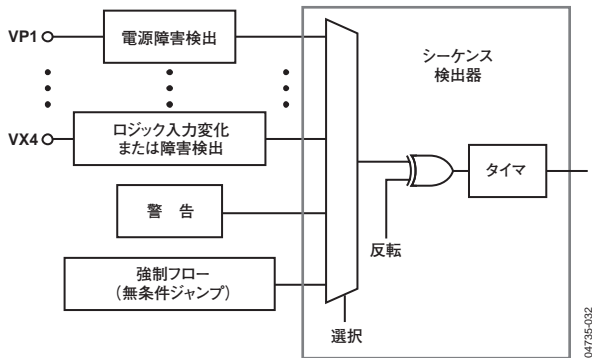


図27. シーケンス検出器のブロック図

シーケンス検出器をモニタリング障害の識別に役立てることも可能です。図26に示すアプリケーション例では、VP1、VP2、VP3のどのピンで障害が発生しているかをFSEL1とFSEL2の状態でも最初に識別し、その後で適切な処置動作を実行します。

モニタリング障害検出器

モニタリング障害検出器ブロックは、ある入力上で発生した障害を検出するために使用されます。これを実行するロジック機能はワイドORゲートで、入力が想定された条件から逸脱すると検出されます。このブロックが活躍するのは、PWRGDステートに入っているときです。このときにVP1、VP2、VP3ピンのうちいずれか1つまたは複数の入力で障害が発生したことをモニタ・ブロックで示します。

電源がその許容範囲から外れると、障害条件がトリガされる可能性があるため、このブロックでは遅延を設定できません。このような状況下では、可能な限り迅速に対応しなければならないからです。しかし、このステートを終了して次のステートに移動するときには、ある程度のレイテンシ（遅延）が発生します。その理由は、ステート設定がEEPROMからSEにダウンロードされるまでに約 $20\mu\text{s}$ の時間を要するからです。図28にモニタリング障害検出器のブロック図を示します。

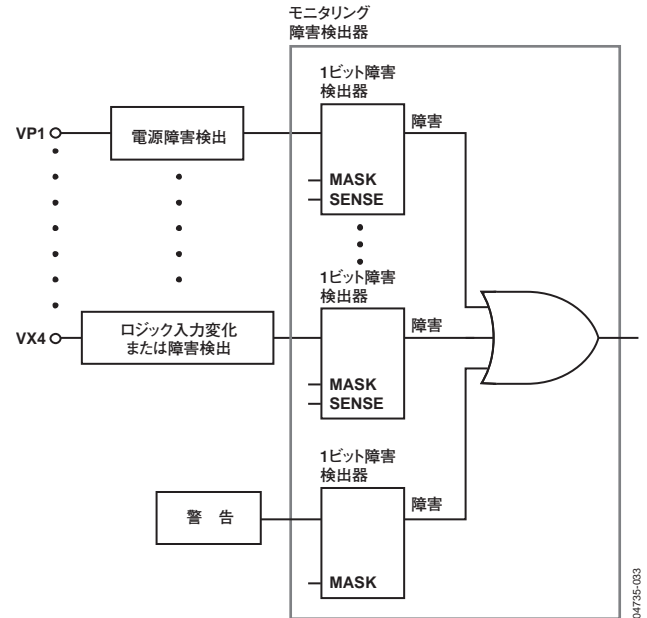


図28. モニタリング障害検出器のブロック図

タイムアウト検出器

タイムアウト検出器が内蔵されているので、障害をトラップし、パワーアップまたはパワーダウン・シーケンスを正しく進めることができます。

図26に示すアプリケーション例では、タイムアウトの次のステート遷移がEN3V3およびEN2V5のステートから始まります。EN3V3ステート時には、このステートに入るときに3V3ON信号がアサートされ（PDO1出力ピン上）、これによって3.3V電源がターンオンします。この電源レールはVP2ピンに接続されており、シーケンス検出器はVP2ピン上の電圧がUVスレッシュホールドを超える状態を監視します。UVスレッシュホールドは、VP2ピンに接続されている電源障害検出器（SFD）で設定されます。

この変化が検出されると、パワーアップ・シーケンスが進行します。ただし、電源に障害がある場合には（その原因はこの電源の短絡過負荷であると考えられる）、タイムアウト・ブロックがこの問題をトラップします。この例では、3.3V電源の障害が 10ms 以内に発生すれば、SEがDIS3V3ステートに移動し、PDO1をローレベルに設定することによって、この電源をターンオフします。SEはさらに、PDO3をハイレベルに設定することによって、障害が発生したことを指し示します。タイムアウト遅延は、 $100\mu\text{s}$ から 400ms までの範囲内でプログラミング設定できます。

障害のレポート

ADM1069には、障害を記録するための障害ラッチが備わっています。この目的のために、2個のレジスタが用意されています。デバイスの各入力に1ビットが割り当てられており、その入力上で障害が発生すると関連するビットが設定されます。障害レジスタのデータ内容はSMBusを介して読み出すことができるので、どの入力で障害が発生したかを判別できます。各ステートで障害レジスタをイネーブル/ディスエーブルに設定できます。したがって、実際の障害のみがキャプチャされるので、たとえばSEがパワーダウン・シーケンスを実行しているときに発生するアンダー電圧のトリップなどはキャプチャされることはありません。

ADM1069

電圧のリードバック

ADM1069には、SMBusを介して電圧のリードバックができるように、12ビットの高精度ADCが内蔵されています。ADCのフロントエンドには、8チャンネルのアナログ・マルチプレクサが備わっています。8チャンネルは8個のSFD入力(VH、VP1~3、VX1~4)で構成されており、そのいずれか、またはすべてをADCで順次読み出すように選択できます。この動作を制御する回路はラウンドロビンと呼ばれ、1回限りまたは連続的にその変換ループを実行するように選択することが可能です。各チャンネル別に平均化を行うこともできます。この場合、ラウンドロビン回路はその変換ループを16回実行した後で、各チャンネルの変換結果を返します。このサイクルの終了時に、変換結果はすべて出力レジスタに書き込まれます。

ADCは、AGNDピンを基準とするシングルエンドの入力をサンプリングします。0Vの入力時にコード0が出力され、入力がREFINピン上の電圧に等しいときに、フルスケール・コード(4095の10進数値)が出力されます。

図29と図30に示すように、VXnピンからの入力は直接ADCに接続されており、VPnとVHの各ピンからの入力は減衰器を経由してADCに印加されます。

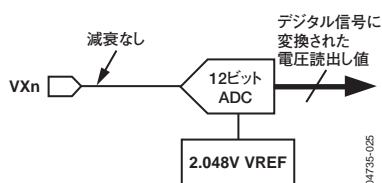


図29. VXnピン上でのADCの読出し

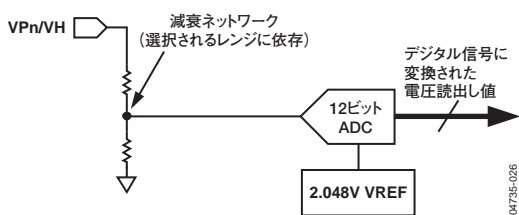


図30. VPn/VHピン上でのADCの読出し

入力ピンの電圧は、以下の数式から求められます。

$$V = \frac{\text{ADCのコード}}{4095} \times \text{減衰係数} \times 2.048\text{V}$$

SFDの入力範囲に対応するADCの入力電圧範囲を表8に示します。

表8. ADCの入力電圧範囲

SFD入力範囲(V)	減衰係数	ADCの入力電圧範囲(V)
0.573~1.375	1	0~2.048
1.25~3	2.181	0~4.46
2.5~6	4.363	0~6.0 ¹
6~14.4	10.472	0~14.4 ¹

¹ 上限は上記の各ピンで許容される絶対最大電圧値です。

内部リファレンス(REFINピン)をADCのリファレンスとして用いる場合、単にREFOUTピンをREFINピンに接続するだけです。REFOUTピンからは、2.048Vのリファレンスが出力されます。監視範囲は表8に示すように、通常のADC入力電圧範囲の半分以下に設定されています。ただし、もっと精度の高い外部リファレンスをADCに供給し、リードバック精度を高めることもできます。

ADCのリードバックのためだけに、電源を入力ピンに接続することも可能です。予測される監視範囲の限界を電源が超える場合であっても、この接続が可能です(ただし、電源が6Vを超えてはいけません。入力ピンに対して規定された絶対最大定格値に反するからです)。たとえば、1.5V電源をVX1ピンに接続すると、変換結果はフルスケールの約3/4のADCコードとして正しく読み出されますが、電源電圧は常にVX1ピンで設定可能な監視限界値よりも高くなります。REFINピンの最大設定電圧は2.048Vです。

ADCによる電源監視

オンチップの12ビットADCはリードバック機能に加えて、さらに高度なレベルの監視動作も実行します。ADM1069には最大または最小のスレッシュホールドを設定できるリミット・レジスタが内蔵されており、このスレッシュホールドを超えると警報を発生します。警報はステータス・レジスタからリードバックされるか、またはSEに入力され、ADM1069でどのようなシーケンシング動作を実行すべきかを決定します。各入力チャンネルにはレジスタが1個のみ用意されているので、UVまたはOVスレッシュホールドのいずれかが設定できます(両方の選択は不可能)。ラウンドロビン回路は、SMBusの書き込みによってイネーブルにするか、またはSEプログラムでどのような状態の時でもターンオンするようにプログラミングできます。たとえば、パワーアップ・シーケンスが完了し、すべての電源が設定限界内に入っていることが確認されると、ラウンドロビン回路が起動するように設定できます。

なお、ADCによる電源監視にはADCの変換時間によって決定されるレイテンシが組み込まれています。12チャンネルすべてを選択すると、ラウンドロビン動作の合計時間(平均化オフ)は約6ms(選択された各チャンネル当たり500μs)となります。したがって、ADCを使用した監視では、SFDと同じリアルタイム応答は実行されません。

電源余裕度の制御

概要

電源のレベルを最適化するか、または公称値と異なる電源を使用してシステム性能の特性評価を実施するために、システム設計者は電源を調整しなければならない場合がよくあります。これは、たとえばテストの対象製品が公称電源-10%で正常に機能することをメーカーが保証する必要がある場合など、インサーキット・テスト(ICT)時に一般的に実行される機能です。

オープン・ループ電源余裕度制御

電源の余裕度を制御する最も簡単な方法は、オープン・ループ技術を用いる方法です。この一般的な方法は、DC/DCコンバータや低ドロップアウト・レギュレータ(LDO)などの電源モジュールの帰還ノードに追加抵抗を設置する方法です。追加抵抗は帰還ノードまたはトリム・ノードの電圧を変化させ、出力電圧の余裕度を一定量だけ強制的に増加または減少させます。

ADM1069は、最大4つの電源のオープン・ループ余裕度制御を実行できます。4個の内蔵DAC(DAC1~4)は、余裕度が設定される電源モジュールの帰還ピンを駆動することが可能です。この機能を実行する最も簡単な回路は減衰抵抗で、減衰抵抗はDC/DCコンバータの帰還ノードとDAC出力の間に接続します。DACの出力電圧が帰還電圧と等しい数値に設定された場合、減衰抵抗に電流が流れなくなり、DC/DCコンバータの出力電圧が変化しません。DACの出力電圧を帰還電圧よりも高くすると、電流がDACから帰還ノードに流れるように強制設定され、さらにDC/DCコンバータの出力が強制的に低下するように設定されます。DACの出力電圧を帰還電圧よりも低く設定すると、DC/DCコンバータの出力が高くなるように強制設定されます。直列抵抗を2つに分離し、グラウンドに1本のコンデンサを外付けして、これらの抵抗間のノードをデカップリングしてください。この処置は、ボードからピックアップされるノイズをすべてデカップリングするうえで効果的です。DC/DCコンバータに対してローカルのグラウンドにデカップリングを行う方法を推奨します。

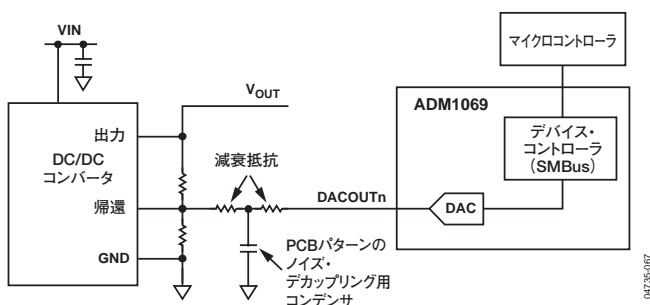


図31. ADM1069を使用したオープン・ループ電源余裕度制御システム

ADM1069は該当するDAC出力の値を更新することによって、SMBusを介して電源余裕度を増加するか、または減少するように命令を出すことができます。

クローズド・ループ電源余裕度制御

電源余裕度の精度をさらに高める方法として、クローズド・ループ・システムを構成する方法があります。余裕度を設定する電源電圧のリードバックが可能であるため、電源の余裕度を高精度にターゲット電圧に調整することができます。ADM1069には、これを実行するために必要なすべての回路が内蔵されていますが、さらに監視電圧レベルのリードバックに使用される12ビットの逐次比較型ADCに加えて、「オープン・ループ電源余裕度制御」の項で説明したように、電源レベルの調整に使用される4個の電圧出力DACも内蔵されています。これらの回路をマイクロコントローラなどのその他のインテリジェンス・デバイスと併せて使用することで、DC/DCコンバータまたはLDO電源をターゲットの±0.5%の精度で任意の電圧に設定できる、クローズド・ループ電源余裕度制御システムを構成することが可能になります。

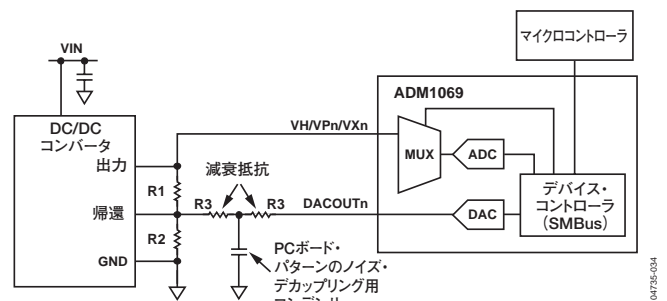


図32. ADM1069を使用したクローズド・ループ電源余裕度制御システム

クローズド・ループ電源余裕度制御システムを実行する手順は、以下のとおりです。

1. 4つのDAC_n出力をディスエーブルにします。
2. DACの出力電圧を帰還ノードの電圧と等しい数値に設定します。
3. DACをイネーブルにします。
4. VP1~3、VH、VX1~4ピンの1つに接続されているDC/DCコンバータ出力の電圧を読み出します。
5. 必要に応じて、DACの出力コードを上下に変化させ、DC/DCコンバータの出力電圧を調整します。ターゲット電圧に達している場合には、これを停止してください。
6. 電源電圧出力を必要量(たとえば、±5%)だけ変更するようにDAC出力電圧を設定します。
7. ステップ4からの手順を繰り返します。

ステップ1~3の設定によって、DAC出力バッファのターンオン時に、DC/DCコンバータの出力に影響が及ぶことはほとんどありません。DAC出力バッファは、ピン電圧に追従するために、最初にバッファをパワーアップする方法によって、グリッチを発生せずにDACをパワーアップするように設計されています。DAC出力バッファはこのときにピンを駆動しません。出力バッファが正しくイネーブルに設定された時点で、バッファ入力DACに切り替えられ、バッファの出力段がターンオンします。出力のグリッチ発生量は無視できます。

ADM1069

DACへの書き込み動作

4つのDAC出力電圧範囲を設定できます。電圧範囲は中間コード(コード0x7F)時に0.6V、0.8V、1.0V、1.25Vに設定できます。これらの電圧は、最も一般的な帰還電圧に対応するようになっています。この方法でDACの出力をセンタリングすると、DACの分解能を最適に利用できます。大半の電源では、DC/DCコンバータの出力が変更されないポイントにDACの中間コードを設定することが可能であるため、DAC電圧範囲の半分を電源余裕度の増加に利用し、残りの半分を電源余裕度の減少に利用できます。

DACの出力電圧は、DACレジスタにコードを書き込むことで設定します。電圧はこのレジスタの符号なしのバイナリ数に対応して線形に変化します。すでに説明したように、コード0x7F時に中間電圧が設定されます。出力電圧は以下の数式から求められます。

$$DAC\ Output = (DACn - 0x7F) / 255 \times 0.6015 + V_{OFF}$$

ここで、 V_{OFF} は4つのオフセット電圧の1つです。

256通りのDAC設定が可能です。中間コード値は、256のコード範囲の中央に可能な限り近いDACコード0x7Fの場所にあります。DACの最大出力振幅値は、選択された中間電圧を中心として+302mV(+128コード)および-300mV(-127コード)です。各中間電圧の電圧範囲を表9に示します。

表9. 中間電圧の電圧範囲

中間電圧(V)	最小電圧出力(V)	最大電圧出力(V)
0.6	0.300	0.902
0.8	0.500	1.102
1.0	0.700	1.302
1.25	0.950	1.552

減衰抵抗値の選択

このDAC出力電圧がDC/DCコンバータの出力電圧にどの程度影響するかは、減衰抵抗R3の値によって決定されます(図32を参照)。

帰還ピンの電圧は一定に維持されるので、R2を経由して帰還ノードからGNDに流れる電流は一定です。さらに、帰還ノード自体はハイ・インピーダンスです。これは、R1を流れる電流がR3を流れる電流と同じであ

ることを意味します。したがって、余裕度の設定時にR1での余分な電圧降下とR3での電圧降下との間には、直接的な関係が存在します。

この関係は、以下の数式によって表されます。

$$\partial V_{OUT} = \frac{R1}{R3} (V_{FB} - V_{DACOUT})$$

ここで、

∂V_{OUT} は V_{OUT} の変動値。

V_{FB} はDC/DCコンバータの帰還ノードの電圧。

V_{DACOUT} は余裕度設定用DACの電圧出力。

この数式から、出力電圧を±300mV変化させたい場合は $R1=R3$ となることが実証されます。出力電圧を±600mV変化させたい場合は $R1=2 \times R3$ となり、以下同様にこの規則が適用されます。

電源余裕度を設定する場合、DAC全出力範囲を利用する方法がベストです。この方法で減衰抵抗の値を選択すると、DACの最大分解能を利用できます。言い換えると、1つのDACコードが変化するとき、DC/DCコンバータの出力電圧に誘導される影響が最小になります。DC/DCコンバータの出力を±5%変化させるために、27(dec)~227(dec)のコードとなるような抵抗値を選択した場合、5%変化させるのに100個のステップが必要となります(1ステップ当たり0.05%の変化)。これはADCのリードバック精度の範囲を超えていますが、最大分解能を用いた回路構成を妨げるものではありません。

DAC制限機能とその他の安全機能

ADM1069に用意されているリミット・レジスタ(DPLIMnおよびDNLIMnレジスタ)は、ファームウェア・バグからある程度ユーザを保護します。しかし、電源を許容可能な出力範囲を超えて強制的に設定すると、ファームウェア・バグによりボードに非常に大きい問題が発生するおそれがあります。基本的に、DACレジスタによるDAC出力電圧は、リミット・レジスタのコードによってクリップされます。

DAC Code

= DACn, DACn \geq DNLIMn and DACn \leq DPLIMn

= DNLIMn, DACn < DNLIMn

= DPLIMn, DACn > DPLIMn

さらに、DPLIMn > DNLIMnの場合にDAC出力バッファはスリーステートの状態になります。この方法でリミット・レジスタをプログラミングすることによって、すべての正常なシステム動作時にDAC出力バッファがターンオンする動作が非常に困難になるように設定できます(これらは起動時にEEPROMからダウンロードされるレジスタの1つです)。

アプリケーション回路図

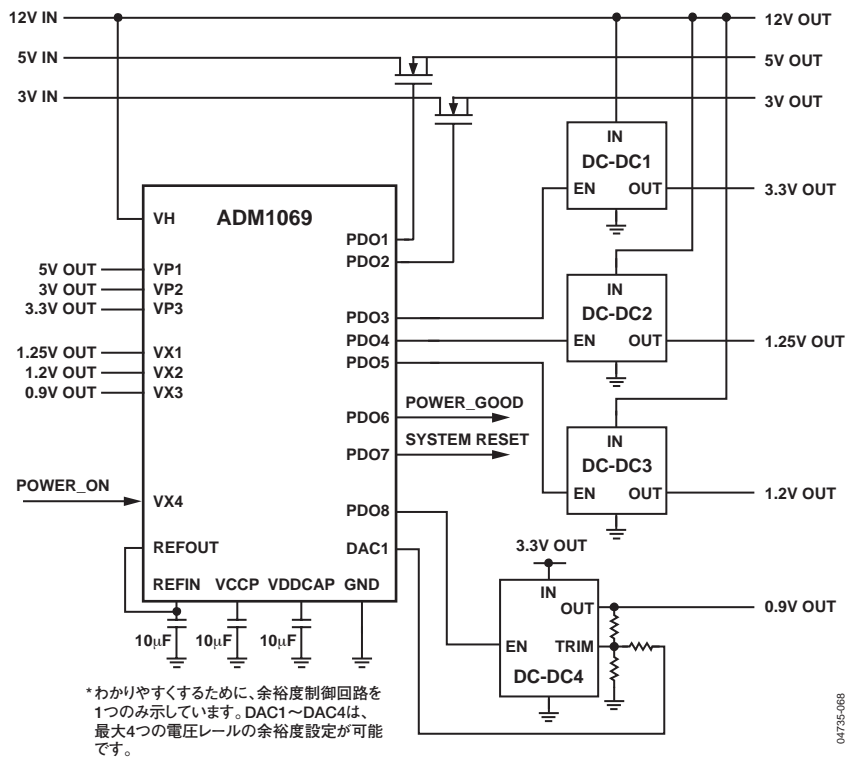


図33. アプリケーション回路図

ADM1069の通信動作

パワーアップ時の設定ダウンロード

ADM1069の設定 (UV/OVスレッシュホールド、グリッチ・フィルタのタイムアウト、PDOの設定など)は、RAMのデータ内容に基づいて決定されます。RAMはADM1069の各機能に対してローカルなデジタル・ラッチで構成されます。これらのラッチはダブル・バッファ構成になっており、ラッチAとラッチBのまったく同じ2個のラッチが内蔵されています。したがって、機能更新が行われる際は、ラッチAのデータ内容が最初に更新され、次にまったく同じデータでラッチBが更新されます。ここでは、このアーキテクチャの利点について詳細に説明します。

ラッチは揮発性メモリであるため、パワーダウン時にはそのデータ内容が消失します。そのために、パワーアップ時にEEPROM (不揮発性メモリ)のデータ内容をローカル・ラッチにダウンロードして、RAMに保存された設定データを復元する必要があります。このダウンロードは、以下のステップで実行されます。

1. デバイ스에電源が投入されていないときに、PDOはすべてハイ・インピーダンスになります。
2. VDDアービトラータに接続される入力 (VHまたはVPn)のいずれかに1Vが現れると、PDOはすべて20kΩのインピーダンスでGNDにウィーク・プルダウンされます。
3. 電源がデバイスのアンダー電圧ロックアウトを超えると(UVLOは2.5V)、EEPROMがRAMへのダウンロードを開始します。
4. EEPROMはそのデータ内容をすべてのラッチAにダウンロードします。
5. EEPROMのデータ内容が完全にラッチAにダウンロードされると、デバイス・コントローラはすべてのラッチAに対して、データ内容をすべてのラッチBに同時にダウンロードするように要求する信号を出力し、設定のダウンロードが完了します。
6. 設定のダウンロードが終了して0.5msが経過した後で、最初のステート定義がEEPROMからSEにダウンロードされます。

ダウンロードが完了しないうちにADM1069との通信を実行しようとするとき、ADM1069はノー・アックレッジ (NACK) コマンドを発行します。

設定の更新

パワーアップ後、すべての設定がEEPROMからRAMレジスタにダウンロードされてから、SFDのUVまたはOV限界値の変更、SFDの障害出力の変更、またはPDOの1つの立上がり時間遅延の調整など、ADM1069の機能設定を変更しなければならない場合があります。

ADM1069には、SMBusインターフェースを介して設定内容を更新できるオプションがいくつか用意されています。以下の各オプションは、UPDCFGレジスタで制御されます。

1. 設定内容をリアルタイムで更新します。SMBusバスを介してRAMに書き込み動作を行うと、即時に設定が更新されます。
2. ラッチBを更新せずに、ラッチAを更新します。この方式では、ラッチBの更新を要求する命令が出されるまで、ADM1069の設定は変更されず、最初の設定に基づいた動作を継続します。
3. RAMのデータ内容を変更せずに、EEPROMレジスタのデータを変更し、その後でこの更新されたEEPROMのデータ内容をRAMレジスタにダウンロードします。この場合も、RAMの更新を要求する命令が出されるまで、ADM1069の設定は変更されず、最初の設定に基づいた動作を継続します。

オプション3で実行されるEEPROMからのダウンロード命令は、設定の更新が不満足なものである場合に、EEPROMの元のデータ内容を復元するための有効な手段でもあります。たとえば、OVスレッシュホールドを変更する必要がある場合、オプション1で説明したようにRAMレジスタを更新することによって変更できます。しかし、変更内容が気に入らず、元の設定値に戻りたい場合には、オプション3で説明したように、EEPROMのデータ内容をRAMに再度ダウンロードするように要求するコマンドをデバイス・コントローラが発行し、ADM1069を最初の設定に復元することができます。

ADM1069の独自の設計方式によって、このような動作が可能になります。ローカルの揮発性レジスタ (RAM) はすべて、ダブル・バッファ構成のラッチです。UPDCFGレジスタのビット0を1に設定すると、ダブル・バッファ構成のラッチが常に開放された状態になります。ビット0を0に設定すると、SMBusを介してRAMに書き込み動作が実行されるときに、最初のバッファ・ラッチのみに書き込みが行われます。その後で、UPDCFGレジスタのビット1に1を書き込む必要があります。これでパルスが発生し、ただちに2番目のラッチをすべて更新します。EEPROMの書き込み動作も同様の方法で実行されます。

このレジスタの最後のビットは、EEPROMページの消去をイネーブルまたはディスエーブルに設定できます。このビットをハイレベルに設定すると、EEPROMページの内容をすべて1に設定できます。このビットをローレベルに設定すれば、SMBusを介してページ消去のコマンド・コードをプログラミングしている場合であっても、ページの内容を消去することはできません。UPDCFGレジスタのビット・マップは、アプリケーション・ノート「AN-698」に掲載しています。パワーアップ時のダウンロード、およびその後の設定の更新を示すフロー・チャートを図34に示します。

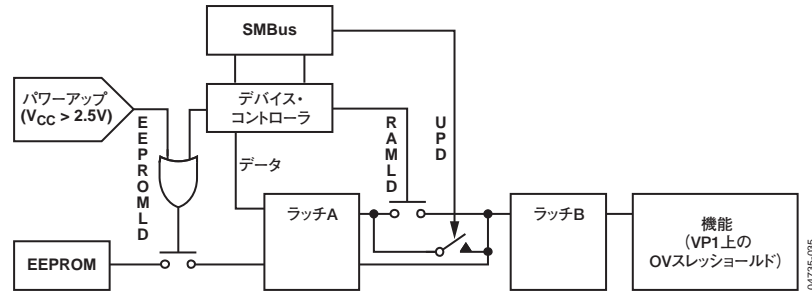


図34. 設定更新のフロー図

シーケンシング・エンジンの更新

シーケンシング・エンジン(SE)の機能は、通常の設定用ラッチと同じ方法では更新されません。SEにはステート定義を保存するための専用の512バイトEEPROMが備わっており、64ビット・ワードの単位で63個の個別ステートを設定します(1つのステートは予備)。パワーアップ時に、最初のステートがSEのEEPROMからエンジンにロードされます。このステートの条件が合うと、次のステートがEEPROMからエンジンにロードされ、以下順にこの方法が繰り返されます。新しいステートがロードされる所要時間はそれぞれ約10 μ sです。

ステートを変更する場合、必要な変更をEEPROMに対して直接行う必要があります。各ステートを記憶するためのRAMは存在しません。該当する変更を64ビット・ワードで行うと、このデータがEEPROMに直接アップロードされます。

内部レジスタ

ADM1069には多くのデータ・レジスタが内蔵されています。この中で主要なレジスタは、アドレス・ポインタ・レジスタと設定レジスタです。

アドレス・ポインタ・レジスタ

このレジスタには、他の内部レジスタの1つを選択するアドレスが格納されます。ADM1069の書き込み動作時に、データの最初のバイトは常にレジスタのアドレスであり、このアドレスがアドレス・ポインタ・レジスタに書き込まれます。

設定レジスタ

これらのレジスタには、ADM1069の各種の動作パラメータを制御および設定するためのデータが格納されます。

EEPROM

ADM1069には、512バイト・セルの不揮発性で、電気的に消去可能なプログラマブル読み専用メモリ(EEPROM)が2個内蔵されています。そのアドレスは0xF800から0xFBFFまで割り当てられています。これらのEEPROMは、ADM1069のパワーダウン時に消失されないデータを持続的に保存するために使用されます。1個のEEPROMはデバイスの設定データを保存し、もう1個はSEのステート定義を保存します。EEPROMは読み専用メモリと呼ばれますが、その他のレジスタとまったく同じ方法でシリアル・バスを介して、書き込みと読出しの両方が可能です。

EEPROMとその他のレジスタの主な相違点は、次のとおりです。

- EEPROMのあるロケーションに書き込みを行うときは、事前にそのロケーションを空き状態にしておく必要があります。そこにデータが保存されている場合は消去してください。
- EEPROMの書き込み速度は、RAMの書き込み動作よりも低速です。
- EEPROMの書き込み動作には制約があります。理由は、EEPROMの通常の損耗メカニズムにより、書き込みサイクル寿命が一般的に10,000回の書き込み動作までに制限されているためです。

最初のEEPROMは、容量が各32バイトの16(0~15)のページに分割されます。アドレス0xF800から開始されるページ0~6には、ADM1069のアプリケーションに関する設定データ(SFDやPDOなど)が保存されます。これらのEEPROMアドレスは、F8で始まるRAMレジスタのアドレスと同じです。ページ7は予備です。ページ8~15は、ユーザが任意に使用できるページです。

以下のいずれかの方法で、EEPROMからRAMにデータをダウンロードできます。

- パワーアップ時に、ページ0~6がダウンロードされるとき
- UDOWNLDレジスタ(0xD8)のビット0をセットして、ページ0~6のユーザ・ダウンロードを実行する

シリアル・バス・インターフェース

ADM1069の制御は、シリアル・システム管理バス(SMBus)を介して行います。ADM1069はマスター・デバイスの制御下にあるスレーブ・デバイスとして、このバスに接続されます。ADM1069がパワーアップした後で、EEPROMからのダウンロードが完了するまでに約1msかかります。したがって、ダウンロードが終了するまで、ADM1069へのアクセスが制限されます。

SMBus上のADM1069の識別

ADM1069には、7ビットのシリアル・バス・スレーブ・アドレスが割り当てられています。このデバイスのパワーアップ時には、デフォルトのシリアル・バス・アドレスが指定されています。アドレスの上位5ビットは01101に設定され、下位2ビットはA1とA0の各ピンのロジック状態によって決定されます。したがって、1つのSMBusに4個のADM1069を接続できます。

ADM1069

このデバイスには、SMBusを介して読出しが可能な複数の識別レジスタ(読出し専用)も内蔵されています。表10に、これらのレジスタとその値および機能を示します。

表10. 識別レジスタの値と機能

名称	アドレス	値	機能
MANID	0xF4	0x41	アナログ・デバイゼスの製造者ID
REVID	0xF5	0x02	シリコンのリビジョン
MARK1	0xF6	0x00	ソフトウェア・ブランド
MARK2	0xF7	0x00	ソフトウェア・ブランド

SMBusの一般的なタイミング

図35、図36、図37に、SMBusを用いた一般的な読出し/書き込み動作のタイミング図を示します。SMBus仕様では、「書き込み動作」と「読出し動作」の項で説明するように、各種の読出し/書き込み動作に適用される特定の条件が規定されています。

一般的なSMBusプロトコルは、以下のように実行されます。

1. マスターは、開始状態を確立してデータ転送を開始します。シリアル・クロック・ラインのSCLがハイレベルのときに、シリアル・データ・ラインのSDAがハイレベルからローレベルに移移すると、開始状態が確立され、その後データ・ストリームの転送が開始されます。シリアル・バスに接続されたすべてのスレーブ・ペリフェラルが開始状態に回答し、7ビットのスレーブ・アドレス(MSBファースト)と1個のR/Wビットで構成される次の8ビットをシフト入力します。R/Wビットの設定に従って、データ転送の方向、すなわちスレーブ・デバイスのデータ書き込みまたは読出しのどちらの動作を実行するかを決定します(0=書き込み、1=読出し)。

送信されたアドレスに対応するペリフェラルは、アクノレッジ・ビットと呼ばれる9番目のクロック・パルスの前のローレベル期間中にデータラインをローレベルに引き込む動作によって応答し、このクロック・パルスがハイレベルに維持されている間にデータラインをローレベルに保持します。

バス上のその他のデバイスは、選択されたデバイスがデータの読出しまたは書き込みを待っている間、アイドル状態に維持されます。R/Wビットが0の場合、マスターはスレーブ・デバイスにデータを書き込みます。R/Wビットが1の場合には、マスターはスレーブ・デバイスからデータを読み出します。

2. データはシリアル・バスを介して、9個のクロック・パルス・シーケンスで送信されます。つまり、8ビットのデータの後に、スレーブ・デバイスからの1個のアクノレッジ・ビットが続きます。データライン上のデータの遷移はクロック信号がローレベルの期間で発生し、ハイレベルの期間は安定している必要があります。これは、クロックがハイレベルの期間にローレベルからハイレベルに移移すると、停止信号と解釈される場合があるからです。書き込み動作の場合には、スレーブ・アドレスの後に続く最初のデータバイトがコマンド・バイトです。このバイトは、どのような動作を次に期待すべきかをスレーブ・デバイスに通知します。ブロック書き込みを待ち受けるようにスレーブ・デバイスに通知する命令として使用される場合もあれば、単に後続のデータが書き込まれる場所をスレーブ・デバイスに通知するレジスタ・アドレスとして使用される場合もあります。データの転送は、R/Wビットの設定に従って1方向のみに限られるので、読出し動作の実行中にコマンドをスレーブ・デバイスに送信することはできません。読出し動作の前には、どのようなタイプの読出し動作を待ち受けるか、そしてデータが読出されるアドレスをスレーブ・デバイスに通知するために、書き込み動作を行わなければならない場合があります。
3. データバイトすべての読出しまたは書き込みが完了した時点で、停止状態が確立されます。書き込みモード時には、10番目のクロック・パルスの間にマスターがデータラインをハイレベルに引き込んで、停止状態をアサートします。読出しモード時には、9番目のクロック・パルスの前のローレベル期間中にマスター・デバイスがSDAラインを解放しますが、スレーブ・デバイスはSDAラインをローレベルに引き込みません。これは、ノー・アクノレッジと呼ばれます。次に、マスターは10番目のクロック・パルスの前のローレベル期間中にデータラインをローレベルに引き込み、10番目のクロック・パルスの間にこれをハイレベルに移移させて、停止状態をアサートします。

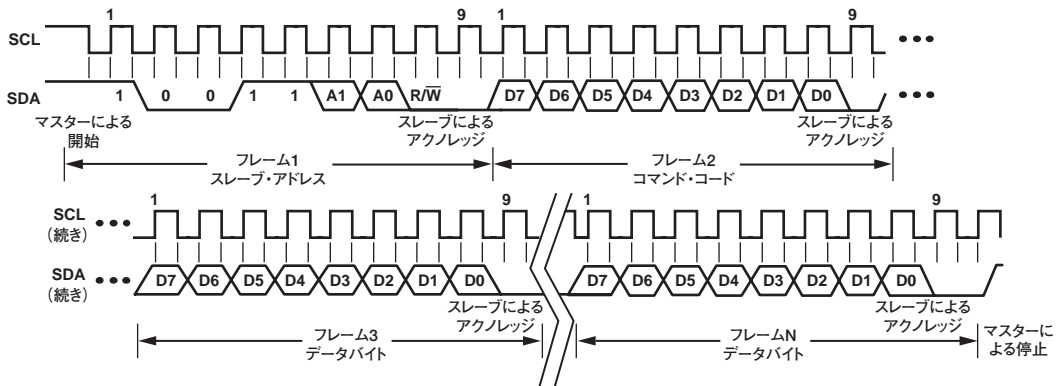


図35. SMBusの一般的な書き込みタイミング図

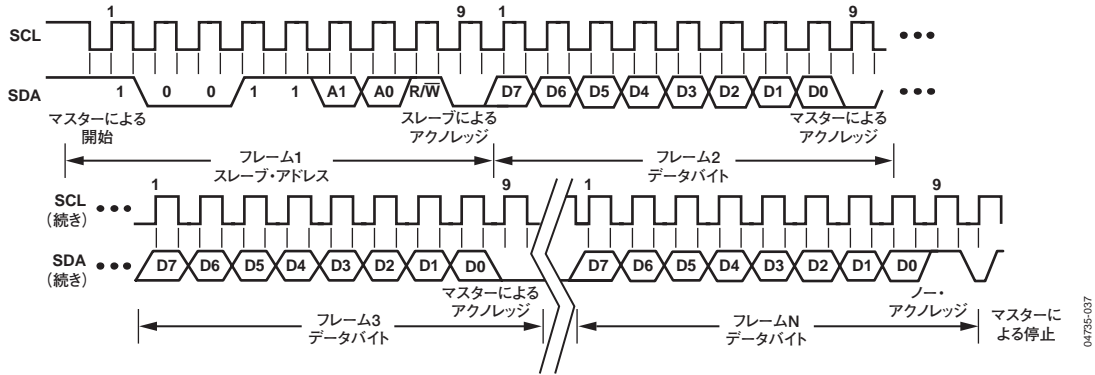


図36. SMBusの一般的な読出しタイミング図

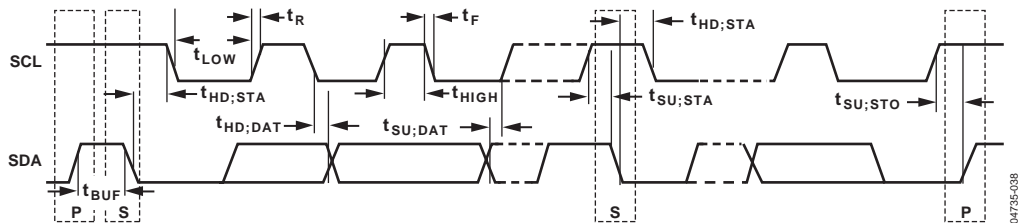


図37. シリアル・バスのタイミング図

RAMとEEPROMのSMBusプロトコル

ADM1069には、揮発性レジスタ(RAM)と不揮発性レジスタ(EEPROM)が内蔵されています。ユーザRAMは0x00から0xDFまでのアドレス・ロケーションを占有し、EEPROMは0xF800から0xFBFFまでのアドレス・ロケーションを占有しています。

RAMとEEPROMの両方に対して、データを単一のデータバイトとして書き込むか、または読み出すことが可能です。EEPROMでデータを書き込むのはプログラミングされていないロケーションのみです。プログラミングされたロケーションに新しいデータを書き込む際には、その場所に保存されているデータを最初に消去する必要があります。バイト・レベルでEEPROMのデータを消去することは不可能です。EEPROMは各32バイトの32ページ構成になっているので、ページ全体を消去しなければなりません。

UPDCFGレジスタ(アドレス0x90)のビット2を1に設定することで、ページを消去できます。このビットが1に設定されていない場合、SMBusを介してコマンド・バイト(0xFE)をプログラミングしている場合であっても、ページを消去することはできません。

書き込み動作

SMBus仕様では、各種の読出し／書き込み動作に対応するいくつかのプロトコルが規定されています。以下の各図では、次のような省略記号を使用しています。

- S 開始
- P 停止
- R 読出し
- W 書き込み
- A アクノレッジ
- \bar{A} ノー・アクノレッジ

ADM1069では、以下のようなSMBus書き込みプロトコルを用いています。

送信バイト

送信バイト動作では、以下の手順でマスター・デバイスがスレーブ・デバイスに1つのコマンド・バイトを送信します。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書き込みビット(ローレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターがコマンド・コードを送信します。
5. スレーブがSDAライン上でACKをアサートします。
6. マスターがSDAライン上で停止状態をアサートした後で、トランザクションが終了します。

ADM1069では、送信バイト・プロトコルを以下の2つの目的に使用します。

- 続けて同じアドレスからシングル・バイトの読出しを行ったり、そのアドレスから開始されるブロック読出し／書き込みを行ったりするために、レジスタ・アドレスをRAMに書き込む動作(図38参照)

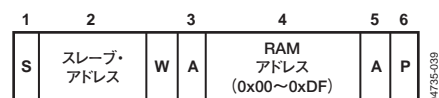


図38. 続けて読出しを行うためのRAMアドレスの設定

ADM1069

- EEPROMメモリのページ消去。EEPROMメモリの書き込みを実行できるのは、それがプログラミングされていない場合にに限られます。すでにプログラミングされているEEPROMメモリ・ロケーションにデータを書き込む際には、事前にこれらのロケーションを含むページをすべて消去する必要があります。EEPROMメモリのデータを消去するには、コマンド・バイトを書き込みます。

マスターは、スレーブ・デバイスにコマンド・コードを送信し、ページを消去するように通知します。ADM1069のページ消去用のコマンド・コードは、0xFE(1111 1110)です。ページを消去するためには、その前の書き込みワード・トランザクションでページ・アドレスを指定しておく必要がある点に注意してください(「書き込みバイト／ワード」の項を参照)。さらに、UPDCFGレジスタ(アドレス0x90)のビット2を1に設定することも必要です。

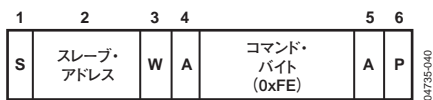


図39. EEPROMページの消去

ADM1069がコマンド・バイトを受信すると、即時にページの消去が開始されます。マスター・デバイスはコマンド・バイトを送信した後で、即時に停止コマンドを送信できます。ページ消去の所要時間は約20msです。ページの消去が完了しないうちにADM1069にアクセスすると、このデバイスはノー・アクノレッジ(NACK)で応答します。

書き込みバイト／ワード

書き込みバイト／ワード動作では、以下の手順でマスター・デバイスがスレーブ・デバイスに1つのコマンド・バイトと1つまたは2つのデータバイトを送信します。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書き込みビット(ローレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターがコマンド・コードを送信します。
5. スレーブがSDAライン上でACKをアサートします。
6. マスターがデータバイトを送信します。
7. スレーブがSDAライン上でACKをアサートします。
8. マスターがデータバイトを送信します(または、この時点で停止状態をアサートします)。
9. スレーブがSDAライン上でACKをアサートします。
10. マスターがSDAライン上で停止状態をアサートした後で、トランザクションが終了します。

ADM1069では、書き込みバイト／ワード・プロトコルを以下の3つの目的に使用します。

- シングル・バイトのデータをRAMに書き込む動作。この場合には図40に示すように、コマンド・バイトは0x00から0xDFまでのRAMアドレスに割り当てられ、データバイトのみが実際のデータとなります。

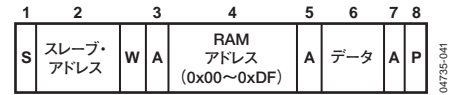


図40. RAMに対するシングル・バイトの書き込み

- 続けて実行される読出し、書き込み、ブロック読出し、ブロック書き込み、またはページ消去のために、2バイトのEEPROMアドレスを設定する動作。この場合には、コマンド・バイトは0xF8から0xFBまでのEEPROMアドレスの上位バイトになります。図41に示すように、データバイトのみがEEPROMアドレスの下位バイトです。



図41. EEPROMアドレスの設定

ページ消去の場合には、1ページが32バイトで構成されるので、アドレス下位バイトの上位3ビットのみが重要である点に注意してください。EEPROMアドレス下位バイトの下位5ビットは、ページ内のアドレスを指定するので、消去動作時には無視されます。

- シングル・バイトのデータをEEPROMに書き込む動作。この場合には、コマンド・バイトは0xF8から0xFBまでのEEPROMアドレスの上位バイトになります。図42に示すように、最初のデータバイトはEEPROMアドレスの下位バイトであり、2番目のデータバイトが実際のデータです。

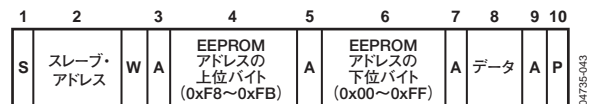


図42. EEPROMに対するシングル・バイト書き込み

ブロック書き込み

ブロック書き込み動作では、マスター・デバイスがデータのブロックをスレーブ・デバイスに書き込みます。ブロック書き込みの開始アドレスは事前に設定しておく必要があります。ADM1069では以下の手順に従って、送信バイト動作でRAMアドレスを設定し、書き込みバイト／ワード動作でEEPROMアドレスを設定します。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書き込みビット(ローレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターが、スレーブ・デバイスに対してブロック書き込みを待ち受けるように指示するコマンド・コードを送信します。ブロック書き込み時のADM1069のコマンド・コードは、0xFC(1111 1100)です。

5. スレーブがSDAライン上でACKをアサートします。
6. マスターがスレーブ・デバイスにデータバイトを送信し、転送されるデータバイト数を通知します。SMBus仕様では、1回のブロック書込みで最大32までのデータバイトを送信できると規定されています。
7. スレーブがSDAライン上でACKをアサートします。
8. マスターがN個のデータバイトを送信します。
9. スレーブがデータバイトを受信するたびに、SDAライン上でACKをアサートします。
10. マスターがSDAライン上で停止状態をアサートし、トランザクションが終了します。



図43. EEPROMまたはRAMに対するブロック書込み

ブロック書込みが1ページ内に制限される一部のEEPROMデバイスとは異なり、EEPROMに対するブロック書込み時に開始アドレスに関する制限はありません。ただし、例外として以下の制約事項があります。

- 無効アドレスへの書込みを防止するために、開始アドレスからEEPROMの最上位アドレス(0xFBFF)までの範囲内に、最低N個のロケーションが必要です。
- アドレスが2ページにまたがる場合には、プログラミングの前に両ページを消去する必要があります。

なお、ADM1069はEEPROMに対する書込み動作のために、クロック拡張機能を備えています。EEPROMバイトのプログラミングには約250 μ sを要するので、繰返し動作またはブロック書込み動作のときに、SMBusクロックが制限を受けます。クロックがデータを受け入れられない状態になると、ADM1069はSCLをローレベルに引き込み、クロック・パルスを拡張します。

読出し動作

ADM1069では、以下のようなSMBus読出しプロトコルを用いています。

受信バイト

受信バイト動作では、以下の手順でマスター・デバイスがスレーブ・デバイスから1つのデータバイトを受信します。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の読出しビット(ハイレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターがデータバイトを受信します。
5. マスターがSDAライン上でノー・アクノレッジをアサートします。
6. マスターがSDAライン上で停止状態をアサートし、トランザクションが終了します。

ADM1069では図44に示すように、受信バイト・プロトコルを使用し、送信バイトまたは書込みバイト/ワード動作によってアドレスがすでに設定されているRAMまたはEEPROMからシングル・バイトのデータを読み出します。

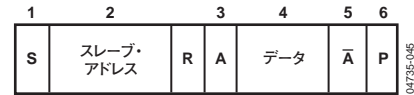


図44. EEPROMまたはRAMからのシングル・バイトの読出し

ブロック読出し

ブロック読出し動作では、マスター・デバイスがデータのブロックをスレーブ・デバイスから読み出します。ブロック読出しの開始アドレスを事前に設定しておくことが必要です。ADM1069では、送信バイト動作でRAMアドレスを設定し、書込みバイト/ワード動作でEEPROMアドレスを設定する方法で、このアドレス指定を行います。ブロック読出し動作自体は以下に説明するように、ブロック読出しコマンドをスレーブに送信する送信バイト動作、その直後に続く繰返し開始動作、および複数個のデータバイトを読み出す読出し動作からなります。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書込みビット(ローレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターが、スレーブ・デバイスに対してブロック読出しを待ち受けるように指示するコマンド・コードを送信します。ブロック読出し時のADM1069のコマンド・コードは、0xFD(1111 1101)です。
5. スレーブがSDAライン上でACKをアサートします。
6. マスターがSDAライン上で繰返し開始状態をアサートします。
7. マスターが7ビットのスレーブ・アドレス、1個の読出しビット(ハイレベル)の順に送信します。
8. スレーブがSDAライン上でACKをアサートします。
9. ADM1069が、何個のデータバイトが期待されるかをマスターに通知するバイト・カウンタのデータバイトを送信します。SMBus 1.1仕様で規定されている最大許容値に相当する32個のデータバイト(0x20)をADM1069は常に返します。
10. マスターがSDAライン上でACKをアサートします。
11. マスターが32個のデータバイトを受信します。
12. データバイトを受信するたびに、マスターがSDAライン上でACKをアサートします。
13. マスターがSDAライン上で停止状態をアサートした後で、トランザクションが終了します。

ADM1069



図45. EEPROMまたはRAMからのブロック読み出し

エラー訂正

ADM1069にはRAMの書き込み、EEPROMの書き込み、RAM/EEPROMのブロック書き込み、またはRAM/EEPROMのブロック読み出しの後で、PEC (パケット・エラー訂正) バイトを発行するオプションが用意されています。したがって、ADM1069で送受信したデータが正しいものであるかを検証できます。PECバイトは、ADM1069に対して最後のデータバイトが書き込まれるか、または読み出された後に続いて送信されるオプションのバイトです。このプロトコルは、以下のとおりです。

1. ADM1069がマスターに対してPECバイトを発行します。マスターはそのPECバイトをチェックし、PECバイトにエラーがあれば、ブロック読み出しを再度発行します。

2. PECバイトの後に、読み出し動作の終了を通知するノー・アクノレッジ (NACK) が発行されます。

PECバイトはCRC-8を用いて算出されます。フレーム・チェック・シーケンス (FCS) は、CRC-8により以下の多項式にて確認されます。

$$C(x) = x^8 + x^2 + x^1 + 1$$

詳細については、SMBus 1.1仕様を参照してください。

オプションのPECバイトを利用したブロック読み出し動作設定の例を図46に示します。

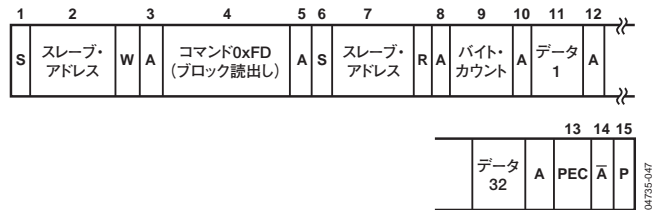
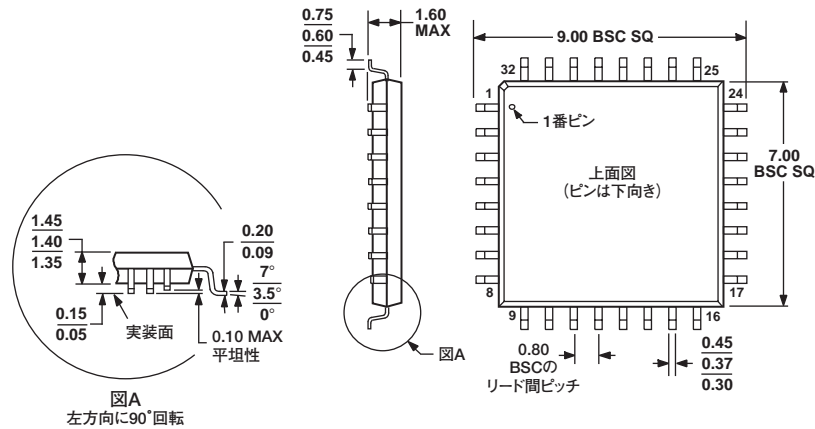


図46. PECを用いたEEPROMまたはRAMからのブロック読み出し

外形寸法



JEDEC規格MS-026-BBAに準拠

図47. 32ピン低背クワッド・フラット・パッケージ [LQFP]
(ST-32-2)
寸法単位:mm

オーダー・ガイド

モデル	温度範囲	パッケージの説明	パッケージ・オプション
ADM1069AST	-40°C~+85°C	32ピンLQFP	ST-32-2
ADM1069AST-REEL	-40°C~+85°C	32ピンLQFP	ST-32-2
ADM1069AST-REEL7	-40°C~+85°C	32ピンLQFP	ST-32-2
ADM1069ASTZ ¹	-40°C~+85°C	32ピンLQFP	ST-32-2
ADM1069ASTZ-REEL ¹	-40°C~+85°C	32ピンLQFP	ST-32-2
ADM1069ASTZ-REEL7 ¹	-40°C~+85°C	32ピンLQFP	ST-32-2
EVAL-ADM1069LQEB	-40°C~+85°C	ADM1069評価用キット	

¹ Z=鉛フリー製品