

大電流アプリケーション用の高効率高密度 PolyPhaseコンバータ

Wei Chen

はじめに

ロジックシステムが大型化し、複雑化するにつれ、必要な電源電流も増加し続けています。100Aを必要とするシステムも珍しくありません。このような大電流を供給する電源では通常複数のパワーレギュレータを並列接続して個々の電源用コンポーネントに加わる熱ストレスを緩和します。電源の設計者はこれらの並列レギュレータをドライブする方法(カブクのシングルフェーズにするか、それともスマートなPolyPhase™にするか)を選択しなければなりません。

PolyPhaseコンバータでは並列電力段のクロック信号を交互に重ねることにより、スイッチング周波数を上げることなく入力と出力のリップル電流を下げます。入力コンデンサのESRによる電力損失が減少し、比較的低いスイッチング周波数ではMOSFETのスイッチング損失が小さくなるので高い電力変換効率が達成されます。入力リップル電流が相殺される結果、入力コンデンサのサイズとコストも大幅に減少します。出力リップル電流も相殺されるので、値の小さなインダクタを使うことができます。その結果、負荷過渡状態に対するダイナミック応答が改善されます。電流定格を下げ、インダクタンスを小さくできるので、小型で高さの低い表面実装型インダクタを使うこともできます。出力が複数必要なアプリケーションでも、PolyPhaseコンバータにより入力コンデンサを小さくできるという利点もあります。

タイミングと電流分担の条件が複雑なため、マルチフェーズのデザインは以前は実現が困難で金がかかりました。新しく開発されたLTC1629は大電流のシングル出力のデザインに対してこれらの問題を解決し、他方、LTC1628はデュアル出力のアプリケーションに対応しています。両方のICとも、デュアルの電流モードPolyPhaseコントローラで、2つの同期降圧段を同時にドライブすることができます。LTC1629の特長として、真のリモートセンシングのためのユニティゲイン差動アンプ、低インピーダンスのゲートドライブ、電流分担、過電圧保護、過電流ラッチオフ(オプ

ション)、およびフォールドバック電流制限が含まれています。さらに、LTC1629は、簡単な位相選択信号(H、L、あるいは開放)によって、2相、3相、4相、6相、および12相の動作に構成することができます。相の個数を最適化すれば、最も費用対効果比のすぐれた最小の電源をデザインすることができます。


このアプリケーションノートではPolyPhaseコンバータの性能を分析し、相数の選択とLTC1629を使ったPolyPhaseコンバータの設計のためのガイドラインを示します。説明が進むにしたがい、以下の疑問に対して答えが与えられます。

- PolyPhaseアーキテクチャを使うとどのような利点が見られるか？
- 個々のアプリケーションについていくつの相が必要か？
- PolyPhaseコンバータはどのように設計するのか？

PolyPhaseテクニックは回路性能にどのように影響するか？

一般に、PolyPhase動作ではリップル電流やリップル電圧の低減によってスイッチモードのパワーコンバータの大信号性能が改善されます。このアプリケーションノートでは、回路性能に対するPolyPhaseテクニックの効果を分析するのに同期式降圧コンバータが一例として使われています。

大電流出力の場合、通常いくつかのレギュレータを並列に使う必要があります。単一レギュレータ方式では個々の電源部品に許容できない熱ストレスが加わるため、この方式は実際には使えません。入力端子と出力端子の両方でビート周波数ノイズを除去するために、並列レギュレータは同期をとって同じスイッチング周波数にしま

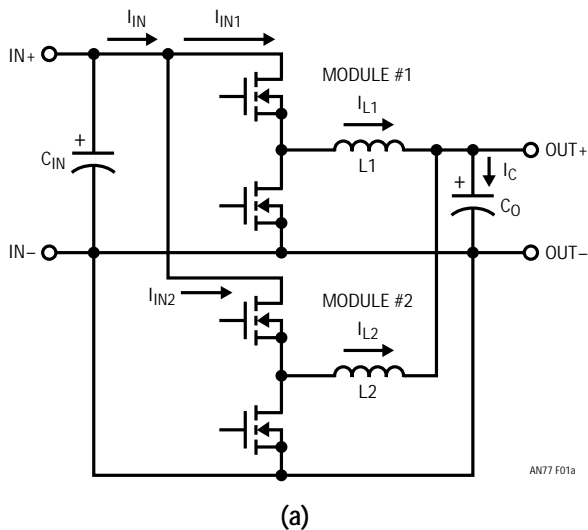
 LTC、LTはリニアテクノロジー社の登録商標です。
PolyPhaseはリニアテクノロジー社の商標です。

アプリケーションノート 77

す。並列接続されているレギュレータ間の位相関係にもとづき、これらのコンバータはシングルフェーズとPolyPhaseの2つのタイプに分けられます。各コンポーネントの熱ストレスのバランスをとるため、並列レギュレータは負荷電流を分担することも必要です。

このアプリケーションノートでは、チャンネル数は1個の電源内の並列レギュレータの個数を意味します。参照しやすくするため以下の記号を定義します。

- V_O : DC出力電圧
- I_O : DC出力電流
- V_{IN} : DC入力電圧
- T : スイッチング周期
- m_c : 並列チャンネル数
- m 相数。通常、可能な相数はチャンネル数 m_c によって決まる。たとえば、 $m_c = 6$ ならば可能な相数は $m = 1, 2, 3, 6$ となる。
- C_O : 出力コンデンサ
- ESR : C_O の等価直列抵抗
- L_f : 出力インダクタ
- D : デューティ・サイクル降圧回路では V_O/V_{IN} で近似



電流分担

ピーク電流モード・コントロールにより簡単に電流分担を実現できます。電流モード・コントロール・レギュレータでは、負荷電流は電圧帰還ループの誤差電圧に比例します。並列接続されたレギュレータに同じ誤差電圧が与えられると、これらの並列レギュレータは等しい電流を供給します。例として2チャンネル回路を使ってこの電流分担のしくみを説明します。

図1に示すように、ピーク電流モード・コントロールでは、ピークインダクタ電流 (I_{L1} , I_{L2}) が誤差電圧 V_{ER} と交叉するとき上側のスイッチがターンオフして、その結果ピークインダクタ電流が同じになることが必要です。双方のインダクタが同じであれば、これらのインダクタのピーク・ツー・ピーク・リップル電流は同じになります。つまり、2つのインダクタのDC電流(ピーク電流からピーク・ツー・ピーク・リップル電流の1/2を引いた値)は等しくなります。したがって、2つのモジュールは負荷電流を等しく分担します。これと同じ電流分担のしくみを任意の数の並列チャンネルへ拡大することができます。この電流分担方式により、定常動作状態およびライン過渡状態や負荷過渡状態のあいだ個々のモジュールが過剰な電流ストレスを受けるのを防ぎます。分担のしくみは開ループなので、電流分担による発振は起きません。

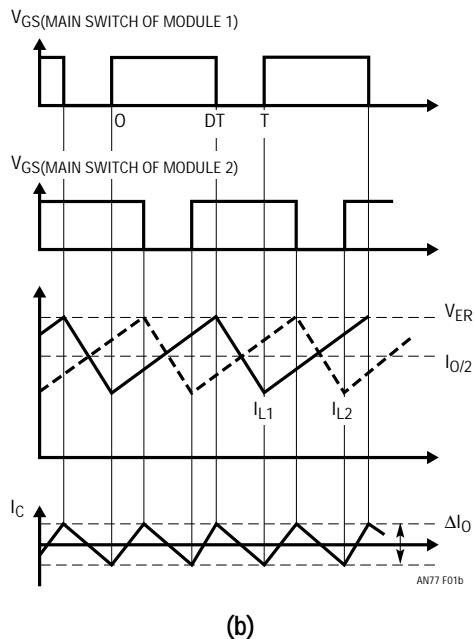


図1. 2チャンネルコンバータ : (a) 回路および (b) 代表的波形

出力リップル電流のキャンセレーションおよび出力リップル電圧の減少

図1(b)の位相関係は、出力のリップル電流のキャンセレーションがどのようにして生じるかを示しています。2つのコンバータのあいだに180度の位相差があるので、2相コンバータの2つのインダクタのリップル電流は相殺する傾向があり、その結果、出力コンデンサを流れるリップル電流が減少します。さらに、出力リップル電流の周波数は2倍になります。これらの効果により、同じリップル電圧条件に対して出力コンデンサを小さくすることができます。

2チャンネルコンバータのインダクタ電流と出力リップル電流の測定波形を図2に示します。出力リップルのキャンセレーションにより、出力リップル電流は14A_{p-p}(シングルフェーズ)から6A_{p-p}(デュアルフェーズ)へ減少します。デュアルフェーズ回路のリップル周波数はスイッチング周波数の2倍になります。

m相回路の出力リップル電流の振幅を数値化するため、closed-formの式が開発されました。式の導出は図1に示されている2相回路から開始します。モジュール1の上側のスイッチがオフで、モジュール2の上側のスイッチがオンのときの期間[DTからT]、モジュール1のインダク

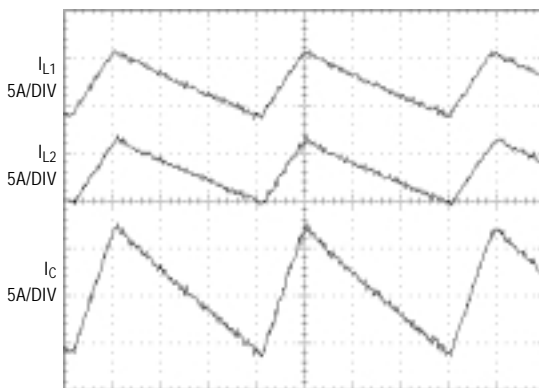
タ電流は減少し、モジュール2のインダクタ電流は増加します。出力コンデンサへ流れ込む正味リップル電流は少なくなります。2相回路の出力リップル電流は次式で得られます。

$$\Delta I_0 = \frac{2V_0(1-D)T}{L_f} \frac{|1-2D|}{|1-2D|+1} \quad (1)$$

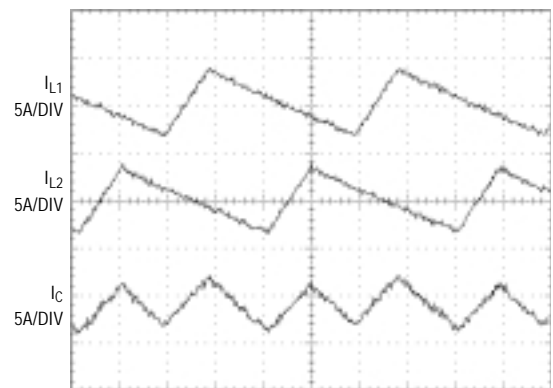
計算手順の詳細については付録Aを参照してください。同じ計算手順をm相構成まで拡大することにより、m相回路の出力リップル電流が得られます。

m相回路の出力リップル電流のピーク・ツー・ピーク振幅：

$$\Delta I_0 = \begin{cases} \frac{V_0 T (1-D)}{L_f}, & m=1 \\ mc \cdot V_0 T \cdot \frac{\prod_{i=1}^m \left| \frac{i}{m} - D \right|}{\prod_{i=1}^{m-1} \left(\left| \frac{i}{m} - D \right| + \frac{1}{m} \right)}, & m=2,3,\dots \end{cases} \quad (2)$$



(a) シングルフェーズ



(b) デュアルフェーズ

図2. 2チャンネル回路の出力リップル電流波形。I_{L1}およびI_{L2}は2チャンネルのインダクタ電流で、I_Cは出力コンデンサへ流れ込む正味リップル電流です。テスト条件：V_{IN} = 12V、V_O = 2V、I_O = 20A

アプリケーションノート 77

出力リップル電圧は次のように計算されます。

$$\Delta V_{O,PP} < \frac{\Delta I_0 T}{8mC_0} + \Delta I_0 \bullet ESR \quad (3)$$

式(3)の最初の項は C_0 の純粋に容量性のコンポーネントのリップル電圧を表し、2番目の項は C_0 のESRに発生するリップル電圧を表します。直観的に、相数が増えると最初の項のリップル成分を減らすのに役立ち、したがって出力の全リップル電圧振幅を減らすのに役立ちます。見て分るように、もうひとつの興味深い事実は、デューティ・サイクルが下記のクリティカルポイントのひとつに等しいと、出力のリップル電流とリップル電圧がゼロになることです。

$$D_{crit} = \frac{i}{m}, \quad i = 1, 2, \dots, m-1 \quad (4)$$

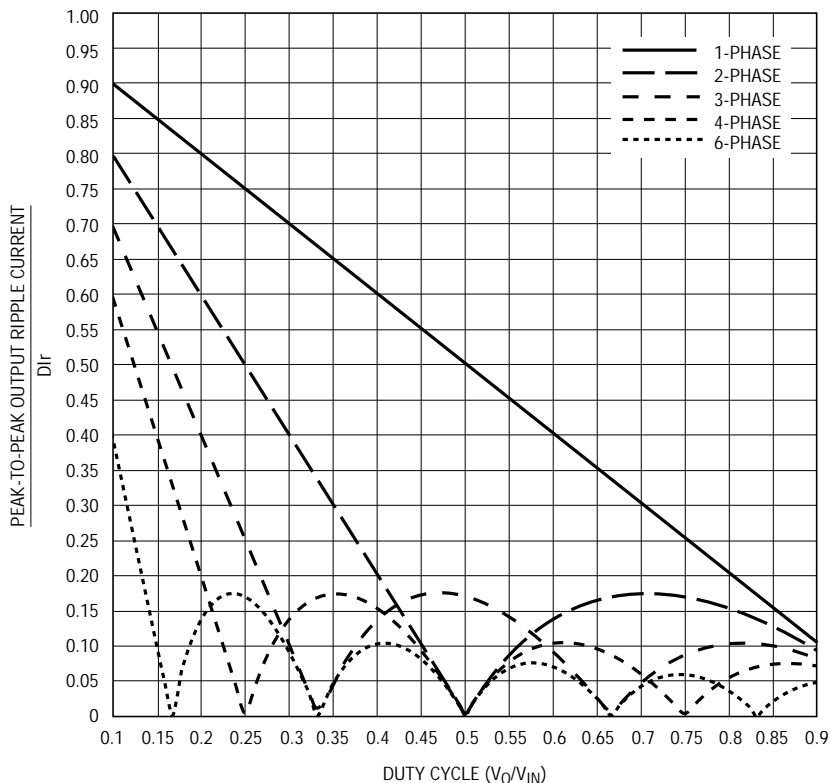
降圧コンバータでは、デューティ・サイクルは出力電圧と入力電圧の比です。 V_{IN} と V_O を使って式(4)を表すと、ゼロ

出力リップルの条件は次のように書くことができます。

$$\frac{V_O}{V_{IN}} = \frac{i}{m}, \quad i = 1, 2, \dots, m-1 \quad (5)$$

図3のプロットは出力リップル電流に対する相数およびデューティ・サイクルの影響を示しています。このプロットでは、出力リップル電流はデューティ・サイクルがゼロ($D_{lr} = V_O T / L_f$)でのインダクタリップル電流に対して正規化されています。チャネル数は相数に等しく、出力電圧は固定されており、電力変換効率は100%であると仮定しています。このプロットを使うと、面倒な計算なしに出力リップル電流を見積もることができます。

選択された相数に対応するクリティカルポイントにデューティ・サイクルが近いとき、出力リップル電流はゼロに近づきます。降圧回路の場合、デューティ・サイクルはおおよそ V_O/V_{IN} の比になります。したがって、入力電圧と出力電圧が比較的一定だと、出力リップル電圧を最小にする最適相数が存在します。



AN77 F03

図3. 正規化された出力リップル電流とデューティ・サイクル、 $D_{lr} = \frac{V_O T}{L_f}$

可能な最大相数が6で効率が100%であると仮定して、よく使われるいくつかの入力電圧および出力電圧に対する最適相数を表1に示します。

表1. リップル電流を最小にする最適相数(最大相数が6であり、効率が100%であると仮定)

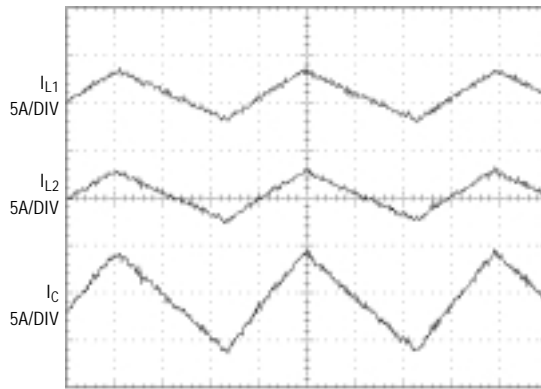
	$V_O = 1.2V$	$V_O = 1.5V$	$V_O = 2.0V$	$V_O = 2.5V$
$V_{IN} = 5V$	4	6	5	2, 4, 6 ¹
$V_{IN} = 12V$	6	6	6	5

¹6は最小入力リップル電流のための最適相数。

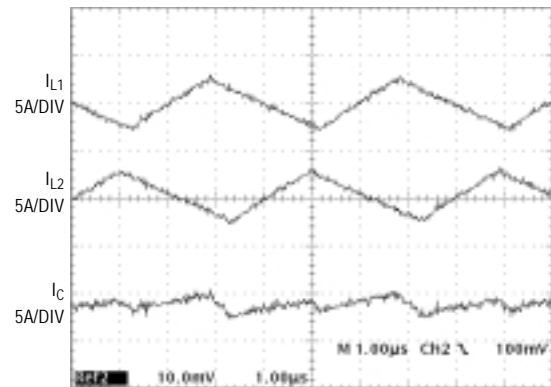
降圧比が高いアプリケーション、つまりデューティ・サイクルが小さいアプリケーションの場合(たとえば、 $V_{IN} = 12V$ 、 $V_O = 1.2V$ 、 $D = 0.1$)、相数を大きくすると最大リップル電流を減らすのに役立ちます。デューティ・サイクルが広範囲にわたるアプリケーションの場合、大きな相数は

(必ずそうとは言い切れませんが)出力リップル電流を下げる傾向があります。最適相数は動作デューティ・サイクルの全範囲にわたって評価する必要があります。ほとんどのデューティ・サイクル範囲で、4相を超すと、相数をさらに増やしてもリップル電流は大幅には減少しません。

クリティカル・デューティ・サイクルポイント(2相回路では $D_{crit} = 0.5$)の近くで測定された出力リップル電流を図4に示します。テスト条件は $V_{IN} = 5V$ 、 $V_O = 2V$ 、 $I_O = 20A$ 、 $f_s = 250kHz$ です。MOSFETスイッチの電圧降下により、動作デューティ・サイクルは50%に非常に接近しています。デュアルフェーズのテクニックにより、出力リップル電流を $10A_{p-p}$ (シングルフェーズ回路の場合)から $2.5A_{p-p}$ へ大幅に減らすことができました。その結果、図5に示すように、クリティカル・デューティ・サイクルポイント近くの出力リップル電圧は無視できるほど小さくなります。

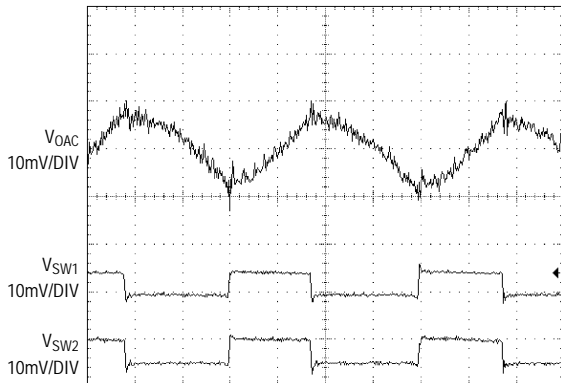


(a) シングルフェーズ

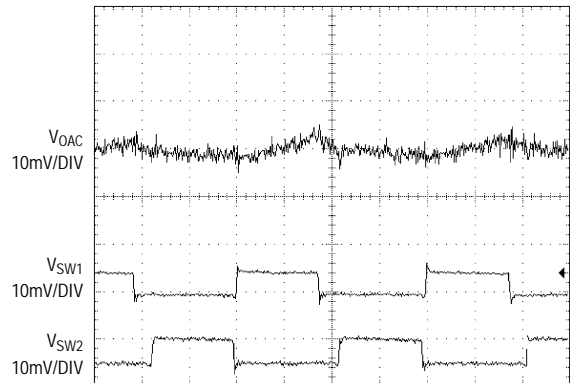


(b) デュアルフェーズ

図4. クリティカル・デューティ・サイクル・ポイント近くの出カリップル電流の実験波形($V_{IN} = 5V$ 、 $V_O = 2V$ 、 $I_O = 20A$ 、 $f_s = 250kHz$): 上側のトレースはインダクタ1の電流; 中央のトレースはインダクタ2の電流; 下側のトレースは出力リップル電流



(a) シングルフェーズ



(b) デュアルフェーズ

図5. クリティカル・デューティ・サイクル・ポイント近くで測定された出力リップル電圧(上側のトレース)($V_{IN} = 5V$ 、 $V_O = 2V$ 、 $I_O = 20A$ 、 $f_s = 250kHz$ 、 V_{SW1} と V_{SW2} は下側のFETの両端のスイッチノード電圧)

アプリケーションノート 77

負荷過渡応答の改善

PolyPhaseテクニックは負荷過渡性能に対して多くの影響を与えます。第一に、減少した出力リップル電圧は全許容誤差の小部分しか占めないため、負荷過渡時の電圧変動にゆとりができます。電源の出力端子に同数のコンデンサを使った場合、オーバーシュートとアンダーシュートの和を劇的に減らすことができます。第二に、リップル電流が減るので、小さな値のインダクタを使うことができます。これにより、電源の出力電流のスループレートが速くなります。したがって、PolyPhaseは電源の負荷過渡性能を改善するのに役立ちます。負荷過渡時の出力電圧を図6に示します。2つの回路は電気的に同じデザインです。デュアルフェーズのテクニックにより電圧変動が69mV_{p-p}から58mV_{p-p}へ減りますが、これは部品の値を変えずに16%減らしたことになります。シングルフェーズのデザインよりも低い出力リップル電圧を達成しながら、なおもインダクタの値を減らすことができ、負荷過渡応答のピーク・ツー・ピーク電圧の変動をさらに改善できました。

入力リップル電流のキャンセレーション

降圧コンバータの入力電流は不連続です。入力電源は主にDC電流を供給し、他方、入力コンデンサはパルスの電流を降圧コンバータへ供給します。シングルフェーズ回路では、並列降圧モジュールの上側のスイッチは同時にオンします。入力コンデンサはパルス電流の和を供給

する必要があります。他方、PolyPhase回路では並列降圧段スイッチは異なった時間にスイッチし、入力コンデンサを流れるパルス電流は劇的に減少します。

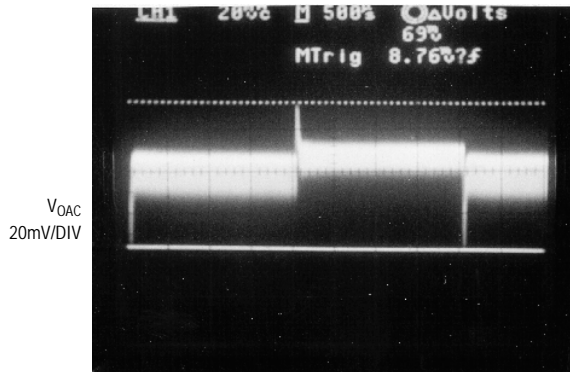
2チャンネルコンバータの入力リップル電流の測定波形を図7に示します。PolyPhaseコンバータでは入力リップル電流のピーク振幅が半分に減り、リップル周波数が倍になります。リップル電流の振幅が減少する結果、入力コンデンサのRMS電流が大幅に減少します。入力コンデンサのESRによる電力損失はRMS電流の平方に比例するので、損失が大幅に減少することがあります。入力コンデンサのサイズが小さくなり、寿命が伸びる可能性があります。リップル周波数が増加し、リップル振幅が減少するのでEMIのフィルタリングが容易になります。

m相回路の入力リップル電流を数量的に評価するため、入力リップル電流波形に対して数学的処理を加えることによりclose-formの式が得られます。

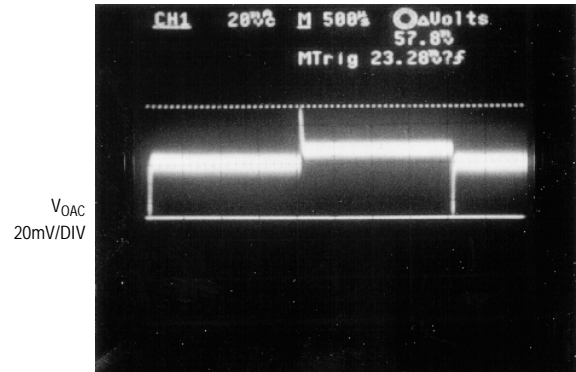
入力リップル電流のRMS値：

$$I_{rms} = \sqrt{\left(D - \frac{k}{m}\right)\left(\frac{k+1}{m} - D\right)^2 + \frac{mc^2}{12mD^2}\left(\frac{V_o(1-D)T}{L_f}\right)^2} \cdot \sqrt{\left[(k+1)^2\left(D - \frac{k}{m}\right)^3 + k^2\left(\frac{k+1}{m} - D\right)^3\right]}$$

ただし、 $k = \text{FLOOR}(m \cdot D)$ 、 $m = 1, 2, \dots$ (6)



(a) シングルフェーズ



(b) デュアルフェーズ

図6. 負荷過渡状態で測定した出力電圧($V_{IN} = 12V$ 、 $V_O = 2V$ 、 $f_s = 250kHz$ 。
負荷ステップ: 5Aから20Aおよび20Aから5A、 $5\mu s$ の立ち上がり時間と立下り時間。タイムスケール: $50\mu s/DIV$)

変数 k は相数(m)およびデューティ・サイクル(D)によって決まります。たとえば、5相コンバータでは、45%のデューティ・サイクルのとき、 $k = \text{FLOOR}(5 \cdot 0.45) = 2$ 。関数 $\text{FLOOR}(x)$ は x 以下の最大整数を与えます。

式(6)に示されているように、PolyPhaseコンバータの入力リップル電流はDC負荷電流(第1項)とインダクタリップル電流(第2項)の2つの主要素から成っています。インダクタリップル電流はほとんど負荷条件の影響を受けないので、全負荷のとき最大RMS入力リップル電流に達します。

通常、入力コンデンサのサイズはそのESRによって消費される電力によって決まります。ところで最大RMS入力リップル電流は全負荷条件に依存するので、入力コンデンサのサイズは全負荷条件によって決まります。

相構成が異なる場合のデューティ・サイクルに対するRMS入力リップル電流のプロットを図8に示します。この図では、RMS入力リップル電流はDC負荷電流に対して正規化されています。出力電圧は5Vに固定して、入力電圧を変えていると仮定しており、その結果デューティ・サイクルは0.1から0.9の範囲になっています。この曲線からいくつかの事実が分ります。

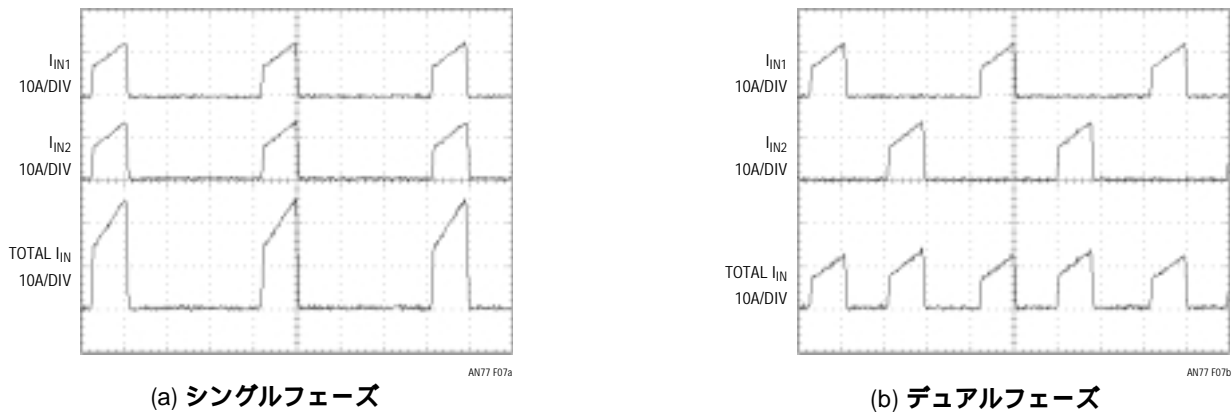


図7. 測定された入力リップル電流： i_{in1} および i_{in2} は並列モジュールへ流れ込むリップル電流です。全 i_{in} は入力コンデンサへ流れ込む正味リップル電流です。($V_{IN} = 12V$ 、 $V_O = 2V$ 、 $I_O = 20A$ 、 $f_s = 250kHz$)

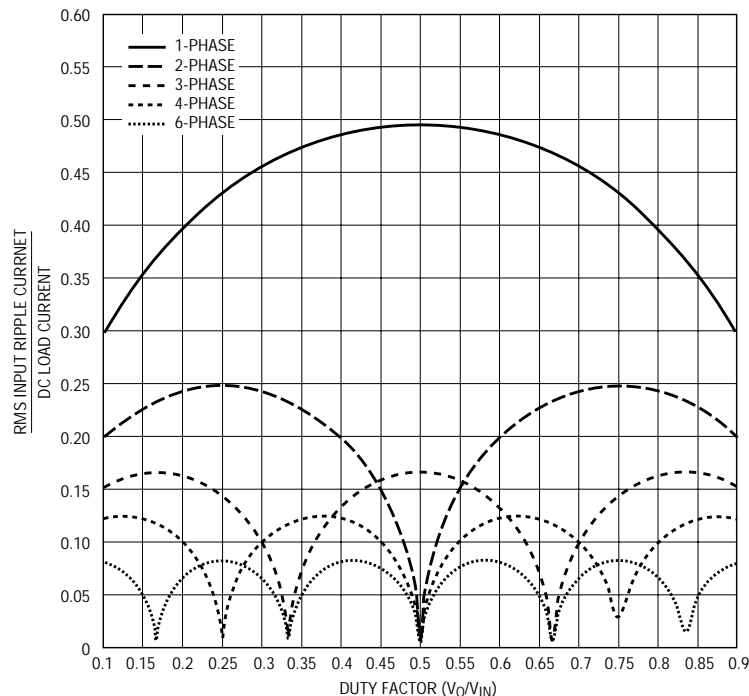


図8. 正規化されたRMS入力リップル電流

アプリケーションノート 77

デューティ・サイクルが(式(4)で決まる)クリティカル・デューティ・サイクル・ポイントに近いとき、式(6)の第1項はゼロとなります。RMS入力リップル電流は局部的に最小値に達します。これらの値は出力インダクタのリップル電流のためにゼロにはなりません。したがって、入力と出力が固定されたアプリケーションでは、RMS入力リップル電流を最小にする最適相数が存在します。よく使われるいくつかの入力電圧と出力電圧について、入力リップル電流を最小にする最適相数を表1に示します。これらは最小出力リップル電圧のための相数と同じであることに注意してください。デューティ・サイクルの範囲が広いアプリケーションでは、相数を大きくすると最大入力リップル電流を減らすのに役立ちます。ただし、ある範囲のデューティ・サイクルでは、相数が大きいときさらに相数を大きくしても入力リップル電流はそれほど減らないことがあります。最適相数は動作デューティ・サイクルの全範囲にわたって評価する必要があります。

2チャンネル回路の入力リップル電流の実験波形を図9に示します。回路は2相回路のクリティカル・デューティ・サイクル・ポイントである50%に近いデューティ・サイクルで動作させました。シングルフェーズのテクニックに比べて、PolyPhaseテクニックでは入力コンデンサのリップル電流が劇的に減少します。

デザインの検討

従来の並列レギュレータのデザインと同様、PolyPhaseコンバータのデザインには並列チャンネル数の選択と電源用コンポーネント(MOSFET、インダクタ、コンデンサなど)の選択が必要です。

通常、相数はチャンネル数に等しくなるように設定します。ただし、チャンネル数と相数は異なってかまいません。チャンネル数は通常全負荷電流および各チャンネルで許容できる電流ストレスによって決まります。たとえば、必要な負荷電流が60Aで、チャンネルあたりの最大電流ストレスが15Aであれば、4チャンネルを並列に配置する必要があります。他方、相数は入力と出力のフィルタコンデンサを小さくするために選択することができます。各相は同数のチャンネルを持たなければならないことに注意してください。4チャンネル構成のこの例では、1相、2相、あるいは4相を使うことができます。

相数の選択

前のセクションで説明したように、異なる相数を選択すると入力と出力のリップル電流に大きく影響します。

入力範囲と出力範囲が狭いと、デューティ・サイクルの範囲は比較的狭くなります。式4で決まるクリティカル・デューティ・サイクル・ポイントのひとつの近くで回路が動作するように最適相数を選ぶ必要があります。いくつかの実際的な入力電圧と出力電圧について、入力リップル電流と出力リップル電圧を最低にするための最適相数を表1に示します。入力電圧範囲あるいは出力電圧範囲が広い場合は、ワーストケースのRMS入力リップル電流およびワーストケースの出力リップル電圧が全動作デューティ・サイクル範囲で最小になるように相数を選ぶ必要があります。

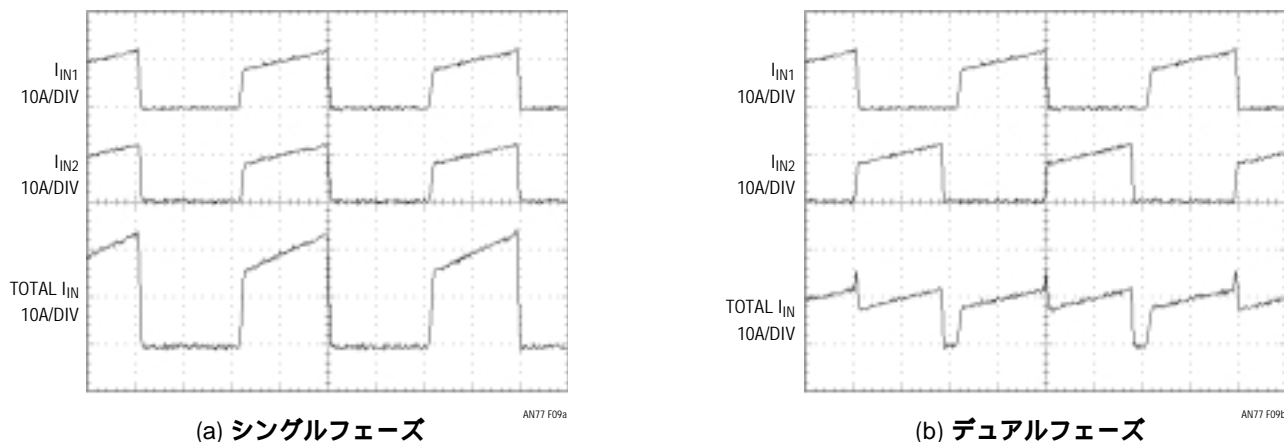


図9. 2チャンネルのクリティカル・デューティ・サイクルに近いときの入力電流($V_{IN} = 5V$ 、 $V_O = 2V$ 、 $I_O = 20A$ 、 $f_s = 250kHz$)

LTC1629を使ったPolyPhaseコンバータ

LTC1629はフェーズロックループをベースにした独自の位相回路を内蔵しています。各ICはPLLINピンを使って外部信号に同期させることができ、他のICを同期させるためのCLKOUT信号を発生することができます。LTC1629の位相制御ピンの機能を表2に示します。コマンド信号(INTV_{CC}、開放、あるいはSGND)をPHASMDピンへ与え、ひとつのICのCLKOUTピンを隣りのICのPLLINピンへ接続することにより、異なった数の位相を実現できます。LTC1629を使った2相、3相、4相、6相、および12相の構成方法を図11に示します。

非常に大きな出力電流のアプリケーションあるいは複数出力のアプリケーションの場合、多くの位相が通常必要になります。たとえば、3.3V/90Aおよび5V/60Aの2出力

表2. LTC1629の位相制御ピンの機能

PHASMD	0V	開放	INTV _{CC}
PLLIN	0°	0°	0°
CONTROLLER 1	0°	0°	0°
CONTROLLER 2	180°	180°	240°
CLKOUT	60°	90°	120°

のシステムで、6相電源によって各出力が与えられるとすると、12相の構成方法を使って2つの電源を交互に重ねることができます。図12に示されているように、U1、U2およびU3を使って3.3Vの出力を発生し、U4、U5およびU6を使って5Vの出力を発生します。その結果、入力リップル電流の周波数はスイッチング周波数の12倍となり、リップル電流の振幅は減少します。

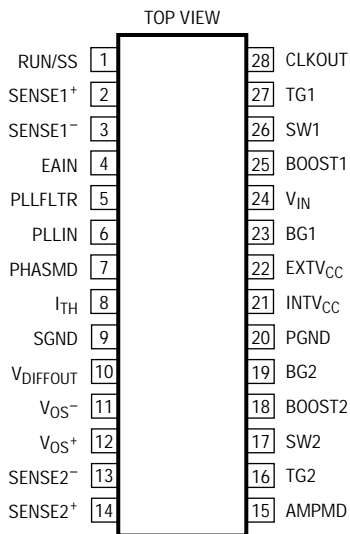


図10. LTC1629のピン配置

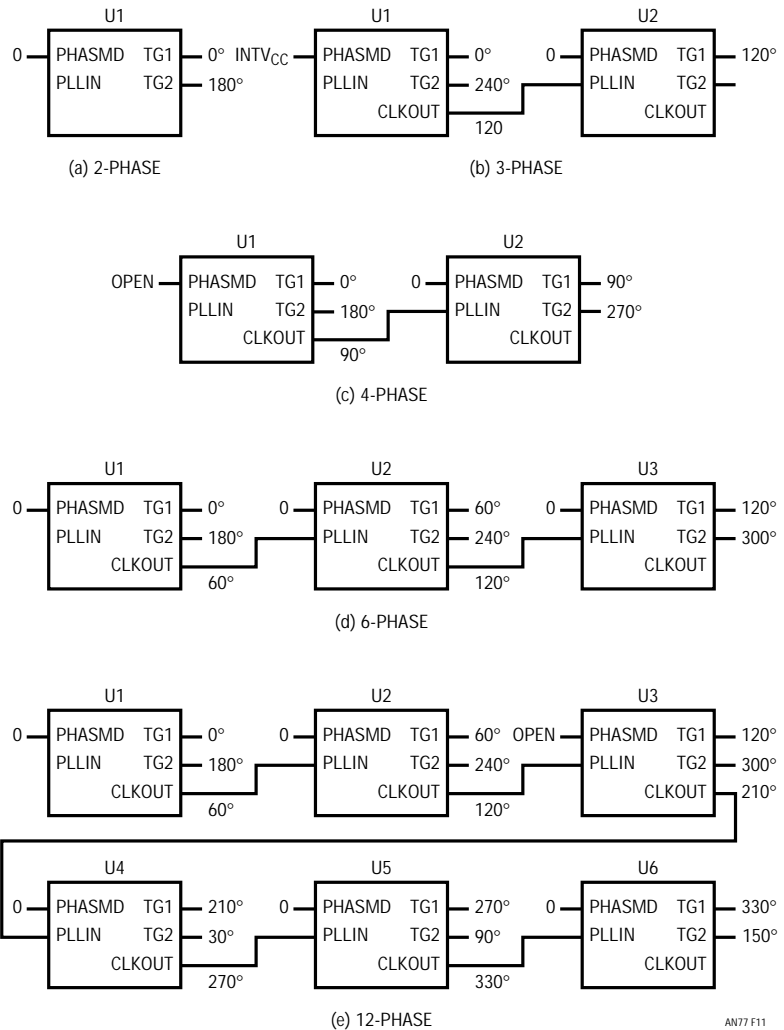


図11. LTC1629を使った、異なった相の構成

アプリケーションノート 77

LTC1629にはユニティゲイン差動アンプが内蔵されており、出力電圧の真のリモートセンシングが可能です。この機能は大電流アプリケーションにおいて厳しい出力電圧要求を確保するために特に役立ちます。LTC1629をベースにした各レギュレータは2つの同期降圧段で構成されており、2つ以上のパワーレギュレータを直接並列に接続することができます。固有のピーク電流モード・コントロールにより自動電流分担が可能です。LTC1629をベースにしたいくつかのレギュレータが並列に接続されているとき、マスターレギュレータのLTC1629がそれに内蔵されている差動アンプを通して出力電圧 (V_{O+} 、 V_{O-}) を検知し、この電圧 ($V_{DIFFOUT}$) を抵抗分割器で分割し、内蔵の0.8V基準電圧を利用して出力電圧を安定化します。このコントロール電圧は各LTC1629のEAINピン(誤差アンプの入力)へ与えられます。LTC1629内部の誤差アンプは g_m トランスコンダクタンスアンプなので、 I_{TH} ピン(誤差アンプの出力)とEAINピンを直接並列に接続することができます。並列接続されたレギュレータはこれで同じ誤差電圧を共有することになります。電流モード・レギュレータの負荷電流は誤差電圧に比例するので、並列接続されたレギュレータは必ず等しい電流を供給します。

レイアウトの検討項目

PolyPhaseテクニックのリプルキャンセレーションの利点を活かすには、入力コンデンサと出力コンデンサは理想的にはすべての入力リップル電流の加算点およびすべての出力リップル電流の加算点にそれぞれ配置します。2相コンバータのレイアウトを図13に示します。実際には、フィルタコンデンサは個々のモジュールの入

力のあいだおよび出力のあいだに(A1B1、A2B2などのように)置かれるでしょう。モジュール間のトレース(AA1、AA2、BB1、BB2など)はできるだけ短く、かつ幅を広くして各コンデンサに対する電流ストレスのバランスをとる必要があります。図13でハイライトされているトレースのインピーダンスはできるだけ小さくします。これらのトレースはできたら大きな銅プレーンにします。下側のMOSFET(B1、B2など)のソースを(グラウンドプレーン(CD)へ接続する前に)入力フィルタコンデンサへ接続することも重要です。そうしないと、トレースのインダクタンスを流れる脈流電流によって生じるグラウンドノイズがスパイクとして出力端子に現れます。

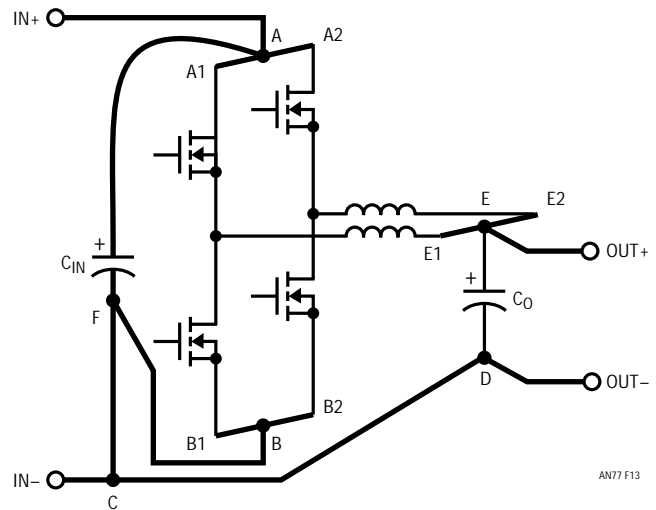


図13. 2相コンバータの電力段のレイアウト図

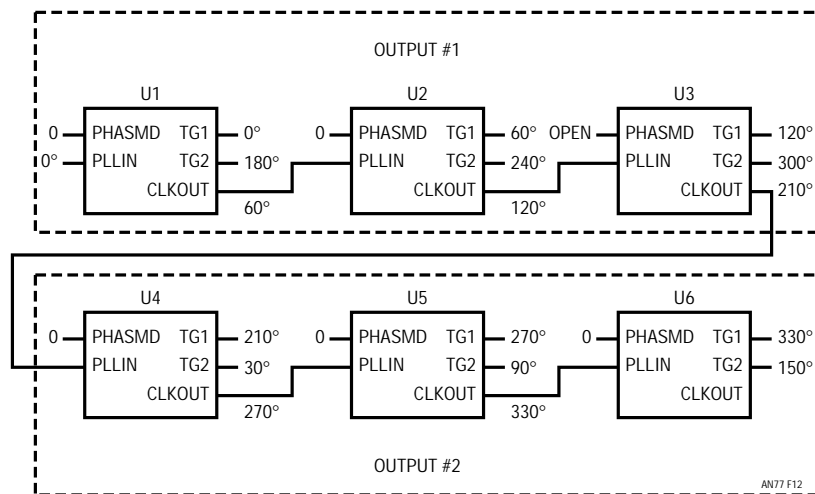


図12. 12相構成法を使った2出力システム

デザイン例：100A PolyPhase電源

大電流PolyPhase電源の仕様は次のとおりです。

- 入力: 12V(±10%)
- 出力: 標準90A、最大100Aで3.3V
- ロードレギュレーション: 0Aから全負荷まで < 20mV
- スイッチングノイズ: ピーク・ツー・ピーク電圧 < DC電圧の1%
- 効率: $V_{IN} = 12V$ 、 $V_O = 3.3V$ 、 $I_O = 90A$ で >89%

デザインの詳細

市販の表面実装型インダクタを利用し、非常に厚いPCB銅トレースの使用を避けるには、個々のモジュールの電流を約16Aへ制限するのが望ましい方法です。このアプリケーションには6チャンネルが必要です。これでデザインは単に15Aのレギュレータのデザインになり、これを6回繰り返すだけですみます。

MOSFET

MOSFETの選択は必要な電流とスイッチング周波数によって決まります。 $R_{DS(ON)}$ の小さなMOSFETの導電損失は通常わずかですが、ゲート電荷と寄生容量が大きいいため、高いスイッチング周波数ではスイッチングによる損失が発生する傾向があります。与えられた必要電流と選択された周波数において、 $R_{DS(ON)}$ とゲート電荷(Q_g)の両方を評価して、導電損失、ドライビング損失およびスイッチング損失の和を最小にすべきです。上述のアプリケーションに対しては、Si4420 (Siliconix)、FDS6670A (Fairchild)、FDS7760A (Fairchild) およびIRF7811あるいはIRF7805 (International Rectifier)などのMOSFETを選ぶの

が適切でしょう。このアプリケーションでは、上側の各スイッチには2個のMOSFETが必要で、下側の各スイッチには3個のMOSFETが必要です。MOSFET内で消費される電力には、導電損失、スイッチング損失、さらに下側のMOSFETのボディダイオードの逆回復損失が含まれます。ゲートドライビング損失はコントローラICに発生します。このデザインでSi4420が使われると、上側の各MOSFETは約0.5W消費し、下側の各MOSFETは約0.9W消費します。データシート上での熱抵抗(30 $^{\circ}C/W$ junction-to-ambient)を基にすると、MOSFETの最高接合部温度は周囲温度よりも約30 $^{\circ}C$ 高くなります。MOSFETの電力損失の計算の詳細については、LTC1629のデータシートおよびMOSFETのベンダーの文献を参照してください。

インダクタ

インダクタは負荷電流の振幅およびスイッチング周波数にしたがって選択します。LTC1629は電流センス抵抗によってインダクタ電流を検出します。インダクタリップル電流は、大電流アプリケーションに必要な小さな値のセンス抵抗に適切なACセンス電圧を生じさせるのに十分なだけ大きくなければなりません。適当な出発点として、インダクタのリップル電流の振幅が最大チャンネル電流の約40%であるようなインダクタを選びます。200kHzの周波数で3.3Vの出力の場合、1.0 μ Hと1.6 μ Hのあいだのインダクタ値が適切でしょう。このアプリケーションには、いくつかの市販されている表面実装型のインダクタが使えます。これらはP1608 (Pulse)、PE53691 (Pulse)、ETQP6F1R3L (Panasonic) およびCEPH149-1R6MQ (Sumida)です。同様のインダクタンス値と電流能力をもつインダクタであればどれでも正しく動作するはずで

アプリケーションノート 77

利用できる最大相数は6であり、可能な相数のオプションは1、2、3、および6です。異なった相構成の場合の入力と出力のリップル電流は式(1~6)を使って表3のように計算されます。

6相構成により、入力コンデンサのサイズと出力リップル電圧の両方が最小になります。シングルフェーズのテクニックに比べて、6相のテクニックでは入力リップル電流が81%以上減少し、出力リップルが96%以上減少するのでこのデザインには6相構成が採用されました。

コンデンサ

入力コンデンサは入力リップル電流のRMS値にしたがって選択します。コンデンサのリップル電流が大きいとコンデンサのESRにより電力損失が大きくなります。その結果、内部発熱によりコンデンサの寿命が短くなる傾向があります。ESRの小さなコンデンサを使う必要があります。このデザインではSanyo OS-CONコンデンサ(16SA150M 15 μ F/16V)を使っており、このコンデンサの最大許容リップル電流は約3.26A_{RMS}です。6相構成の入力RMSリップル電流は約8.5A_{RMS}であると推算されます。したがって、少なくとも3個のOS-CONコンデンサが必要です。もし従来のシングルフェーズのテクニックが使われたとすると、入力RMSリップル電流は約46.8A_{RMS}になるでしょう。そのため少なくとも15個のOS-CONコンデンサが必要となるでしょう。したがって、LTC1629をベースにしたPolyPhaseデザインを使うと、少なくとも12個(15 - 3 = 12)のOS-CONコンデンサを節約できます。

出力コンデンサはESRがきわめて小さな(30m)表面実装型のタンタルコンデンサのKEMET(T510X477M006AS 470 μ F/6.3V)です。ピーク・ツー・ピーク・リップル電流は2.1A_{p-p}であると推算されます。かわりに従来のシングルフェーズの手法を採用していたら、ピーク・ツー・ピーク・リップル電流は57.1A_{p-p}となっていたでしょう。

テスト結果

完全な回路図を図14に示します。電源は6つの降圧チャンネルで3個のLTC1629で構成されています。代表的な6相コンバータのゲート電圧とスイッチノード電圧の各測定波形を図15に示します。6つの降圧段のゲート電圧とスイッチノード電圧は60度づつ位相がずれて相互に重なっています。スイッチノード電圧とDC出力電圧の差によってインダクタ電流がドライブされるので、6個のインダクタのリップル電流も60度づつ位相がずれています。その結果、出力コンデンサへ流れ込む正味リップル電流の振幅は大幅に減少し、リップル周波数はスイッチ周波数の6倍に増加します。出力スイッチングノイズとESRによる電力損失は大幅に減衰します。

出力コンデンサ(回路図のC14)のところで測定した出力電圧を図16に示します。90Aの出力電流で出力リップル電圧は10mV_{p-p}より低く、リップル周波数はスイッチング周波数の6倍です。

効率は異なった負荷条件で測定しました。効率曲線を図17に示します。負荷範囲のほとんどで効率は約90%でした。100Aでは、効率の測定値は89.4%でした。

表3. 異なった相構成の入力リップル電流と出力リップル電流

チャンネル	6	6	6	6
位相	1	2	3	6
入力リップル電流(A _{RMS})	46.8	25.7	15.2	8.5
出力リップル電流(A _{p-p})	57.1	19.0	6.3	2.1

効率が100%であると仮定すると、インダクタは1.3 μ Hで、周波数は200KHzです。

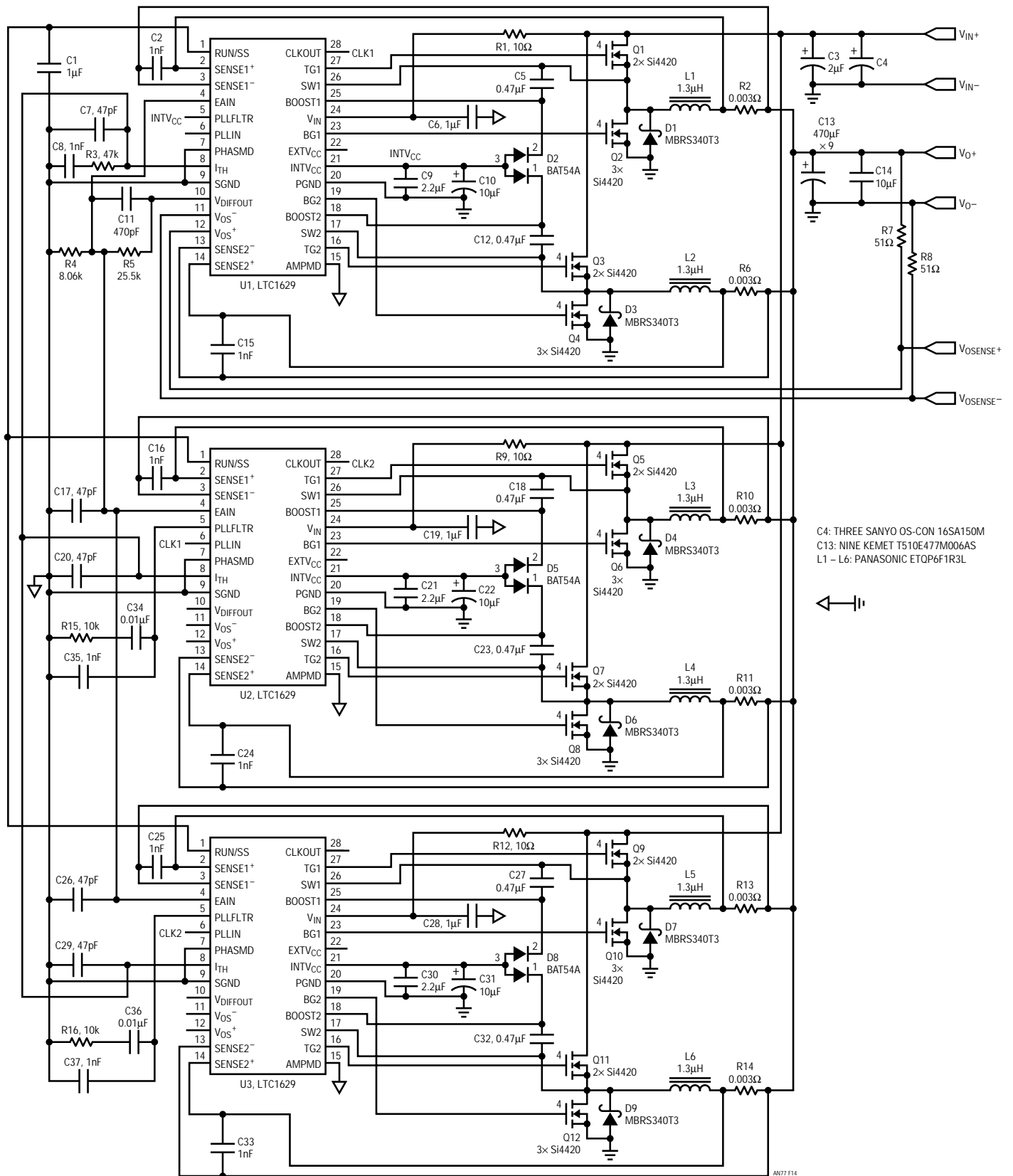
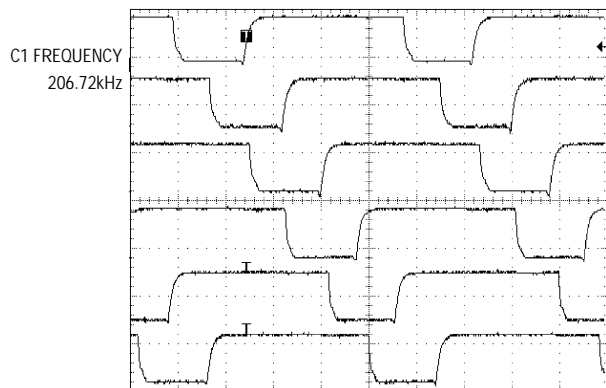
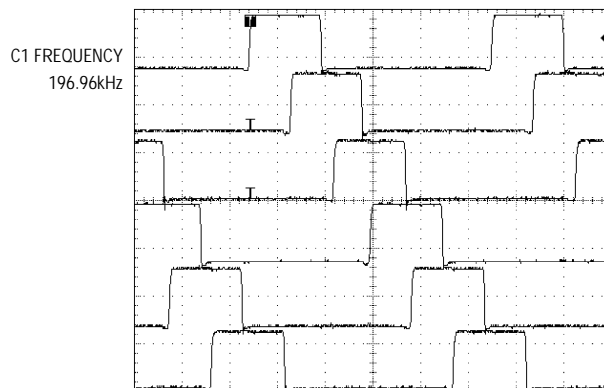


図14. 3.3V/100Aの6相コンバータの回路図

アプリケーションノート 77



(a) 電圧スケール : 5V/DIV、時間スケール : 1μs/DIV



(b) 電圧スケール : 10V/DIV、時間スケール : 1μs/DIV

図15. 6相コンバータの代表的波形 : (a)ゲート電圧、
(b) スイッチノード電圧(同期スイッチのドレイン・ソース間電圧)

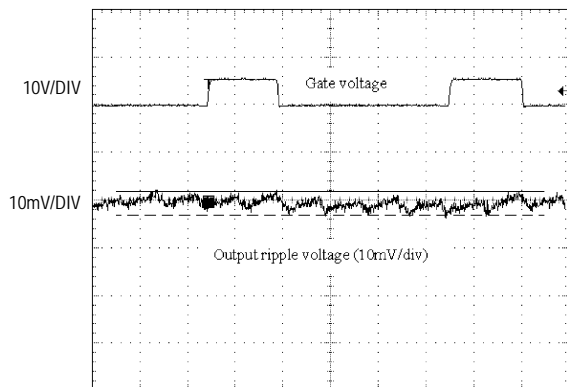


図16. 出力電圧波形(時間スケール : 1μs/DIV) : $V_{IN} = 12V$ 、 $V_O = 3.3V$ 、 $I_O = 90A$

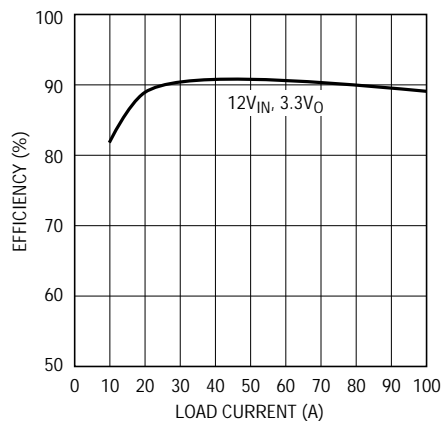


図17. 異なった負荷で測定した効率

まとめ

PolyPhaseコンバータでは並列に置かれた電力段のクロック信号を交互に重ねることにより入力リップル電流と出力リップル電流を低減します。適当な相数を選ぶことにより、スイッチング周波数を上げることなしに出力リップル電圧と入力コンデンサのサイズを小さくすることができます。出力リップル電圧を下げ出力インダクタを小さくすると負荷過渡時の回路のダイナミック性能を改善するのに役立ちます。比較的低いスイッチング周波数ではMOSFETのスイッチング損失とドライビング損失は小さく、コンデンサのESRによる電力損失は減少し、効率を上げるのに寄与します。

LTC1629(デュアルのPolyPhase電流モード・コントローラ)を使えば、複雑な制御回路を組むことなく、PolyPhaseテクニックの利点を実現することができます。LTC1629は、2個のPWM電流モード・コントローラ、

真のリモートセンシング、選択可能な位相コントロール、電流共有機能、大電流MOSFETドライバ、および(過電圧保護、オプションの過電流ラッチオフとフォールドバック電流制限のような)保護機能を1個のICに集積することにより外部部品の点数を抑え、電源全体のデザインを簡単にするのに役立ちます。その結果、製造が簡単になり、電源の信頼性向上に役立ちます。高電流MOSFETドライバにより、 $R_{DS(ON)}$ の小さなMOSFETを使って大電流アプリケーションの場合の導電損失を低く抑えることができます。個々のインダクタやMOSFETの電流定格を小さくできるので、外形寸法の小さな表面実装型の部品を使用することも可能になります。したがって、LTC1629をベースにしたPolyPhase高電流コンバータにより、高効率で小型で高さが低いという特長を同時に実現できます。入力コンデンサ、出力コンデンサ、インダクタおよびシンクのコスト節減により、電源全体の総コストと寸法を小さく抑えることができます。

アプリケーションノート 77

付録 A

2相回路の出力リップル電流の計算

図1に示されているDTからTまでの期間、モジュール1の上側のスイッチはオフしており、モジュール2の上側のスイッチはオンしています。モジュール1のインダクタ電流は減少し、モジュール2のインダクタ電流は増加します。これらのインダクタの電流変化は次式で計算されます。

$$\Delta I_{L1} = \frac{-V_0(1-D)T}{L_f} \quad (A1)$$

$$\Delta I_{L2} = \frac{(V_{IN} - V_0)(1-D)T}{L_f} \quad (A2)$$

$$\text{ここで } D = \frac{V_0}{V_{IN}} \quad (A3)$$

正味の出力リップル電流はこれらのインダクタのリップル電流の和です。

$$\Delta I_0 = |\Delta I_{L1} + \Delta I_{L2}| = \frac{V_0(1-D)T}{L_f} \frac{|1-2D|}{D} \quad (A4)$$

式(A4)は図1に示された波形をもとにして得られます。ただしDは0.5より大きいものとします。Dが0.5より小さい場合、出力リップル電流は次式から容易に得ることができます。

$$\Delta I_0 = |\Delta I_{L1} + \Delta I_{L2}| = \frac{V_0(1-D)T}{L_f} \frac{|1-2D|}{1-D} \quad (A5)$$

式(A4)と式(A5)を結合して、2相構成の場合の出力リップル電流を次式から得ることができます。

$$\Delta I_0 = |\Delta I_{L1} + \Delta I_{L2}| = \frac{2V_0(1-D)T}{L_f} \frac{|1-2D|}{|1-2D|+1} \quad (A6)$$