

## OPTI-LOOPアーキテクチャによる出力容量の低減と過渡応答の改善

John Seago

### はじめに

出力コンデンサをなくせば、コストとボード・スペースを節約することができます。リニアテクノロジーのOPTI-LOOP™アーキテクチャにより、任意の出力コンデンサが使用でき、制御ループの補償を行って最適な過渡応答とループ安定性を達成することができます。図1は、OPTI-LOOPアーキテクチャにより飛躍的な性能の改善が可能なことを示しています。図1に示す改良では、必要な容量が少なくなるか、または安価なコンデンサを使用できます。負荷ダイナミックと電源許容差から必要な最小出力容量が推測されます。ループ補償の質によって、現実のシステムでこの最小容量条件にどれだけ近づけることが可能かが決まります。

電源設計において、最も理解されていない分野の1つが制御ループの補償です。このため、一部のメーカはレギュレータIC内部にループ補償を組み込んでいます。内部補償は、一定の動作条件で最良に動作しますが出力コンデンサの特性に影響を受けやすいものです。したがって、内部IC補償の感度のためループを安定させるのに高価な出力コンデンサが必要になることがあります。OPTI-LOOPアーキテクチャは、回路設計者が選択した出力コンデンサから最高の性能を引き出すことを目的としています。

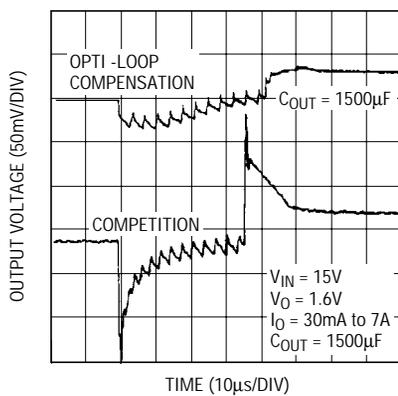


図1. OPTI-LOOPアーキテクチャによる過渡応答の改善

### ループ補償とは？

ループ補償とは、ループの安定性を保証し電源の過渡応答を最適化するために、制御ループ周波数応答を調整することです。周波数応答は、すべての周波数における負荷電流の変化に対するループ反応の利得と位相によって決まります。ボード・プロットを使用して、周波数応答の利得と位相を示します。

### ループ補償の基本原則

このアプリケーションノートでは、制御ループの基本原則を簡単に説明しています。周波数応答は、ポールとゼロの効果によって特性が定められます。各ポールには抵抗と容量によって生じるコーナ周波数があり、これによって電圧利得に20dB/ディケードの降下の開始が決まります。ポールによって位相も90°減少します。これはコーナ周波数の約1ディケード前に始まり、コーナ周波数の約1ディケード後に終わります。ゼロはポールの反対側にあります。ゼロによって利得は20dB/ディケードだけ増加します。これは「RC」コーナ周波数で始まり、90°の位相シフトが追加されます。90°の位相シフトは、コーナ周波数の1ディケード前に始まり、コーナ周波数の1ディケード後に終わります。ポールとゼロの効果は付加的ですので、同じ周波数に2つのポールがあると利得が40dB/ディケードでロールオフし、2ディケードにわたって180°位相シフトします。ポールとゼロが同じ周波数で起こった場合、これらの効果はキャンセルされます。

ループのクロスオーバー周波数によって、電源の帯域幅と過渡応答が決まります。ループ利得が1(0dB)になるのはこの周波数です。クロスオーバー周波数が高くなるほど、電源は迅速に負荷電流の変化に応答できます。

LT, LTC, LTはリニアテクノロジー社の登録商標です。OPTI-LOOPはリニアテクノロジー社の商標です。

# アプリケーションノート 76

電圧モードDC/DCスイッチング・レギュレータ・システムでは、バック・インダクタと出力コンデンサが共振周波数においてダブル・ポールを形成し、40dB/ディケードの利得ロール・オフと180°の位相シフトが生じます。インダクタの電流モード制御ループに対する効果は主として電流ループによってキャンセルされるので、一般に電圧モード・レギュレータより電流モード・レギュレータを補償するほうが簡単です。

ループ補償の第一の要求条件は安定性です。ループ利得が1のとき誤差アンプ帰還が正の場合は、レギュレータが発振します。ループ発振は、制御ループのユニティゲイン周波数でDC出力電圧に乗る正弦波として現れます。この発振は一般に1kHzから20kHzの周波数範囲で起こります。スイッチング周波数リップルやそれより高い周波数リングングをループ不安定性と混同しないでください。

ネットワーク・アナライザが利用できる場合、安定性マージンはループの利得と位相を測定し、結果のボード・プロットを観測すれば確認できます。位相マージンは、電圧利得が1(0dB)のときの信号位相と-360°との差です。60°の位相マージンが適当ですが、45°でも通常は許容できます。利得マージンは、信号位相がゼロ(-360°)のときに存在する負の利得量です。-10dBの利得マージンは通常、許容可能とみなされます。実際の部品値は温度によ

て変化し、また製造時に個体間で部品値にばらつきがあり、それに応じてループの電圧利得と位相が変化するので、大きな利得マージンと位相マージンを持たせることが非常に重要です。電圧利得が1を超えると、部品値によって位相がゼロになる場合は、レギュレータが発振します。目標は可能な最高のクロスオーバー周波数で最良の利得マージンと位相マージンを提供することです。クロスオーバー周波数が高いと負荷電流の変化に迅速に 응답でき、低周波での利得が高いと出力電圧を高速でセトリングできます。部品が理想的なものではなくアンプ利得も制限されるため、一般に高いクロスオーバー周波数と大きな安定性マージンの間でトレードオフを図ることが必要です。

## 制御ループ

図2に、LTC®1628とLTC1735/LTC1736電流モード、同期式降圧レギュレータの簡略化した制御ループを示します。この制御ループはDC利得とAC周波数応答特性の両方を備えています。DCループは、帰還抵抗、誤差アンプ、 $I_{TH}$ ピン部品の直流抵抗、電流コンバータ、センス抵抗、および負荷抵抗で構成されます。ACループは、DCループに出力コンデンサ、コンデンサC1およびC2、 $I_{TH}$ ピン部品のACインピーダンスを加えた要素で構成されます。

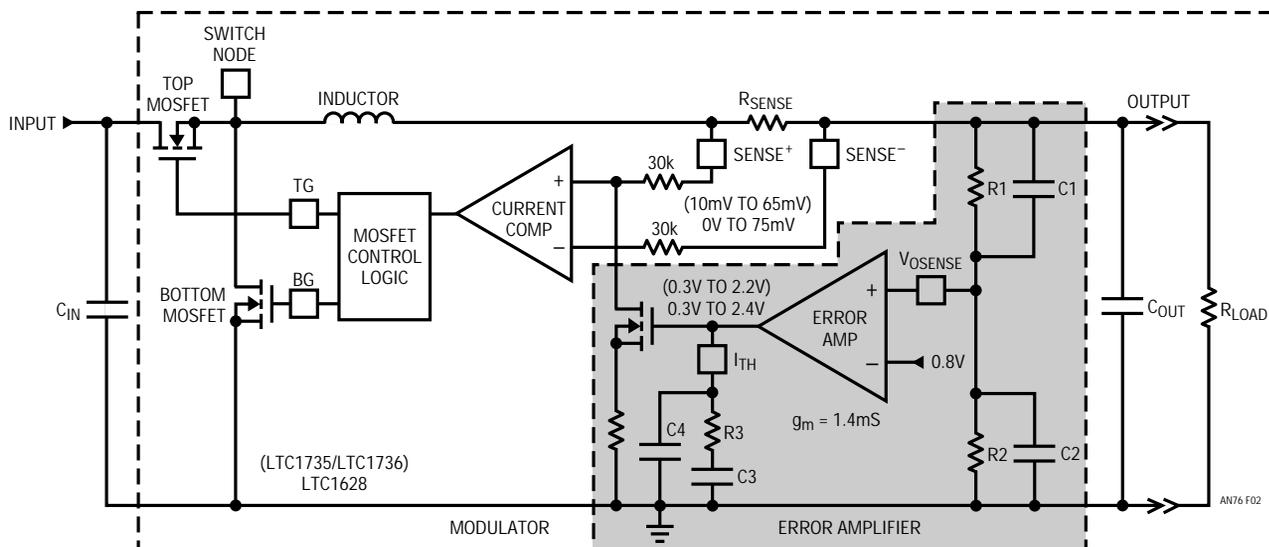


図2. 電流モード・スイッチング・レギュレータの基本制御ループ

## DC利得

DC利得は、スタティック・テスト条件での小信号ループ利得です。ロード・レギュレーションはDC利得によって決まるため、利得が高くなるほどDC負荷電流の変化に対する出力電圧の変化が小さくなります。DC利得は、帰還抵抗減衰、誤差アンプ電圧利得、および変調器利得の積です。変調器は、電流コンパレータ、MOSFETとそれらのドライバ、インダクタ、センス抵抗、出力コンデンサ、および配線抵抗(基本的には電源経路)で構成されます。

帰還分周器の減衰は以下のとおりです。

$$A_{V(FB)} = V_{REF}/V_{OUT}$$

ここで、 $V_{REF}$ はLTC1735ファミリの製品では0.8V、 $V_{OUT}$ は電源の出力電圧です。

誤差アンプの電圧利得は以下のとおりです。

$$A_{V(EA)} = g_{m(EA)}Z_{ITH}$$

ここで、 $g_{m(EA)}$ は、誤差アンプの相互コンダクタンスで、LTC1735ファミリの製品では1.4mSです。 $Z_{ITH}$ は、 $I_{TH}$ ピンに接続されるインピーダンスと並列に現れる誤差アンプの出力インピーダンスです。

変調器利得を計算する前に、変調器の相互コンダクタンスを求めなければなりません。変調器相互コンダクタンスは、以下のとおりです。

$$g_{m(MOD)} = (V_{RSENSE(MAX)}/R_{SENSE})/V_{ITH(MAX)}$$

ここで、 $V_{RSENSE(MAX)}$ はデータシートに75mVで記載されており、 $R_{SENSE}$ は電流センス抵抗値、そして  $V_{ITH(MAX)}$ は誤差アンプの無負荷から全負荷の出力電圧振幅に対し2.1Vです。

変調器のDC電圧利得は以下のとおりです。

$$A_{V(MOD)} = g_{m(MOD)}R_{LOAD}$$

ここで、 $g_{m(MOD)}$ は変調器の相互コンダクタンスで、 $R_{LOAD} = V_{OUT}/I_{OUT}$ です。

一例として、3.3Vで3Aを供給するLTC1735/LTC1736またはLTC1628のDC利得は以下のとおりです。

$$A_{V(FB)} = V_{REF}/V_{OUT} = 0.8V/3.3V = 0.242 = -12.3dB$$

$$A_{V(EA)} = g_{m(EA)}Z_{ITH} = (1.4mS)(3.28M) = 4592 = 73.2dB$$

ここで、3.28Mは、 $I_{TH}$ ピンに外部DC負荷がない場合の誤差アンプの標準出力インピーダンスです。

$$g_{m(MOD)} = (V_{RSENSE(MAX)}/R_{SENSE})/V_{ITH(MAX)} \\ = (0.075V/0.015)/2.1V = 2.38S$$

$$A_{V(MOD)} = g_{m(MOD)}R_{LOAD} = (2.38S)(3.3V/3A) \\ = 2.62 = 8.4dB$$

$$DC利得 = (A_{V(FB)})(A_{V(EA)})(A_{V(MOD)}) \\ = (0.242)(4592)(2.62) = 2911 = 69.3dB$$

## 周波数応答

周波数応答は全周波数におけるループの摂動反応であり、ボード・プロット上に利得と位相の測定値として示されます。出力コンデンサと負荷抵抗により、最適な過渡応答とループ安定性を達成するために、誤差アンプのポールとゼロを配置する大まかな位置が決まります。

### 出力コンデンサのポールとゼロ

非常に低い周波数での利得はDC利得と等しくなります。通常、このような利得への出発点は負荷抵抗と出力容量で形成されるポールです。このポールのコーナ周波数は以下のとおりです。

$$f_p = 1/(2 R_L C_{OUT})$$

ここで、 $R_L$ は負荷抵抗で、 $C_{OUT}$ は出力容量です。

出力電流が減少するにつれて等価負荷抵抗が増大し、ポール周波数が低下することに注意してください。出力容量が増加する、すなわちポール周波数が低下するときにも同じことがいえます。

位相マージンの量は、主として出力容量とコンデンサのESRによって形成されるゼロで決まります。このゼロのコーナ周波数は以下のとおりです。

$$f_z = 1/(2 ESR C_{OUT})$$

類似した出力コンデンサの数を2倍にすると、ポール周波数が半分に低下しますが、出力コンデンサのゼロ周波数が変化しないのは興味深いところです。これは容量が2倍になるとESRが半分になりますが、負荷抵抗は同じためです。したがって、 $R_L$ と $C_{OUT}$ の積は大きくなりますが、ESRと $C_{OUT}$ の積は同じです。ESRゼロの位相シフトは十分な位相マージンを達成するのに非常に役立つの

# アプリケーションノート 76

で、クロスオーバー周波数がESRゼロ周波数より高いことが望ましいといえます。

コンデンサの種類により、容量1 $\mu$ F当たりのESR量が異なります。出力コンデンサのESRによって、静負荷条件での出力リップル電圧が決まり、過渡負荷に対する出力応答に大きな影響を及ぼします。3A出力の場合、インダクタ・リップル電流は約1A<sub>p-p</sub>でなければなりません。したがって、出力コンデンサのESRは、出力電圧リップルが50mV<sub>p-p</sub>の場合は約0.05 でなければなりません。0.05 のESRを持つパナソニックの特製ポリマー出力コンデンサとアルミニウム電解出力コンデンサの周波数応答の違いを図3と図4に示します。

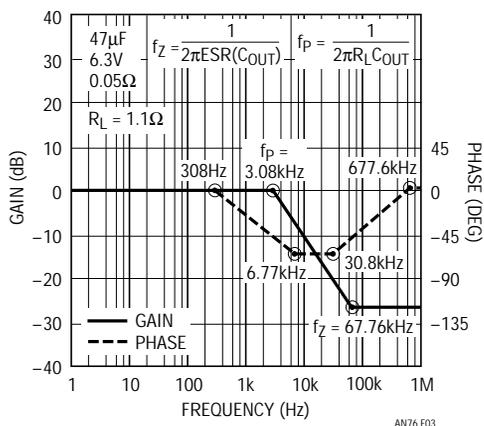


図3. 3.3V、3Aの電源出力で使用される特製ポリマー・コンデンサの周波数応答

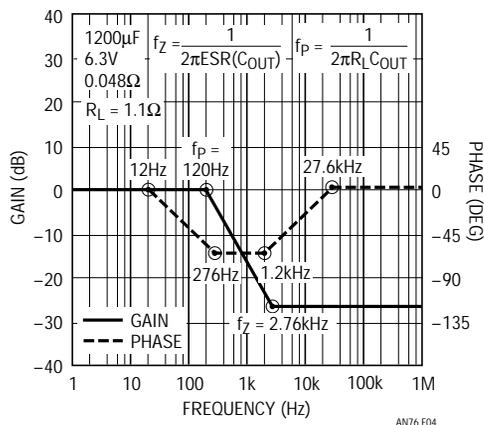


図4. 3.3V、3Aの電源出力で使用されるアルミニウム電解コンデンサの周波数応答

非常に安価な電源では、入力と出力の両方にアルミニウム電解コンデンサを使用している場合がよくあります。図3に47 $\mu$ F、6.3V、0.05 の特製ポリマー・コンデンサの3kHzポールを示します。図4は、1200 $\mu$ F、6.3V、0.05 のアルミニウム電解コンデンサの120Hzポールを示します。出力リップル条件に適合させるのに必要な0.05 のESRを維持するために、アルミニウム電解コンデンサには特製ポリマー・コンデンサの25倍の容量が必要で、それによってアルミニウム電解コンデンサは特製ポリマー・コンデンサの4%でポール周波数を持つことになります。

アルミニウム電解コンデンサを使用するときには、ループ補償はまったく異なります。固定内部補償が両方の種類のコンデンサで十分に働くとは考えられません。アルミニウム電解コンデンサを使用するときには帯域幅が影響を受けますが、OPTI-LOOPアーキテクチャを使用すれば、ループを用途に合わせて最適化して、安定動作を達成することができます。特製ポリマー・コンデンサはESRゼロ周波数が高いため、ループの補償が一層困難になりますが、努力して対処すれば帯域幅は大幅に広がるはずで

## 変調器

変調器はインダクタ電流を誤差アンプからの増幅された誤差信号の関数として制御します。すでに計算した変調器の相互コンダクタンスは、センス抵抗を流れることができる最大電流をI<sub>TH</sub>ピンでの誤差アンプ出力の最大電圧振幅で除算して算出されます。変調器の相互コンダクタンスと負荷抵抗の積は、DCに対する変調器利得です。変調器の周波数応答は、DCにおける変調器利得に出力コンデンサと負荷抵抗の周波数応答を乗算して算出されます。これは、図3と図4の0dB利得リファレンスを変調器利得レベルに変えることと同じです。したがって、変調器の周波数応答は、基本的に出力コンデンサと負荷抵抗によって算出されます。

## 誤差アンプ

誤差アンプはループ利得の大部分を提供します。出力コンデンサを選択した後、制御ループは誤差アンプの周波数応答を調整して補償されます。制御ループには1.4mSの相互コンダクタンスと3M の出力抵抗があるので、4600または73dBの低周波利得を提供します。ループ利得は誤差アンプ利得と変調器利得の積であり、誤差アンプの周波数応答、出力コンデンサ、および負荷抵抗によってループの周波数応答が決まります。

図2に示すとおり、誤差アンプのAC動作は、C1、C2、C3、C4、R1、R2、およびR3によって決定されます。部品間にいくらかの相互作用があるので、最初の近似式として以下の関係が与えられます。一例を挙げれば、誤差アンプの低周波ポールが支配ポールであり、これは以下に示すとおり基本的にC3と誤差アンプの出力インピーダンスによって算出されます。

$$f_p = 1/(2 R_{0(EA)} C_3)$$

しかし、C3とR3の直列の組合せは $R_{0(EA)}$ と並列になっているC4と並列に現れるので、R3とC4は実際のコーナ周波数にはわずかな影響しか与えません。3つのインピーダンスがすべて相互に作用しますが、R3の抵抗はポール周波数でC3のインピーダンスと比較して小さいので、その影響もわずかです。C4にも同じことがいえます。C4の値は通常、C3と比較して小さいので、主な影響はC3によって決まります。

抵抗R3は、中域周波数範囲での利得を制御するために周波数応答にゼロを加えます。このゼロ周波数は以下のとおりです。

$$f_z = 1/(2 R_3 C_3)$$

コンデンサC4は、超短波利得を低減するためにポールを加えます。ループ安定性に頻繁に必要なわけではあませんが、C4はループからPCBノイズと出力リップル電圧の影響を除去するのに役立ちます。誤差アンプ利得をスイッチング周波数において0dB未満にするのが望ましいことです。C4で作られる高周波ポールは以下のとおりです。

$$f_p = 1/(2 R_3 C_4)$$

C1とR1で作られる高周波ゼロは、過渡負荷アプリケーションにとって非常に重要な場合があります。コンデンサC1は位相の進みを提供し、出力電圧の変化に対するスピードアップ・コンデンサのような働きをしますので、R1を「短絡させ」、高周波応答を改善する傾向があ

ります。このゼロは位相プロットで正進行バンプを作る傾向があります。理想的には、このバンプのピークはループのクロスオーバー周波数上に中心が置かれます。R1、C1ゼロは以下の位置にあります。

$$f_z = 1/(2 R_1 C_1)$$

R2とC2によって作られたポールは、一般にループ安定性にはそれほど重要ではありません。このポールはスイッチング周波数の1/2～1/3に設定されることが多く、基本的にループ補償ではなくノイズ・フィルタリングに使用されます。C2の影響は通常、R3の値によって打ち消されます。R2、C2ポール周波数は以下の式で計算できます。

$$f_p = 1/(2 R_2 C_2)$$

## I<sub>TH</sub>ピンの部品値

ループ補償部品に最良の値を選択することは、理想的なクロスオーバー周波数に対するポールおよびゼロ周波数を選択するほど単純ではありません。他のいくつかの要因を検討する必要があります。負荷過渡のスルーレートと振幅によって、出力コンデンサの大まかなESR条件が決まります。出力で使用される容量の値は、主として使用するコンデンサの種類によって、そして部分的には負荷過渡特性によって決まります。

PCBで生成されるノイズは、電源の動作にかなりの影響を及ぼす可能性があります。PCBノイズに起因する問題は、レイアウトを改善して修正しなければなりません。常にこれが可能なわけではありません。適切なデカップリングとループ帯域幅の制限によって、レギュレータ動作でのPCBノイズの影響を大幅に低減できます。しかし、ループ帯域幅を低減するとダイナミック性能も低下してしまいます。

I<sub>TH</sub>ピンの部品値を決定する際には、良好な過渡応答とPCBノイズの低減が相反する要求条件です。最終的なループ補償には、良好な安定性マージンがなければなりません。ループの過渡応答を最適化し、良好なPCBノイズ除去を行い、必要な安定性マージンを提供する部品値が求まるような等式はありません。ポールおよびゼロ周波数に対する等式は、部品の変更が周波数応答に与える影響を予測するのに便利です。利得は適度な精度で計算できませんが、電源経路に多くの寄生容量があるため、位相計算の誤差が大きくなる傾向があります。

## アプリケーションノート 76

回路の補償部品値を最適化する最良の手順は、まずレギュレータのデータシートで推奨される値から始めることです。これは一般に安定したものにはなりますが、おそらく最適なループ補償には不十分でしょう。出力にループ発振の兆候がないかチェックしてください。ループが発振している場合は、C4の値を少し、たとえば0.01 $\mu$ Fほど大きくしてみてください。そうすれば、動作はかなり鈍いですが、テストを始めるための安定したシステムになるはずで、図8の負荷パルス・テスト回路をボードに接続して、全負荷の約25%の負荷ステップを加えて、ループがこれらの摂動にどのように応答するかを調べてください。

応答が必要な状態でなければ、 $I_{TH}$ ピンの部品R3、C3、C4を取り外して、 $I_{TH}$ ピンとレギュレータのSGND間に短いツイスト・ペア線でRC代用ボックスを接続してください。RC代用ボックスからの配線をC4にある47pFのコンデンサで終端するのがよい方法です。代用ボックスを直列RC接続に設定してください。次に、RとCの値を調整して、最適な応答を調整できます。後で説明する「大信号過渡に対するループ補償部品の効果」のセクションを読み、図9～図21をRとCを変える方法を定めるためのガイドとして使用してください。

過渡波形での過剰なリングングを避けてください。図6と図7のC点は許容可能な単一オーバershoot・バンプを示します。2つのバンプがリングングを構成し、位相マージンが不足していることを示します。一度十分な補償が得られたら、選択した部品値をボードにインストールして、RCボックスで得られる性能に近いことを確認してください。ノイズのピックアップと寄生容量の影響のため、代用ボックスを使用したシステムの動作と、ボードで実際の部品を使用した動作に若干の違いがあることもあります。

安定性マージンが測定できない場合は、各補償部品値を2倍または半分にしても、過渡波形に過剰なリングングが発生しなければ、安定した動作性能を予測できます。周波数補償プロセスの最後のステップでは、C1、C2、C3、C4、およびR3の値をそれぞれの最終値の50%～200%まで個々に変更しなければなりません。この変更によって、ある値で過剰なリングングが発生した場合は、別の値を選択する必要があります。

希望の過渡応答を達成するのに出力コンデンサが不十分な場合、それを補償で補うのは無理ということ覚えて

おいてください。目標は選択した電源経路の部品から、可能な限り最高の応答を得ることがです。これがシステム条件を満足しない場合、唯一の解決策はさらに多くの出力コンデンサを追加するか(ESRを下げるため)、またはインダクタ値を下げて、出力リップルの増加に対応できるようにすることです。

ほとんどの場合、ループ補償部品に選択する最終的な値は、最高の過渡性能と最高のPCBノイズ性能の間で妥協を図ったものになります。明らかに、ループ帯域幅を低減するよりもボード・レイアウトを改善してPCBノイズを減少させるほうが得策です。OPTI-LOOPアーキテクチャにより、設計者は回路を最適化しながら、なおもループの安定性条件に適合させる方法を決定できるようになります。最終的な設定値は十分な安定性マージンを備えていなければなりません。

### 大信号応答と小信号応答

負荷条件が変化すると、ループは新しい条件に迅速に応答します。ループ応答は負荷の変動量と変動率により、大信号応答または小信号応答に呼び方が変わります。大信号応答と小信号応答の違いは、制御ループが出力の制御を維持するかどうかです。これは誤差アンプの出力を調べると判断できることがよくあります。 $I_{TH}$ ピン電圧が0.3V～2.4Vの間の場合、ループは通常、出力を制御しており、負荷の変動によって小信号応答を生成します。 $I_{TH}$ ピン電圧が0.3V未満または2.4Vの場合、誤差アンプは「レール」状態になり、レギュレータはリニア領域で動作していません。0.3V～2.4Vルールの例外は、誤差アンプがスルー制限されているときです。誤差アンプがスルー制限されているときには、誤差アンプが応答できるより速く負荷過渡が起こっているため、インダクタ電流が「キャッチアップ」できるまで出力コンデンサが過渡電流を満足させます。静的動作の間、 $I_{TH}$ ピンの電圧は0.3V～2.2Vの間になければなりません。この電圧は負荷電流に比例します。

ループ補償のルールはリニア動作にのみ適用されます。大信号応答は一時的にループの動作を停止させます。ただし、ループは適切に反応して大信号応答に出入りしなければなりません。負荷電流変動の振幅と速度が電源が応答可能な範囲を超えると、大信号応答が起こります。ループ帯域幅が広いほど、ループが応答可能な負荷過渡応答が高速になります。

レギュレータの大信号応答は、出力コンデンサのESR、インダクタのインダクタンス、入力電圧、および制御ループの帯域幅によって決まります。負荷変動がレギュレータからの大信号応答を必要とするときには、誤差アンプのスルーレートが非常に重要です。R3が小さ過ぎるか、コンデンサC3またはC4が大き過ぎる場合、誤差アンプの出力電圧が安定するのに長くかかります。負荷過渡の印加からトップMOSFETのターンオンまでに、出力コンデンサは負荷で要求される電流をすべて供給しなければなりません。出力コンデンサが供給する電流によって、ESRの両端に電圧降下が生じ出力電圧が低下します。ESRが低いほど、出力コンデンサが負荷電流を供給するときの電圧損失が小さくなります。

トップMOSFETがターンオンした後、入力電圧が高いほど、またバック・インダクタ値が低いほど、出力電圧が通常電圧に復帰するのが速くなります。電圧、電流、およびインダクタンスの関係は、以下のとおりです。

$$\Delta t = \frac{L\Delta I}{E_L}$$

ここで、 $E_L$ は $V_{IN} - V_{OUT}$ に等しく、 $L$  = インダクタンス値、 $I = \Delta I$ におけるインダクタ電流の変化、 $t = \Delta t$  = インダクタ電流が新しい負荷電流レベルまで上昇するのに必要な時間です。

インダクタ値が低いほど、出力電流のスルーレートが高くなりますが、出力電圧リップルも増大します。

## 電源過渡応答

### システム電源

OPTI-LOOPアーキテクチャの最も重要な用途の1つは、過渡負荷アプリケーションでのループ補償です。今日の製品のシステム電源には、5Vと3.3Vが含まれます。5V電源の大部分の負荷過渡はデジタル回路やモータが原因で発生します。デジタル回路の過渡は持続時間が短く、振幅は数mA～数Aまで変動します。フロッピー・ドライバや他のモータが原因で発生する負荷過渡は、モータが回転するまでどの程度かかるかにより、50ms～数秒の間に0.5A～数Aまで変動します。十分な帯域幅を持ち適切に設計された回路は、容易にモータの負荷過渡を扱うことができます。

大部分の3.3V電源は、過渡が高速で持続時間が短く、数mAから数Aまで変化するパワー・デジタルおよびメモリ回路に電力を供給します。大多数のデジタル回路とメモリの過渡は、各ICに配置されたローカル・デカップリング・コンデンサで扱う必要があります。ローカルICデカップリングは、電源制御ループが摂動に対応できるよう、各ICの実際の過渡負荷条件を低速化および平均化します。

### コア電圧電源

最近のCPUコア電源の過渡要求条件は、レギュレータに大信号応答を要求しています。したがって、全コア電圧電源をCPUのニーズに合わせて最適化しなければなりません。コア電圧電源はできるだけCPUの近くに配置し、可能な限り低いインダクタ値により、可能な限り高い周波数で動作させなければならず、入力電源は直接バッテリー電圧ではなく5V電源から取る必要があります。CPUレギュレータを5V電源で動作させると、より低いインダクタ値と高効率で、さらに高い周波数でスイッチングできます。電圧降圧比をかなり小さくすると、ループ・ダイナミックを最適化できます。

図5に、5V入力電源から10.2Aの電流と5本のVID制御ラインで選択した出力電圧を供給可能なコア電圧レギュレータとしてLTC1736を使用する回路を示します。標準出力電圧の範囲は1.3V～1.6Vです。図6は負荷におけるLTC1736の大信号応答の拡大図です。負荷電流は約80msで0.2Aから10.2Aまで変化します。A点は電源と負荷の間のESLとトレース・インダクタンスの影響を示します。B点は出力コンデンサのESRの影響を示し、C点はバック・インダクタ電流が負荷電流を供給し始める箇所を示しています。

図7は、負荷電流が10.2Aから0.2Aまで急速に変化するときの出力電圧の写真を示します。負荷電流が全負荷から軽負荷に変化すると、インダクタ電流は即時に変化できないので、蓄積されたエネルギーを出力コンデンサに放電するため、コンデンサのESRで電圧降下が生じ、負荷電流の急激な変化によってESLスパイクが発生します。ESLスパイクとESRでの電圧降下によって、一時的に出力電圧が上昇します。

# アプリケーションノート 76

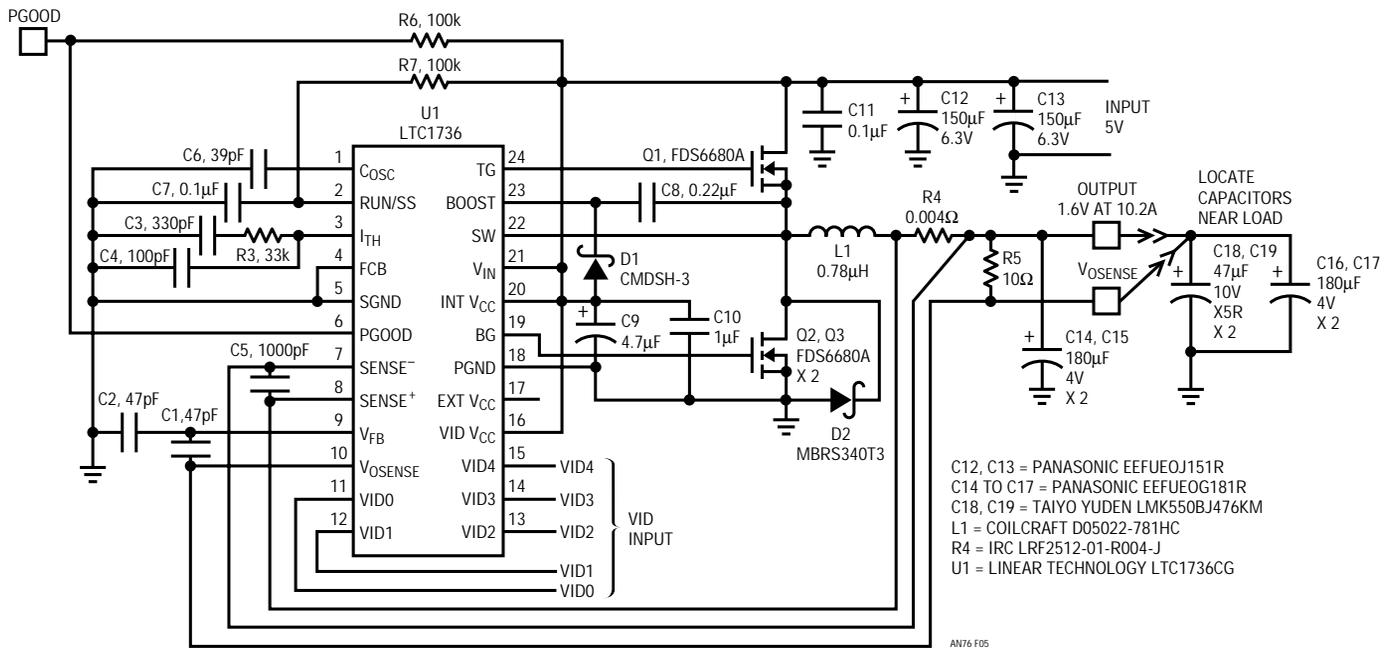


図5. VID制御付きコア電圧電源

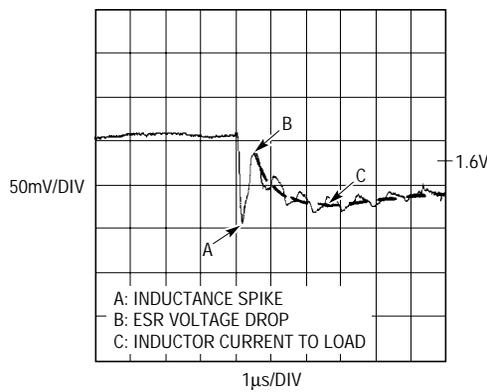


図6. 低電流から高電流への遷移時の出力電圧の拡大図

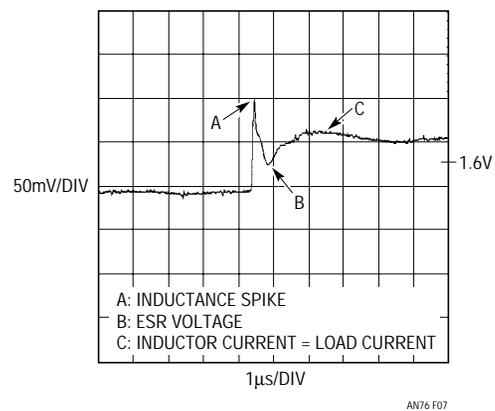


図7. 高電流から低電流への遷移時の出力電圧の拡大図

## インダクタンス遅延過渡応答

負荷過渡振幅では、基本的に出力コンデンサに必要な ESR が決まります。ただし、出力コンデンサと CPU 間のインダクタンスによって、CPU での初期電圧低下が決まります。このインダクタンスは、出力コンデンサ、トレース・インダクタンス、およびコネクタ・インダクタンスの ESL で構成されます。

コア電圧レギュレータは CPU に近接して配置し、一部の出力コンデンサはさらに近くに配置しなければなりません。CPU の電源入力とバルク・セラミック・コンデンサ本体の間のトレース長は、できる限り短くしなければなりません。これらのセラミック・コンデンサは先行エッジ過渡電流を供給するために選択し、他のコンデンサの ESL は新しい負荷条件に対する働きを遅らせます。追加の低 ESR タンタルまたは特製ポリマー・コンデンサは、できる限りセラミック・コンデンサに近づけて配置してください。残りの出力コンデンサはコア電圧レギュレータの出力に近接している必要があり、また CPU に配置されるフィルタ・コンデンサからも 1.27cm 以内になければなりません。

簡単な計算で、過渡速度におけるインダクタンスの影響の遅れを示します。

$$X_L = 2 \pi f L$$

ここで、 $X_L$  はインダクタンスのインピーダンス、 $f$  は  $1/\text{実際の負荷遷移時間}$  に等しい周波数、そして  $L$  は対象となるインダクタンスです。

1.25 の  $X_L$  は、トレース長 2.54cm 当たり 20nH、2つの 1.27cm トレース、および 100ns の遷移時間という一般則を使用して計算できます。パッケージ・インダクタンスとトレース・インダクタンスは ESR と直列なので、 $X_L$  と ESR の影響の遅れによって、負荷で立上り電圧の低下が生じます。ESL とトレース・インダクタンスが出力電流まで充電した後、ESR での電圧降下によって出力電圧が低下し続けます。ESR と  $X_L$  の影響を図 6 と図 7 の A 点と B 点に示します。明らかに、これらの設計が正常に動作するには、直列インダクタンスが非常に低く (1nH 未満) なければなりません。

## 過渡応答の測定

過渡応答は、CPU の入力電源ピンまたは他のダイナミック負荷に可能な限り近接したセラミック・コンデンサの両端で測定しなければなりません。適切な高周波測定手法が必要です。一般的な方法は、CPU の電源ピンに最も近い 1 $\mu$ F のコンデンサの両端にバス・ワイヤ・リードを半田付けすることです。これらのバス・ワイヤ・リードをボードから約 1.27cm 上に伸ばします。グラッパを取り除いて、グラウンド・リングとセンタ・ピンを露出させ、スコープのプロブを分解してください。注意深くグラウンド・リングを 1 $\mu$ F コンデンサのグラウンド側に接続されたバス・ワイヤに触れ、プロブのセンタ・ピンを 1 $\mu$ F コンデンサの他方の側に接続されたバス・ワイヤに触れます。この測定手法によって、ノイズの多い環境でのオシロスコープ測定に共通するほとんどの信号ピックアップを回避することができます。入力電圧と考えられる負荷電流変動の全範囲について、過渡応答をチェックするのを忘れないでください。

予備テストとして、図 8 に示すパルス負荷回路を使って試してみてください。この回路は、多種多様な電源回路をテストするように改造できます。抵抗 R2 は最小負荷電流を設定し、R1 と R2 は最大負荷電流を決定します。抵抗 R4 は Q1 をドライブする矩形波ジェネレータ用の 50  $\Omega$  終端を提供します。スルーレート制御の R3 は、テスト中の電源から引き出す電流のレートを制御します。

パルス負荷によるブレッドボード・テストのために、必要に応じて R1、R2、および R3 の値を変更してください。レイズド・バス・ワイヤおよび分解スコープ・プロブ測定手法を用いて、最後の出力コンデンサの両端で過渡応答を測定します。

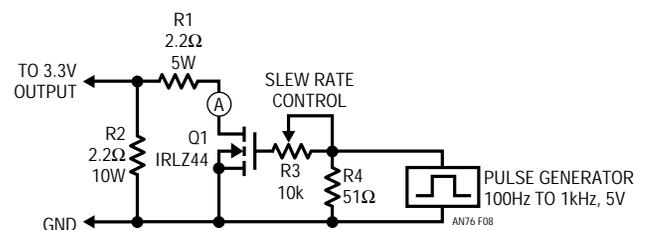


図8. パルス負荷回路

## アプリケーションノート 76

パルス負荷は非常に簡単な回路で、汎用ループ応答テストに使用できます。この回路の欠点は電流ループのインダクタンス量です。このインダクタンスによって、負荷電流のスループレートが遅くなり、立上りおよび立下りエッジにリングングを引き起こします。この簡単なテスト回路は、制御ループのセトリング特性を観測するには役立ちますが、絶対過渡応答振幅に関する有用な情報は得られません。この動作を評価するには、さらに高度なテスト構成が必要です。最良の過渡応答テストは、最終的なPCBで実際の負荷を用いて行うことになります。

OPTI-LOOPアーキテクチャのもうひとつの利点は、単純な受動部品値の変更によって、ボードを修正することなく、開発プログラムのどの段階でも最終ボードの過渡応答とループ補償を微調整できることです。

### 大信号過渡でのループ補償部品の効果

ループ補償部品値を個別に1/10に変更した場合の効果を実証するために、図5の回路を使用しました。図9に回路図に記載した値による標準過渡応答を示します。この回路の周波数応答を図10のボード・プロットに示します。ボード・プロットは、この回路が高速過渡応答のために最適化されたことを示しています。

図11と図12は、それぞれC3を10pFと3300pFに変更した場合の効果を示しています。このコンデンサは、通常、誤差アンプの低周波ポールを決定します。容量値が低くなると、ポール周波数が高くなります。図11はオーバーシュートが正常に戻るときに、わずかにリングングが増えることを示しています。図12は低周波ポルを減少させて、低周波利得を低減した場合の効果を示します。過渡状態のピーク・ツー・ピーク振幅は変わっていませんが、ループが出力を正常に戻すのに時間が長かかっています。図13のボード・プロットは、C3を3300pFに増やすと位相マージンが47°から33°に低下し、また利得マージンが-7dBまで減少したことを示しています。

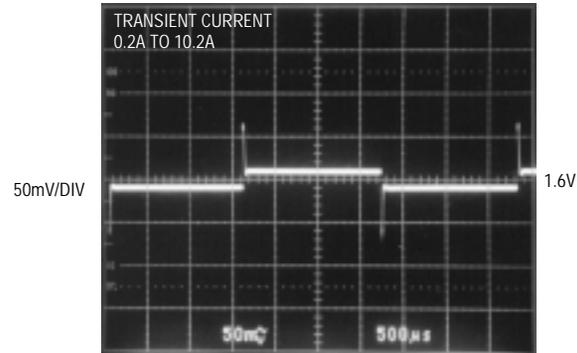


図9. 回路図に記載した標準補償値による過渡応答

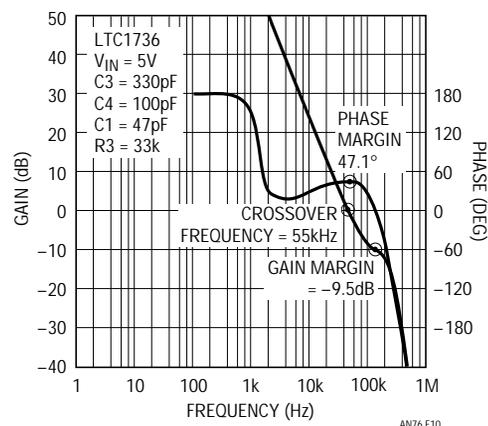


図10. LTC1736回路のボード・プロット

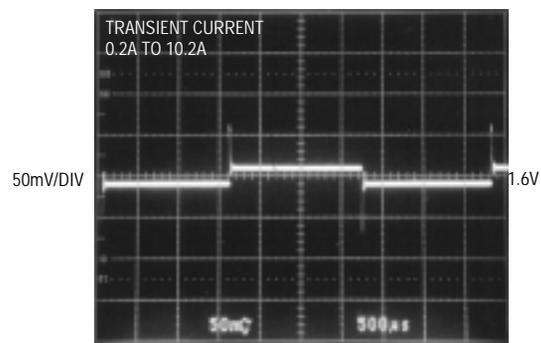


図11. C3を330pFから10pFに変更した場合の過渡応答

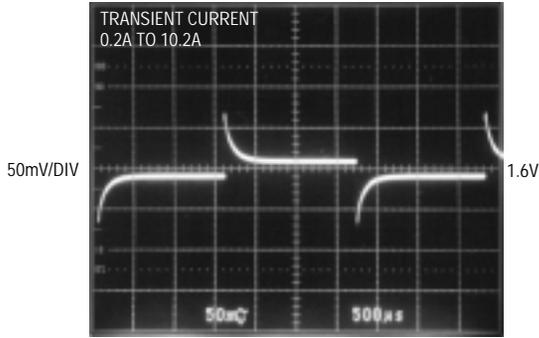


図12. C3を330pFから3300pFに変更した場合の過渡応答

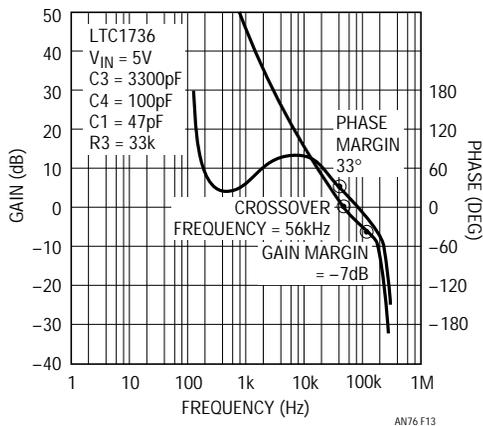


図13. C3を330pFから3300pFに変更した場合のLTC1736回路のボード・プロット

図14と図15は、それぞれR3を330kから3.3kに変更した場合の効果を示します。この抵抗は誤差アンプの中域周波数利得とゼロ周波数を設定します。R3を330kに増やすと中域周波数利得が増加し、過渡応答に大きな影響を与えずにゼロ周波数が低下しました。R3を3.3kに減らすとゼロ周波数が高くなり、中域周波数利得が減少して、高周波リングが発生し、ピーク・ツー・ピーク過渡応答が上昇しました。高周波リングは位相マージンが危険なほど低いことを示すものです。図16は20.4°の位相マージンと-26dBの利得マージンを示しています。位相マージンが20.4°の場合は、利得マージンがこれほど増大しても回路の安定性は改善できません。

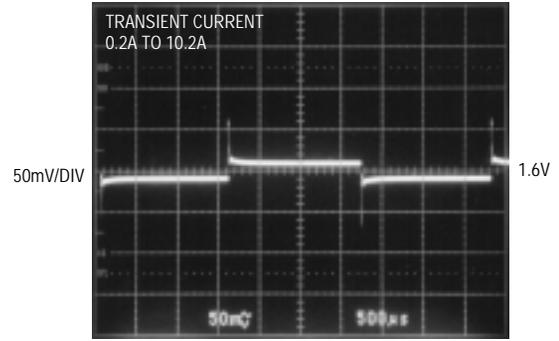


図14. R3を33kから330kに変更した場合の過渡応答

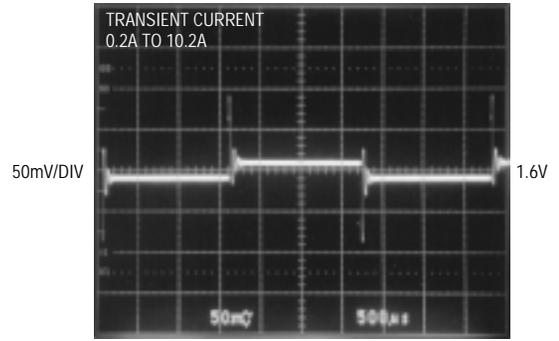


図15. R3を33kから3.3kに変更した場合の過渡応答

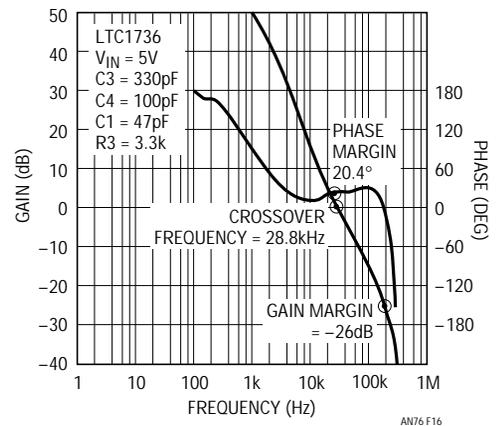


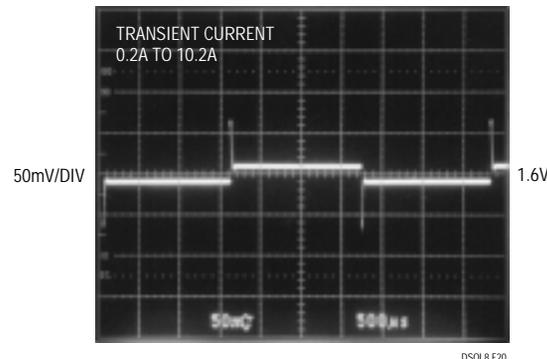
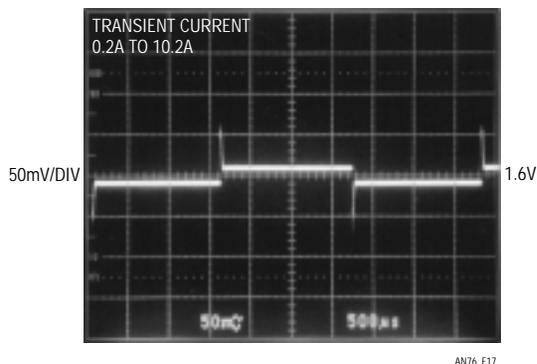
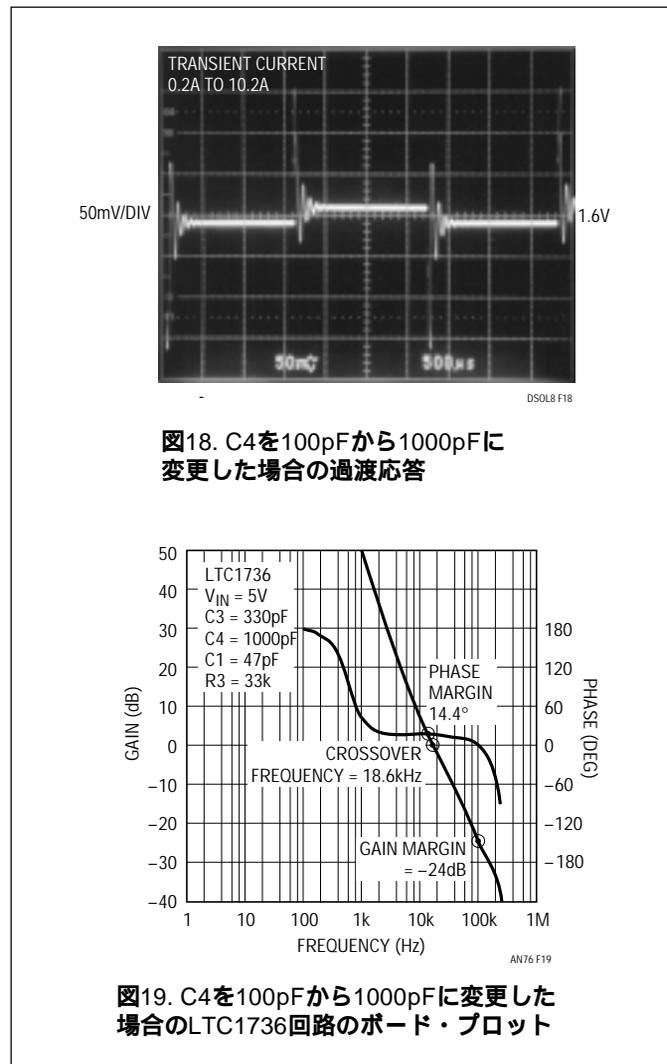
図16. R3を33kから3.3kに変更した場合のLTC1736回路のボード・プロット

## アプリケーションノート 76

図17と図18は、それぞれC4を10pFと1000pFに変更した場合の効果を示しています。このコンデンサは通常、誤差アンプの高周波ポールを決定します。C4を10pFに減らすと高周波ポールが上昇しますが、過渡応答にはほとんど影響がありません。これによって、回路はよりノイズの影響を受けやすくなります。C4を1000pFに増やすとピーク・ツー・ピーク過渡応答が2倍になり、過渡波形の立上りおよび立下りエッジに大きな高周波数リングを伴うまで高周波ポールが減少しました。図19は、C4 = 100pFのときに得られる位相マージンの約30%に相当する14.4°の位相マージンを示します。

図20と図21は、C1を5pFから470pFに変更した場合の効果を示します。このコンデンサは過渡応答を改善するために、わずかな位相の進みを提供します。値が5pFに低下しても顕著な変化はありませんが、値を470pFに増やすとピーク・ツー・ピーク過渡応答がわずかに改善されることが観測できます。

これらの波形は、一度に1つの値を変更したときに起こる変化の種類を示しています。一回の変更が10対1以内であれば、回路や負荷が損傷することはありません。トップ帰還抵抗がオープンになると、V<sub>OSENSE</sub>ピンへの接続がオープンになるか、またはI<sub>TH</sub>ピンが“H”になり、出力電圧が入力電圧に等しくなるまで上昇します。出力コンデンサが損傷したり、負荷抵抗が過負荷状態になったり、あるいはCPUが破壊されることがありますので、この状態を避けるよう注意してください。



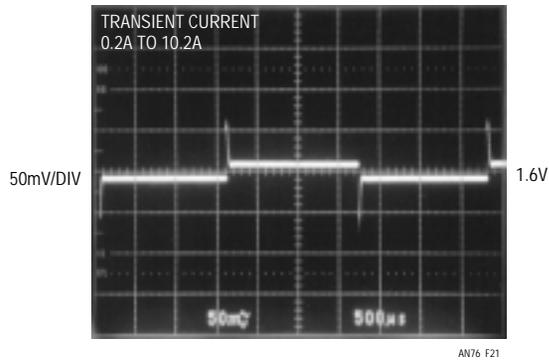


図21. C1を47pFから470pFに変更した場合の過渡応答

## システム電源を補償するための一般的な値

LTC1735のデュアル・バージョンであるLTC1628は、LTC1735と同じ制御回路を内蔵しており、これによって従来のシステム電源(5Vおよび3.3V)ソリューションに対して、いくつかの明白なアドバンテージを持っています。さらに、LTC1628は実効入力電流を最小にするために、トップスイッチの位相が180°ずれた2つのコントローラで動作します。システム電源条件はCPUコア条件よりも厳しくないため、OPTI-LOOPアーキテクチャによって従来必要であったものよりはるかに小さな出力コンデンサを使用できます。特製ポリマー・コンデンサのESRは非常に低くなっていますが、容量密度は他の種類のコンデンサよりも低くなっています。OPTI-LOOP補償は小容量コンデンサを使用するための重要な要素であり、非常に高性能の小型、低コストのシステムを実現できます。

図22、23のオシロスコープの写真とボード・プロットは、図24の基本回路を使ったLTC1628の5V出力に対するOPTI-LOOPアーキテクチャの恩恵を示しています。補償部品は各図で示されるように異なる出力コンデンサの値とタイプに変更されます。各写真の上2つの波形は左上角に示されている縦軸での出力電圧で、時間軸は100µS/div、出力電流は1A/divです。下側のトレースは上記と同じですが、時間軸は5µS/divです。0.5Aから2Aへの負荷ステップは標準的な過渡条件として使われています。拡張されたスケールは、通常は数µSのスイッチング・レギュレータの応答時間を示しています。低ESRの47µFコンデンサは最低のコストとサイズを要求するアプリケーションで非常に満足の得られる出力コンデンサのソリューションを提供します。100µFのコンデンサは特に安定性のマージンと低いリップル電圧が要求されるときに使用可能です。150µFと220µFの容量は、ゼロから全設計負荷への過渡ステップに対し特に低いESRが求められるアプリケーションで要求される可能性があります。2つの小さな47µFのコンデンサを使うことで、安定性、低ESR、そして1つのコンデンサが故障しても安全であるマージンを与えることができます。

表1に他の種類の出力コンデンサに対する推奨OPTI-LOOP補償値を示します。図24は、表1で選択した値を確認するのに使用した回路の回路図です。レイアウトの質がループ動作に影響を与えるため、PCレイアウトを決定した後で最終的な補償値の選択を微調整しなければなりません。

# アプリケーションノート 76

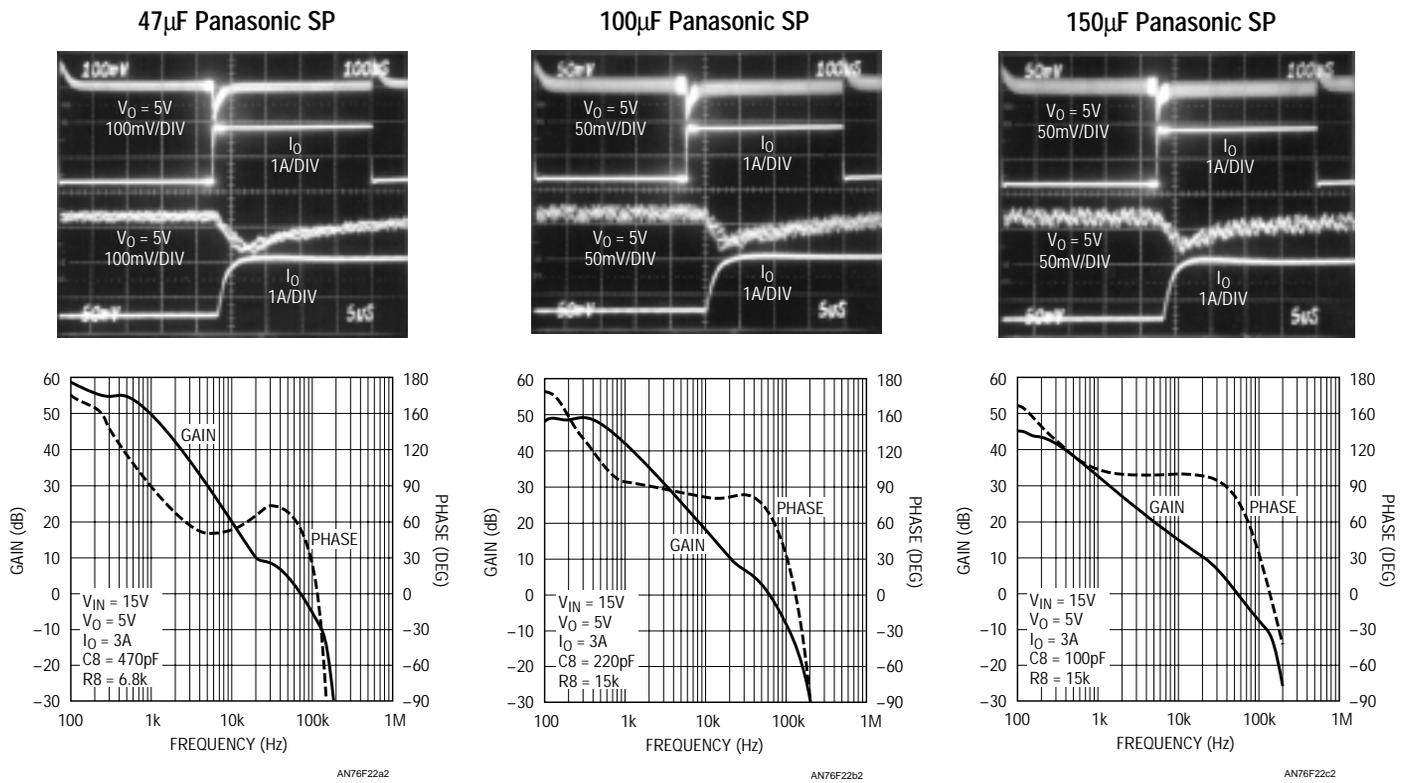


図22. パナソニックSPコンデンサ使用時のLTC1628の過渡応答と周波数応答

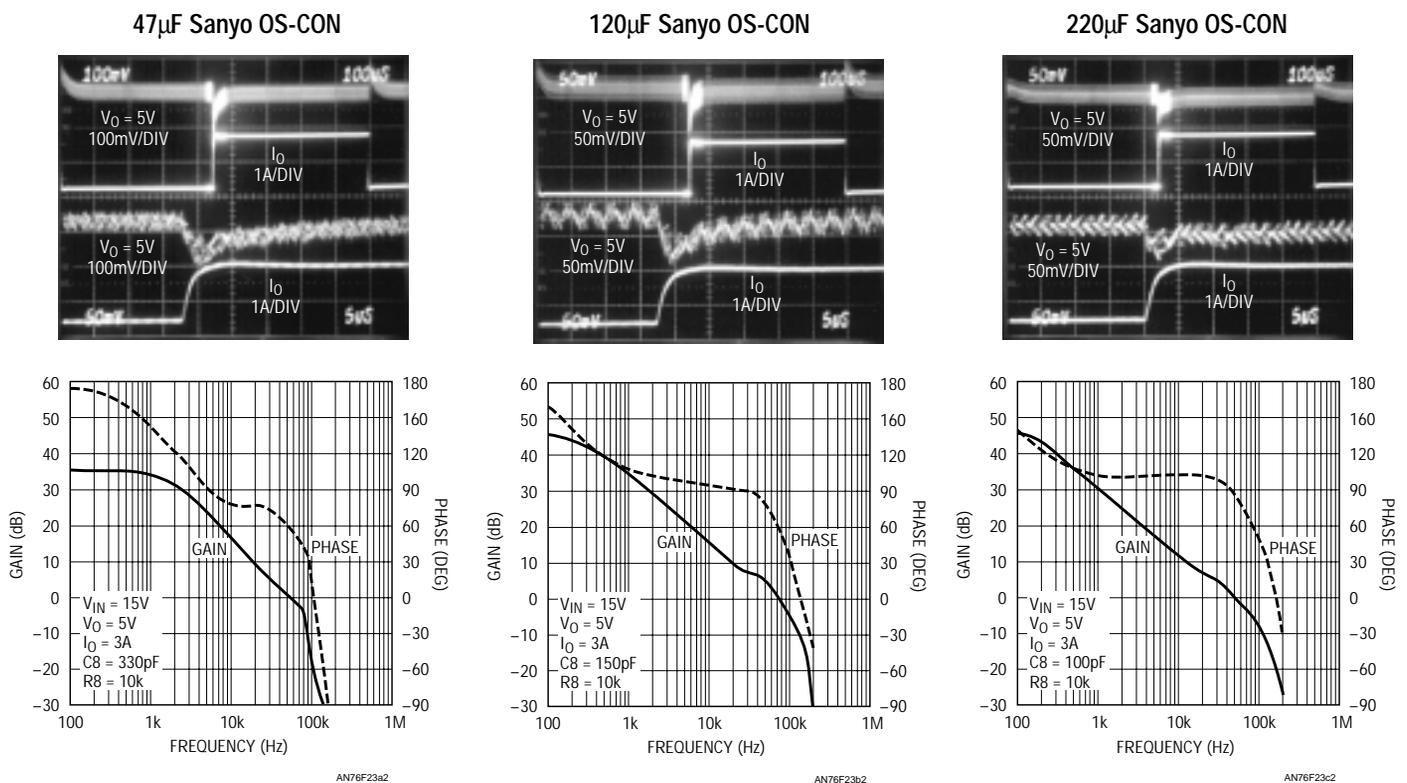


図23. サンヨーOS-CONコンデンサ使用時のLTC1628の過渡応答と周波数応答

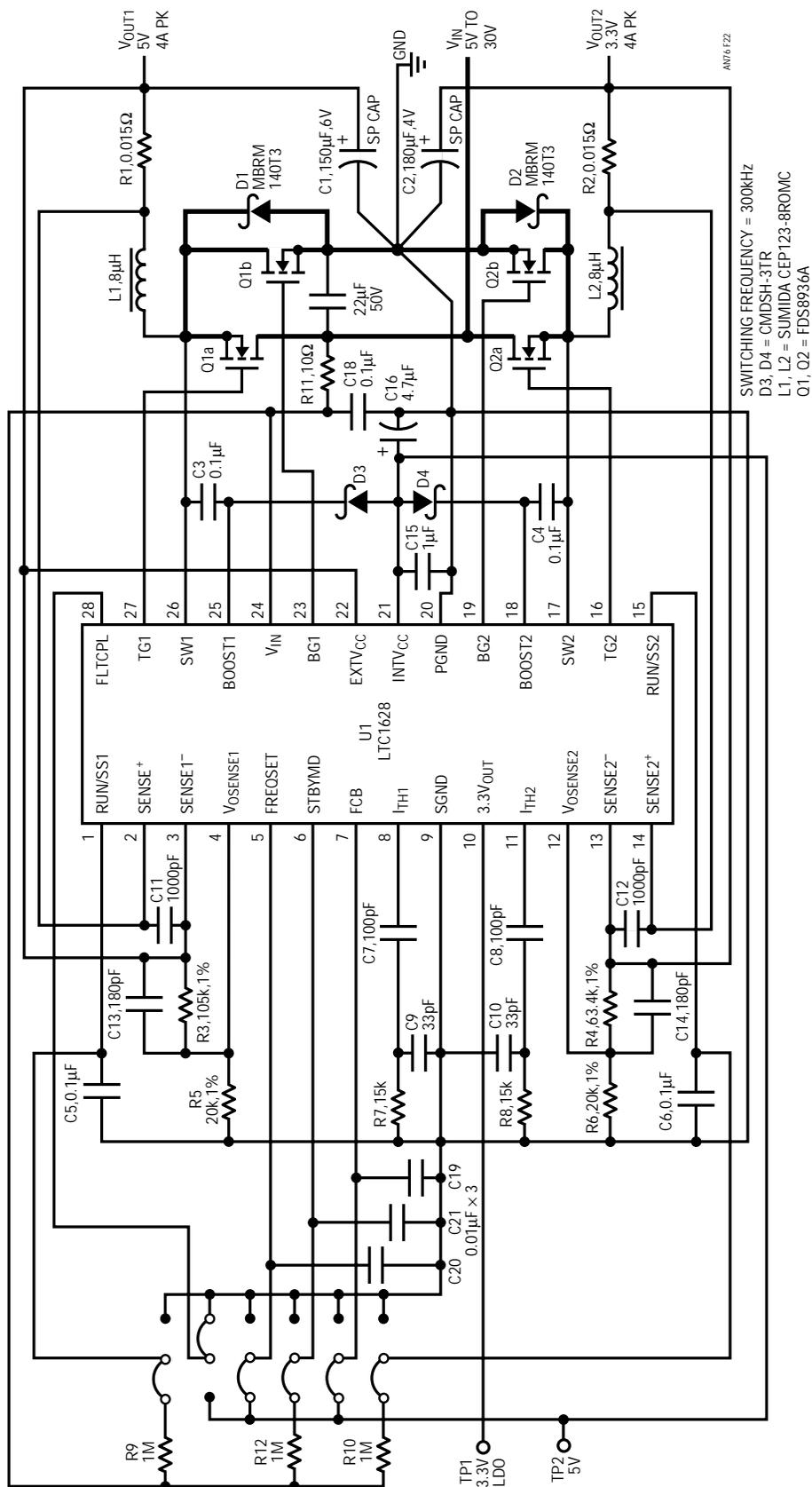


図24. 5Vおよび3.3V用デュアル出力カシステム電源

表1. DC236A(LTC1628デモ・ボード)の出力コンデンサと補償

テスト条件:  $V_{IN} = 15V$ 、 $V_{OUT} = 3.3V/3A$ 、  
 スイッチング周波数 = 265kHz、負荷ステップ = 1.5A ~ 2.6A

出力コンデンサ	補償			
	C13,C14	C7,C8	R7,R8	C9,C10
Panasonic SP 47 $\mu$ F/6.3V*1	27pF	100pF	22k	33pF
Sanyo Oscon 47 $\mu$ F/6.3V*1	27pF	470pF	15k	33pF
Sanyo Poscap TPC 150 $\mu$ F/4V*1	27pF	100pF	22k	33pF
Sanyo Poscap TPC 100 $\mu$ F/6V*1	27pF	100pF	22k	33pF
Sanyo Poscap TPC 68 $\mu$ F/10V*1	27pF	100pF	22k	33pF
AVX Tantalum TPS 220 $\mu$ F/6.3V+10 $\mu$ F Ceramic	27pF	100pF	33k	33pF

テスト条件:  $V_{IN} = 15V$ 、 $V_{OUT} = 3.3V/3A$ 、  
 スイッチング周波数 = 265kHz、負荷ステップ = 0A ~ 2A

Panasonic SP 56 $\mu$ F/4V*1	100pF	150pF	15k	33pF
------------------------------	-------	-------	-----	------

テスト条件:  $V_{IN} = 15V$ 、 $V_{OUT} = 3.3V/3A$ 、  
 スイッチング周波数 = 265kHz、負荷ステップ = 0.5A ~ 3A

Panasonic SP*2 56 $\mu$ F/4V+10 $\mu$ F Ceramic	27pF	100pF	22k	33pF
Sanyo Oscon 150 $\mu$ F/6.3V+10 $\mu$ F Ceramic	27pF	100pF	22k	33pF
Sanyo Poscap TPC 150 $\mu$ F/4V*1 + Cer 10 $\mu$ F*2	27pF	100pF	33k	33pF
Sanyo Poscap TPB 150 $\mu$ F/6.3V*2 + Cer 10 $\mu$ F*2	27pF	100pF	33k	33pF
AVX Tantalum TPS 220 $\mu$ F/6.3V*1 + Cer 10 $\mu$ F*1	27pF	100pF	33k	33pF
AVX Tantalum TPS 330 $\mu$ F/6.3V*1 + Cer 10 $\mu$ F*1	27pF	100pF	33k	33pF

## まとめ

制御ループ補償は、さまざまな要素が関係する非常に複雑なテーマです。出力電圧過渡応答を改善する能力に非常に価値があります。設計者は出力コンデンサの制約を受けずに、過渡負荷アプリケーションに対する回路性能を高めることによって、電源部品を最大限に活用できます。ループ周波数応答は出力コンデンサの種類によって

大きく変化するので、レギュレータIC内部の固定された補償では、一定条件でループ発振を起こすおそれがあることも事実です。OPTI-LOOPアーキテクチャは、最も低コストの電源から最大限に性能を引き出すためのメカニズムを提供します。