

非絶縁型スイッチング電源のPCBレイアウトにおける考慮事項

Henry J. Zhang

はじめに

試作品の電源基板に初めて電源を入れたとき、ただ正常に動作するだけでなく、静音性と低温性に優れていなければならないことはありません。残念ながら、常にそうなるわけではありません。スイッチング電源でよくある問題は、スイッチング波形が不安定になることです。場合によっては、波形のジッタが大きく、磁気部品から可聴ノイズが発生することもあります。その問題がプリント回路基板(PCB)のレイアウトに関連する場合、原因を特定するのは困難な場合があります。そのため、スイッチング電源設計の初期段階で適切にPCBレイアウトを行うことは極めて重要です。その重要性はいくら強調しても強調しすぎることはありません。

電源設計者は、最終的な製品に含まれる電源の技術的詳細と機能要件に最も精通している技術者です。電源設計者は、重要な電源レイアウトについて、初めからPCBレイアウト設計者と緊密に協力していく必要があります。優れたレイアウト設計を実施することで、電源の効率を最適化し、熱応力を緩和し、何よりも、トレースと部品間のノイズと干渉を最小化できます。そのためには、スイッチング電源内の電流伝導経路と信号の流れを理解することが重要です。本稿では、非絶縁型スイッチング電源の適切なレイアウト設計のための設計上の考慮事項を記載します。

レイアウト計画

システム基板内の電源位置

大規模システム基板上的のエンベデッドDC/DC電源において、インターコネクト・インピーダンスとPCBトレース間の導通電圧降下を最小化し、電圧レギュレーション、負荷の過渡応答、およびシステム効率を最適化するには、電源の出力を負荷デバイスの近くに配置する必要があります。強制空冷ファンが備わっている場合、熱応力を軽減するため、電源を冷却ファンの近くに配置するか、良い風通しを確保する必要があります。


さらに、インダクタや電解コンデンサなどの大きな受動素子によってパワーMOSFET、PWMコントローラなどの薄型の表面実装半導体部品への空気の流れを妨げないようにします。スイッチング・ノイズが他のアナログ信号を反転させないように、なるべくノイズの影響を受けやすい信号トレースが電源の下部を通らないよう配線します。それができない場合、電源層と小信号層の間にシールド用の内部グランド・プレーンが必要になります。

このような電源配置と基板上のスペース計画は、システムの早期設計/計画段階において実施する必要があること指摘しておかなければなりません。残念ながら、大規模システム基板の「重要な(面白みのある)」回路に技術者が専念してしまうことがあります。パワー・マネージメント/電源供給の検討を後回しにして、基板に残った適当な場所に電源を配置すると、もちろん電源設計の効率性と信頼性を向上することはできません。

層の配置

多層PCB基板では、高電流の電源部品層とノイズの影響を受けやすい小信号トレース層の間に、DCグランド層もしくはDC入力または出力電圧層を配置することを強く推奨します。このグランド層やDC電圧層は、ノイズが多い電源トレースおよび電源部品から小信号トレースをシールドするACグランドの役目をします。一般的な原則として、多層PCBのグランド層またはDC電圧層はセグメント化してはなりません。セグメント化が避けられない場合、プレーン内のトレース数およびトレース長を最小限にしなければなりません。トレースの配線方向を高電流の流れる方向と揃えて、影響を最小限に抑えます。

スイッチング電源の6層PCB基板および4層PCB基板における層配置の悪い例を図1aおよび1cに示します。悪い例では、小信号層が高電流の電源層とグランド層に挟まれています。このような構成では、高電流/高電圧の電源層と小アナログ

、LT、LTC、LTM、Linear Technology、LinearのロゴおよびPolyPhaseはリアテックノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

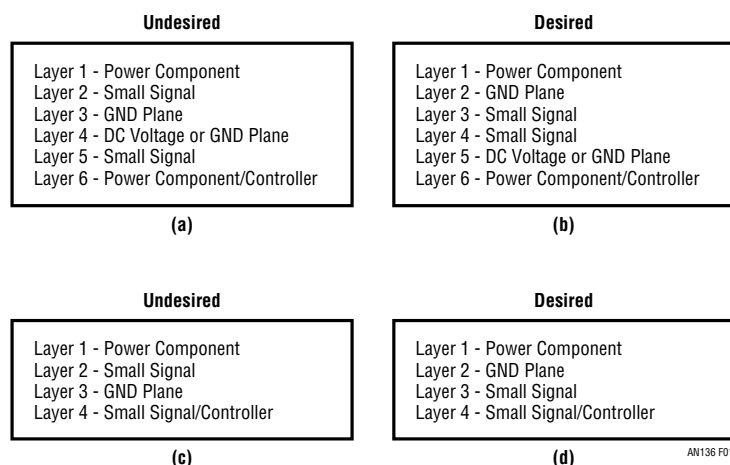


図1. 6層および4層PCBにおける層配置の良い例・悪い例

信号層の間で容量性ノイズ・カップリングが増加します。ノイズ・カップリングを最小限に抑えるため、4層PCBおよび6層PCBの設計の良い層配置の例を図1bおよび図1dに示します。この2つの例では、小信号層がグランド層によってシールドされています。外側のパワー・ステージ層の隣には必ずグランド層を配置することが重要です。最後に、PCBの導通損失と熱インピーダンスを最小限に抑えるため、外部の高電流電源層には厚い銅箔を使用することを推奨します。

パワー・ステージ部品のレイアウト

スイッチング電源の回路は、パワー・ステージ回路と小信号制御回路に分けられます。パワー・ステージ回路には、高電流が流れる部品が含まれています。一般的に、これらの部品を最初に配置する必要があります。小信号制御回路は、その後にレイアウト内の特定の場所に配置します。このセクションでは、パワー・ステージ部品のレイアウトについて説明します。

連続電流およびパルス状電流の経路 – 高di/dtループ (ホット・ループ)におけるインダクタンスの最小化

PCBのインダクタンス、抵抗、電圧降下を最小限に抑えるため、高電流のトレースの長さは短く、幅は広くする必要があります。このことは、高di/dtのパルス状電流が流れるトレースでは、特に重要です。同期整流式降圧コンバータにおける連続電流の経路とパルス状電流の経路を図2に示します。実線は連続電流の経路、破線はパルス状(スイッチング)電流の経

路を示しています。パルス状電流の経路には、入力デカップリング・セラミック・コンデンサ(C_{HF})、トップ側制御FET(Q_T)、ボトム側同期整流式FET(Q_B)とそのオプションの並列化ショットキー・ダイオードに接続されたトレースが含まれています。図3aは、これらの高di/dt電流経路における寄生PCBインダクタンスを示しています。この寄生インダクタンスにより、パルス状電流経路は磁界を発生するだけでなく、PCBトレースとMOSFET間で高電圧のリングングとスパイクを発生します。PCBインダクタンスを最小限に抑えるため、このパルス状電流ループ(ホット・ループ)は、最短の円周で、短く幅広のトレースで構成する必要があります。高周波数デカップリング・コンデンサ(C_{HF})は $0.1\mu F \sim 10\mu F$ のESLおよびESRが極めて低いX5RまたはX7R誘電性セラミック・コンデンサにすることがあります。容量の大きい誘電体(Y5Vなど)を使用すると、電圧範囲および温度範囲全体の容量が大きく削減されることがあります。そのため、これらの種類のコンデンサは C_{HF} には推奨されません。

図3bは、降圧コンバータ内の重要なパルス状電流ループ(ホット・ループ)のレイアウト例を示しています。抵抗性の電圧降下とビア数を少なくするためには、電源部品を基板の同じ側に配置し、電源トレースを同じ層に配線する必要があります。電源トレースを別の層に配線する必要がある場合、連続電流の経路内のトレースを選びます。ビアを使用して高電流ループ内でPCBの層同士を接続している場合、複数のビアを使用することで、ビアのインピーダンスを最小限に抑えます。

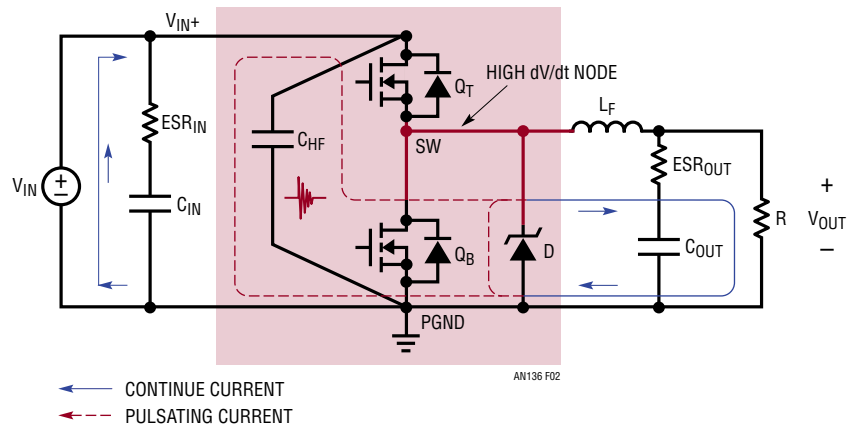


図2. 同期整流式降圧コンバータの連続電流経路とパルス状電流経路

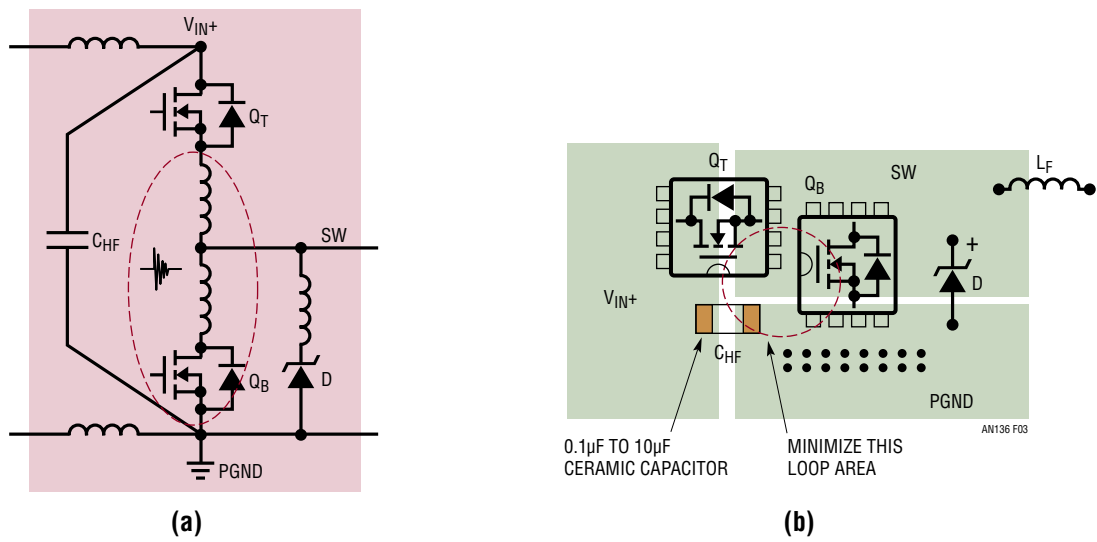


図3. 同期整流式降圧コンバータの高 di/dt ループの面積を最小化
 (a) 高 di/dt ループ (ホット・ループ) とその寄生 PCB インダクタ、(b) レイアウト例

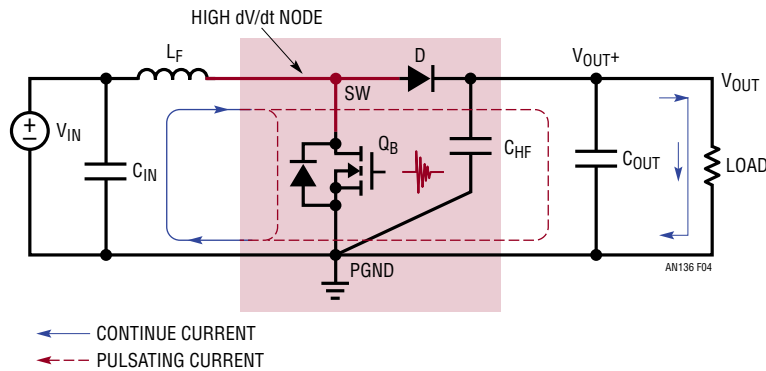


図4. 昇圧コンバータの連続電流経路とパルス状電流経路

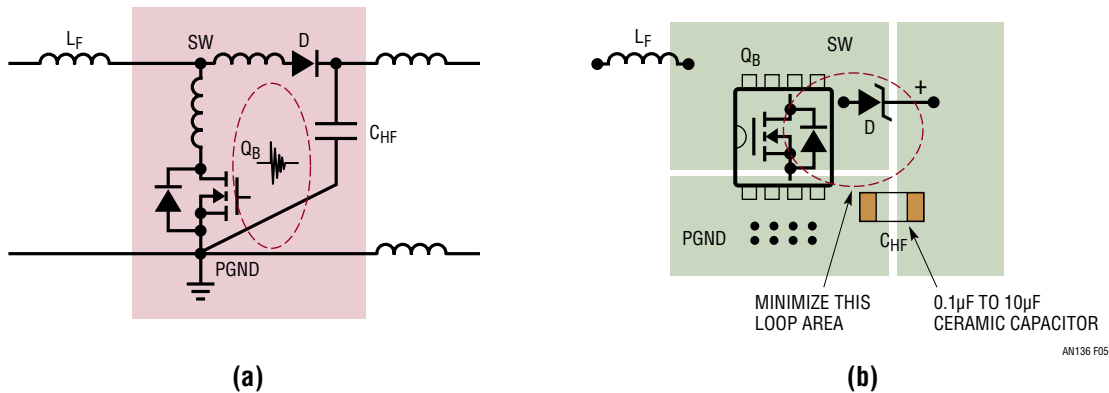


図5. 昇圧コンバータの高di/dtループの面積を最小化
(a)高di/dtループ(ホット・ループ)とその寄生PCBインダクタ、(b)レイアウト例

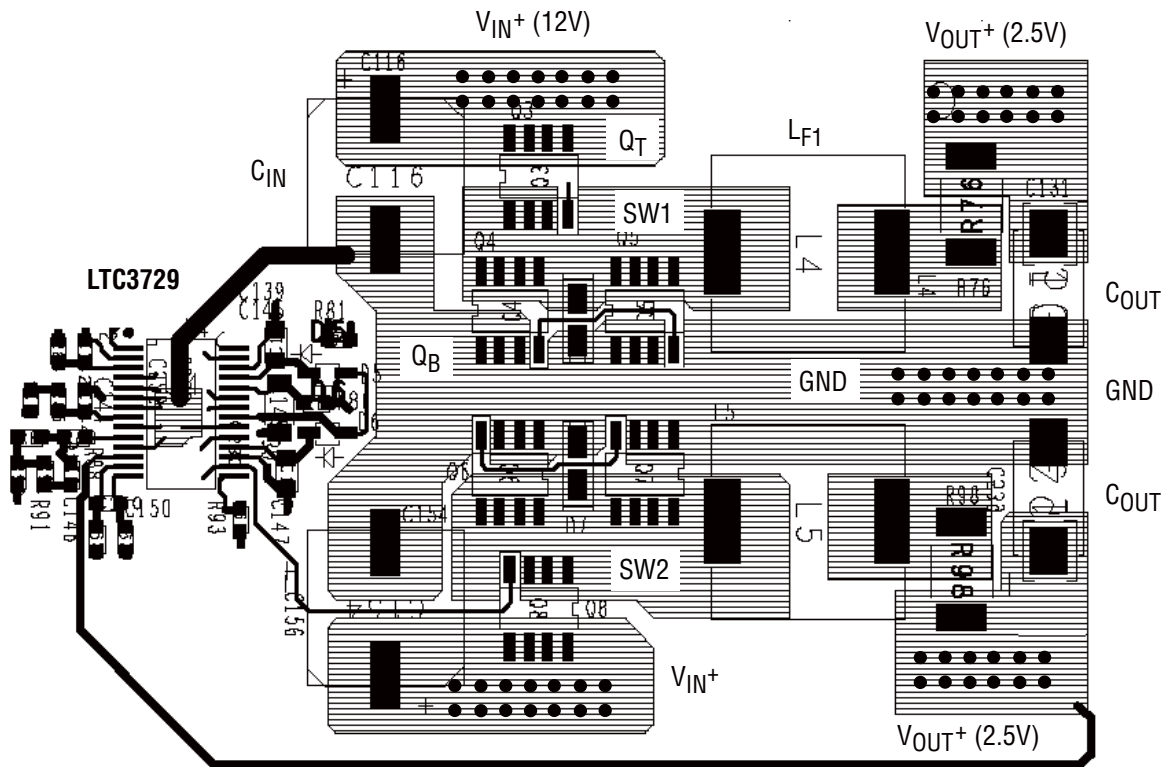
同様に、昇圧コンバータにおける連続電流ループとパルス状電流ループ(ホット・ループ)を図4に示します。この場合、高周波数のセラミック・コンデンサ(C_{HF})を、MOSFET(Q_B)と昇圧ダイオード(D)に近い出力側に配置する必要があります。スイッチ(Q_B)、整流ダイオード(D)、高周波数の出力コンデンサ(C_{HF})で構成されるループを最短にする必要があります。図5は、昇圧コンバータ内のパルス状電流ループのレイアウト例を示しています。

デカップリング・コンデンサ(C_{HF})の重要性を強調するため、同期整流式降圧回路の実際の例を図6と図7に示します。図6aは、2フェーズのシングル出力電圧コントローラICのLTC3729を使用した、デュアル・フェーズ、 $12V_{IN}$ 、 $2.5V_{OUT}/30A$ (最大)の同期整流式降圧電源を示しています。図6aに示すように、スイッチング・ノードSW1およびSW2と出力インダクタ電流(i_{LF1})の波形は、無負荷で安定しています。しかし、負荷電流が13Aを超えると、SW1ノードの波形のサイクルが飛びはじめます。負荷電流がさらに増えると、この問題はさらに悪

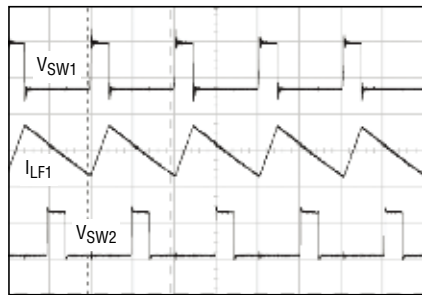
化します。1 μF の高周波数のセラミック・コンデンサを各チャネルの入力側に1つずつ追加するとこの問題が解消することを図7に示します。これにより、各チャネルのホット・ループ領域が分割され、最小化されます。スイッチング波形は、最大負荷電流の30Aでも安定です。

高dv/dtのスイッチング領域の絶縁と最小化

図2と図4において、SWノードの電圧は、 V_{IN} (または V_{OUT})とグランド間で高dv/dtで揺れ動きます。このノードは、高周波数ノイズ成分を多く含む強力なEMIノイズ源です。SWノードと他のノイズの影響を受けやすいトレース間のカップリング容量を最小化するには、SWの銅箔面積を最小に抑える必要があります。しかし、一方では、高いインダクタ電流を流し、パワーMOSFETにヒート・シンクを提供するには、SWノードのPCB面積を小さくしすぎてもなりません。通常、このSWノードの下側にグランド銅領域を配置して、シールドを強化することが推奨されます。



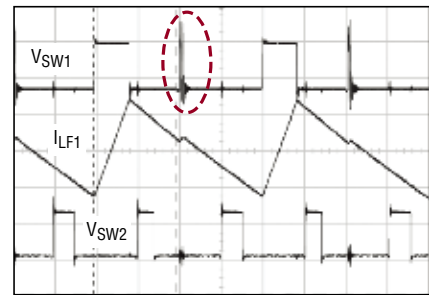
(a)



$I_{OUT} = 0A$

AN136 F06b

(b)

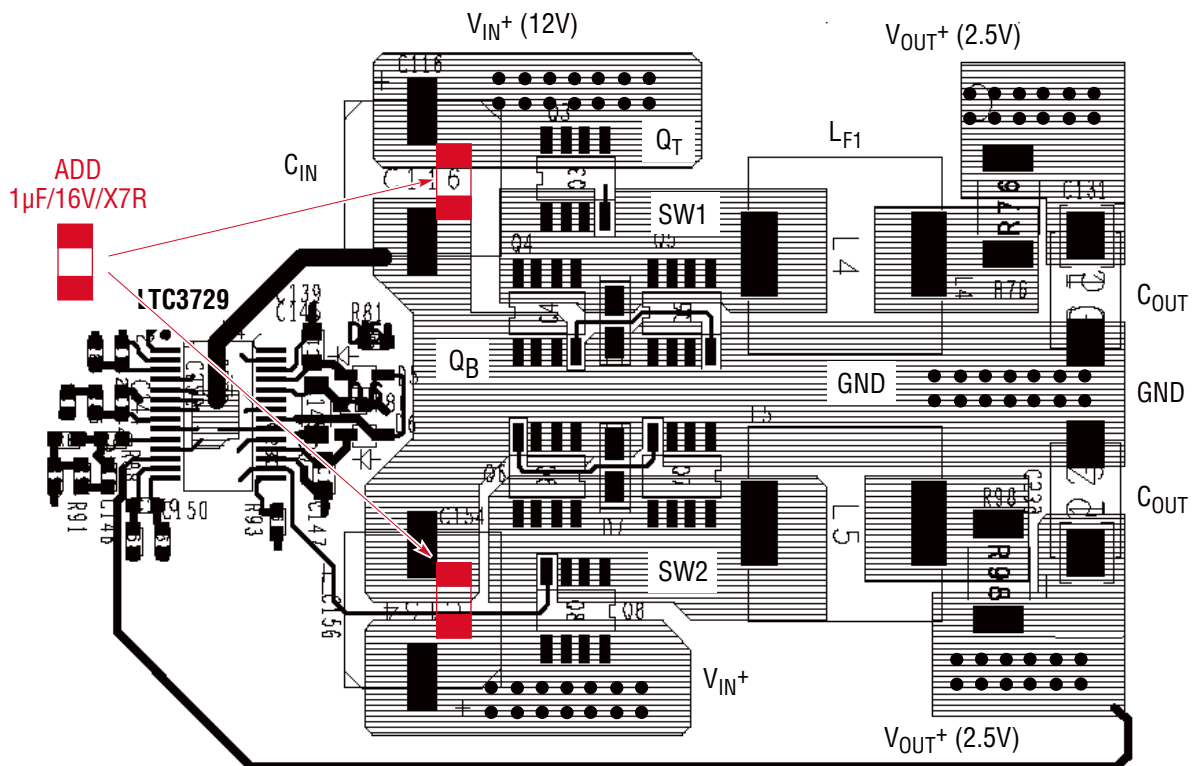


$I_{OUT} = 13.3A$

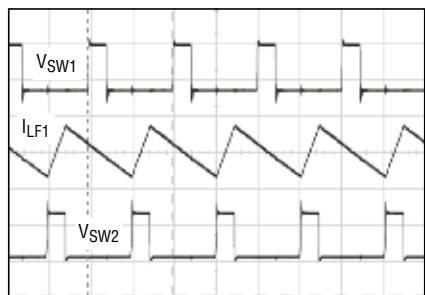
AN136 F06c

(c)

図6. ノイズの問題を持つ2フェーズ、2.5V/30A出力降圧コンバータ例。
(a)レイアウト、(b) $I_{OUT} = 0A$ 時のスイッチング波形、(c) $I_{OUT} = 13.3A$ 時のスイッチング波形



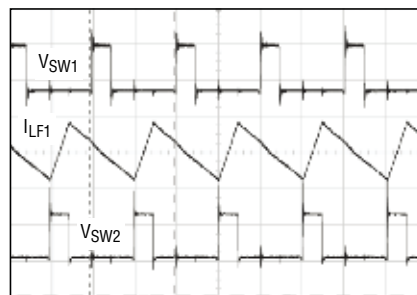
(a)



$I_{OUT} = 0A$

AN136 F07b

(b)



$I_{OUT} = 30A$

AN136 F07c

(c)

図7. 2つの1 μ F高周波数入力コンデンサで問題を解消。
 (a)コンデンサを追加したレイアウト、(b) $I_{OUT} = 0A$ 時のスイッチング波形、
 (c) $I_{OUT} = 30A$ 時のスイッチング波形

電源部品の熱応力を抑えるのに十分な銅面積

表面実装パワー MOSFET およびインダクタの外部ヒート・シンクを持たない設計においては、ヒート・シンクとして十分な銅面積が必要になります。入力/出力電圧およびパワー・グラウンドなどの DC 電圧ノードでは、銅面積をできる限り大きくすることが推奨されます。複数のビアを使用すると、熱応力をさらに低減するのに役立ちます。高 dv/dt の SW ノードにおいて、SW ノードの銅面積の適切なサイズを決めることは、dv/dt に関連するノイズを最小化することと MOSFET に優れたヒート・シンク機能を提供することの設計上のトレードオフになります。

インピーダンスを最小化するための電源部品の適切なランド・パターン

低 ESR のコンデンサ、MOSFET、ダイオード、インダクタなど、電源部品のランド(またはパッド)パターンに注意を払うことは重要です。電源部品のランド・パターンの悪い例と良い例をそれぞれ図 8a と図 8b に示します。図 8b に示すように、デカップリング・コンデンサでは、PCB の等価直列インダクタンス

(ESL) を最小限にするため、正負のビア対をできる限り近くに配置する必要があります。これは、低 ESL のコンデンサに特に効果的です。値の大きい低 ESR コンデンサは、通常高価です。ランド・パターンと配線を適切に行わないと、コンデンサの性能が低下し、全体のコストが上がります。一般的に、良いランド・パターンは、PCB ノイズと熱インピーダンスを低減し、高電流部品におけるトレース・インピーダンスと電圧降下を最小限に抑えます。

高電流の電源部品のレイアウトでよくあるミスの一つは、図 8a のように、放熱ランド・パターンを不適切に使用することです。不要な放熱ランド・パターンを使用すると、電源部品のインターコネクト・インピーダンスが増加します。電力損失が増加し、低 ESR コンデンサのデカップリング効果が低下します。ビアを使用して高電流を伝導している場合、ビアのインピーダンスを最小に抑えるため、十分な数のビアを使用する必要があります。同様に、これらのビアには放熱パターンを使用してはなりません。

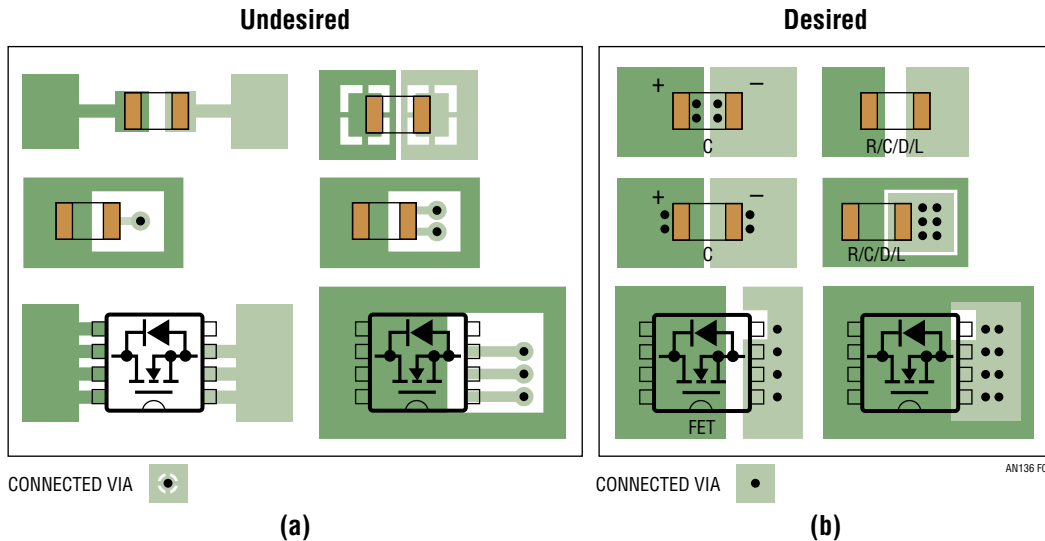


図 8. 電源部品のランド・パターンの悪い例・良い例。
 (a) 電源部品のパッドの放熱パターンの不適切な使用
 (b) 電源部品の推奨ランド・パターン

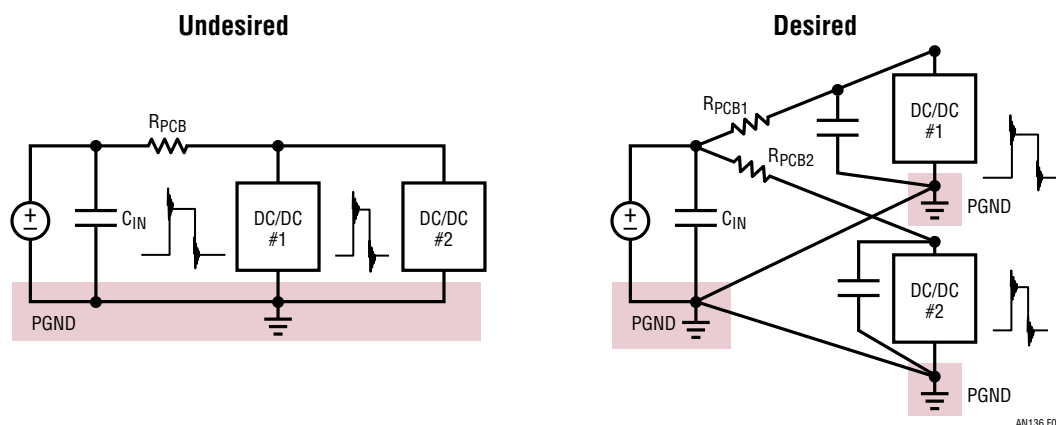


図9. 電源間の入力電流経路の分離

電源間の入力電流経路の分離

同じ電圧レールを共用するオンボード・スイッチング電源がいくつか存在するアプリケーションを図9に示します。これらの電源が互いに同期されていない場合、異なる電源間で共通インピーダンス・ノイズ結合が発生しないよう入力電流トレースを分離する必要があります。各電源にローカル入力デカップリング・コンデンサを用意する方が安心です。

PolyPhase® シングル出力コンバータ

PolyPhaseのシングル出力コンバータでは、各フェーズに対称のレイアウトを心がけます。これは、熱応力のバランスを取るのに役立ちます。

レイアウト設計例 – 1.2V/40A デュアル・フェーズ降圧コンバータ

PolyPhase 電流モード降圧コントローラLTC3855を使用した4.5V ~ 14V_{IN}、1.2V/40A (最大)のデュアル・フェーズ同期整流式降圧コンバータを図10に示します。PCBレイアウトを始める前に、回路図のトレースの中で高電流トレース、ノイズの多い高dv/dtトレース、ノイズの影響を受けやすい小信号トレースを別々の色で塗り、PCB設計者がこれらのトレース間の違いを理解できるようにすることを推奨します。この1.2V/40A電源の電源部品層のパワー・ステージ・レイアウトの例を図11に示します。この図において、Q_Tはトップ側制御MOSFETで、Q_Bはボトム側同期整流式FETです。より大きな出力電流に対応するため、オプションでQ_Bの面積を追加できます。ベタのパワー・グラウンド・プレーン層が電源部品層の真下に配置されます。

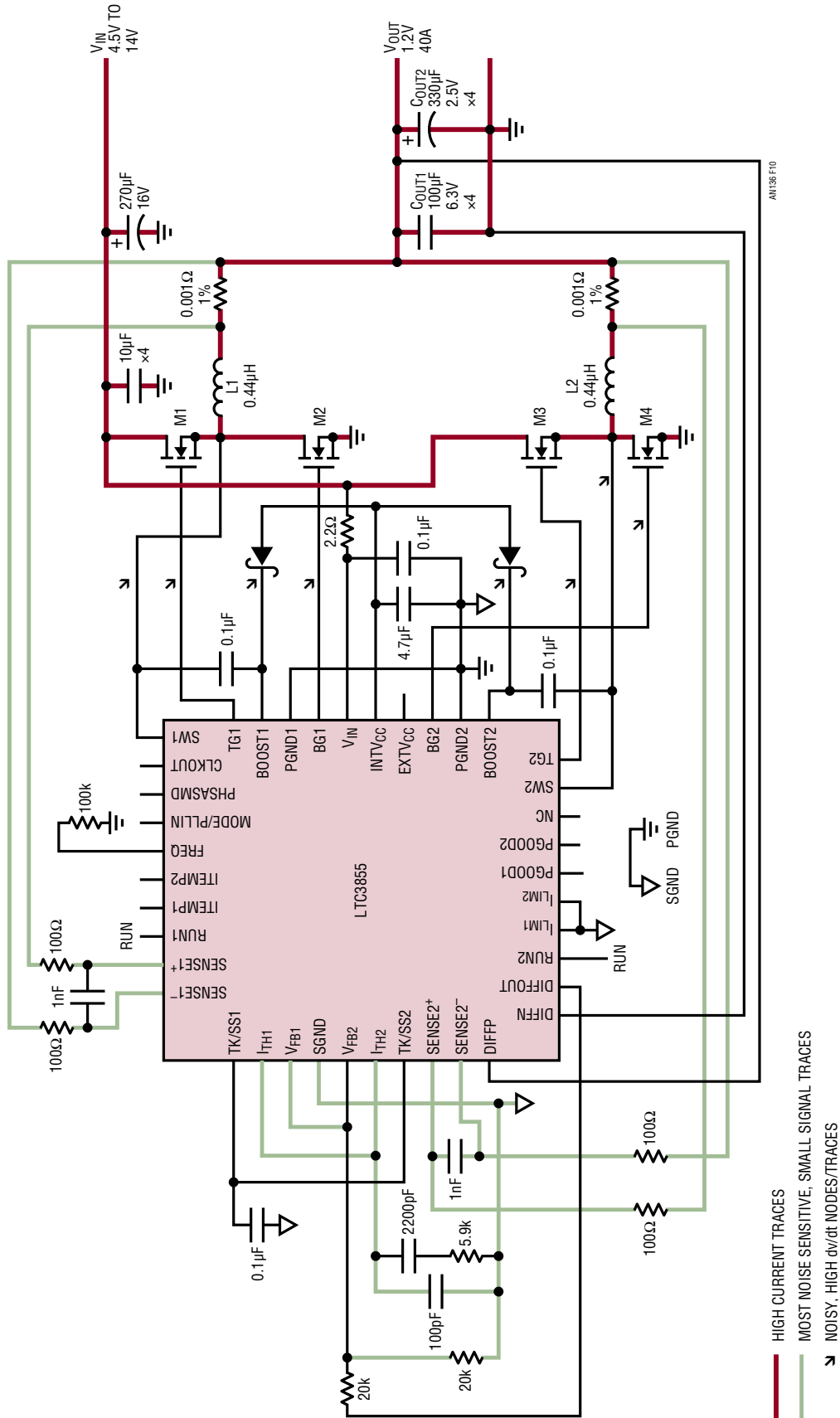


図 10. デュアル・フェーズ1.2V/40A (最大) LTC3885 を使用した降圧コンバータ

- HIGH CURRENT TRACES
- MOST NOISE SENSITIVE, SMALL SIGNAL TRACES
- ↘ NOISY, HIGH dv/dt NODES/TRACES

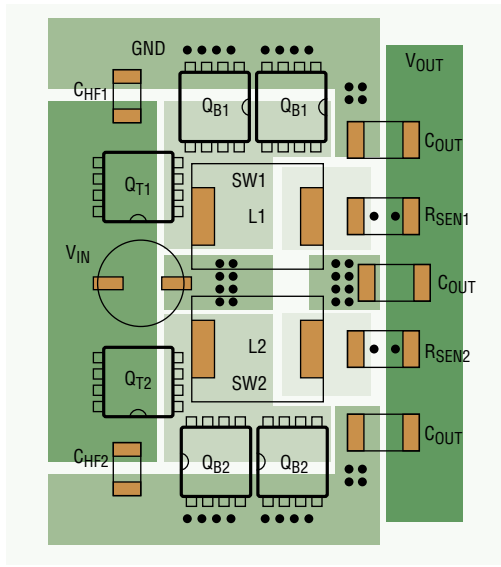


図11. デュアル・フェーズのシングル電圧出力降圧コンバータのパワー・ステージ・レイアウト例

制御回路のレイアウト

制御回路の位置

制御回路は、ノイズの多いスイッチング銅箔領域から離して配置する必要があります。制御回路は、降圧コンバータの場合 V_{OUT}^+ 、昇圧コンバータの場合 V_{IN}^+ 側（つまり電源トレースに連続電流が流れる側）の近くに配置することが推奨されます。面積的に可能であれば、ノイズが多くて熱を持つパワー MOSFET とインダクタから少し（0.5～1 インチ）離れた場所に制御 IC を配置します。しかし、面積的な制約でコントローラをパワー MOSFET とインダクタの近くに配置しなければならない場合、グラウンド・プレーンまたはトレースを使用して制御回路を電源部品から分離するために特別な注意を払います。

信号グラウンドとパワー・グラウンドの分離

制御回路は、パワー・ステージ・グラウンドとは別の信号（アナログ）グラウンド・アイランドを持つ必要があります。コントローラ IC 上に別々の信号グラウンド（SGND）ピンとパワー・グラウンド（PGND）ピンがある場合、それらは別々に配線しなければなりません。MOSFET ドライバが内蔵されているコントローラ IC では、図 12 に示すように、IC ピンの小信号セクションに SGND を使用する必要があります。SGND と PGND 間には

1つの接続ポイントのみが必要です。SGND は、PGND プレーンのクリーン・ポイントに戻すことを推奨します。2つのグラウンドは、両グラウンド・トレースをコントローラ IC の直下で接続することで実現できます。図 12 は、LTC3855 電源で推奨されるグラウンド分離を示しています。この例では、IC は露出 GND パッドを備えています。電気インピーダンスと熱インピーダンスを最小限に抑えるため、PCB にハンダ付けする必要があります。この GND パッド領域には複数のビアを配置する必要があります。

コントローラ IC のデカップリング・コンデンサ

コントローラ IC のデカップリング・コンデンサは、そのピンに物理的に近い場所に配置する必要があります。接続インピーダンスを抑えるため、デカップリング・コンデンサはビアを使用せず、直接ピンに接続することを推奨します。図 12 に示すように、LTC3855 の電流センス・ピン（SENSE⁺/SENSE⁻）、補償ピン（I_{TH}）、信号グラウンド・ピン（SGND）、帰還電圧分割器ピン（FB）、IC の V_{CC} 電圧ピン（INTV_{CC}）、およびパワー・グラウンド・ピン（PGND）には、対応するデカップリング・コンデンサを近くに配置する必要があります。

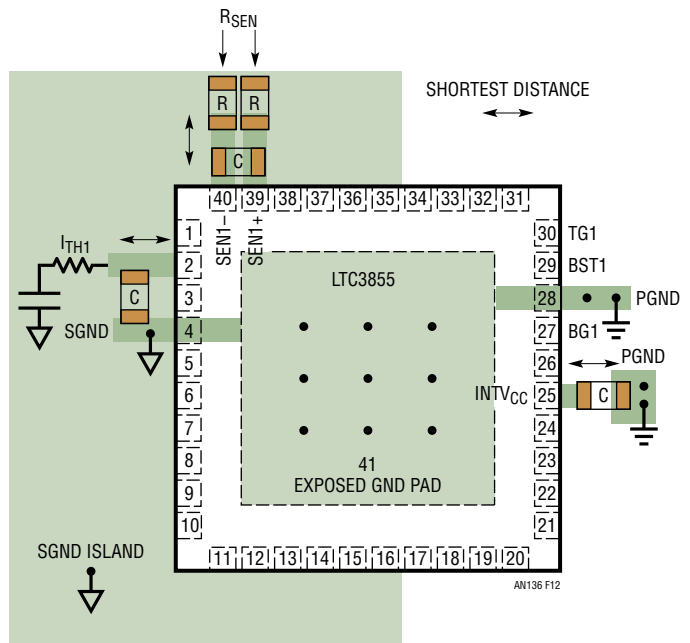


図12. コントローラICのデカップリング・コンデンサとグラウンドの分離

ループ面積とクロストークの最小化

ノイズの多いトレースとノイズの影響を受けやすいトレースの分離

2つ以上の隣接するコンダクタは、容量的に結合する可能性があります。1つのコンダクタで高 dv/dt の電圧変化があると、寄生容量を通して他のコンダクタに電流が結合します。パワー・ステージから制御回路へのノイズ結合を削減するため、ノイズが多いスイッチング・トレースをノイズの影響を受けやすい小信号トレースから離しておく必要があります。可能な場合、ノイズの多いトレースとノイズの影響を受けやすいトレースを別々の層に配線し、ノイズのシールド用に内部グランド層を挟みます。LTC3855 コントローラにおいて、高 dv/dt のスイッチング電圧を持つピンは FET ドライバの TG、BG、SW、および BOOST ピンです。ノイズに最も影響を受けやすい小信号ノードに接続されているピンは、SENSE⁺/SENSE⁻、FB、I_{TH}、SGND ピンです。これらのノイズの影響を受けやすい信号トレースを高 dv/dt ノードの近くに配線する場合、ノイズの影響を受けやすい信号トレースと高 dv/dt のトレースの間にグランド・トレースまたはグランド層を挿入してノイズをシールドする必要があります。

ゲート・ドライバのトレース

ゲート・ドライバ経路のインピーダンスを最小限にするため、ゲート・ドライブ信号を配線するトレースは短く幅広にする必要があります。図 13 に示すように、トップ側 FET ドライバのトレースの TG と SW は、インダクタンスと高 dv/dt ノイズを最小限にするため、最小のループ面積で一緒に配線する必要があります。同様に、ボトム側 FET ドライバのトレースの BG は、PGND トレースの近くに配線する必要があります。PGND 層が BG トレースの下に配置されている場合、ボトム側 FET の AC グランド・リターン電流は、BG トレースの近くの経路で自動的にカップリングされます。AC 電流は、ループ/インピーダンスが最小になる場所を流れます。この場合、ボトム側ゲート・ドライバ用の PGND リターン・トレースを別に用意する必要はありません。ゲート・ドライバのトレースを配線する層の数を少なくすることが推奨されます。これにより、ゲート・ノイズが他の層に伝搬するのを防ぐことができます。

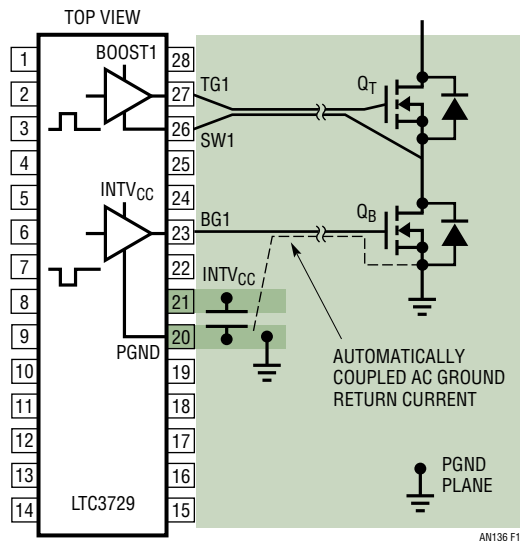


図 13. MOSFET のゲート・ドライバ・トレース配線

アプリケーションノート136

電流センス・トレースと電圧センス・トレース

あらゆる小信号トレースの中で最もノイズの影響を受けやすいのが、電流センス・トレースです。電流センス信号の振幅は、通常100mV未満で、ノイズの振幅と同等です。LTC3855の例では、図14に示すように、 di/dt に関連するノイズを拾う可能性を最小限にするため、SENSE⁺/SENSE⁻トレースは最小の間隔で並列に配線(ケルビン検出)する必要があります。さらに、電流センス・トレース用のフィルタ抵抗とコンデンサは、ICピンのできる限り近くに配置する必要があります。これにより、長いセンス線にノイズが入った場合に、最も効果的なフィルタを行えます。インダクタDCR電流センスをR/Cネットワークとともに使用する場合、DCRセンス抵抗(R)はインダクタの近くに配置し、DCRセンス・コンデンサ(C)はICの近くに配置する必要があります。SENSE⁻へのトレースのリターン経路にビアを使用している場合、このビアは別の内部V_{OUT}⁺層に接触してはなりません。そのビアに大きなV_{OUT}⁺電流が流れ、電圧降下によって電流センス信号が歪む可能性があるためです。

電流センス・トレースをノイズの多いスイッチング・ノード(TG、BG、SW、BOOSTトレース)の近くに配線しないでください。可能な場合、電流センス・トレースとパワー・ステージ・トレースのある層の間にグランド層を配置してください。

コントローラICが差動電圧リモート・センス・ピンを備えている場合、正と負のリモート・センス・トレースに別々のトレースをケルビン・センス接続とともに使用します。

トレース幅の選択

電流レベルとノイズ感度は、特定のコントローラ・ピンごとに異なります。そのため、特定のトレースの幅は、異なる信号に対して選択する必要があります。一般的に、小信号ネットの幅は狭くてよく、10~15mil幅のトレースで配線できます。高電流ネット(ゲートをドライブするV_{CC}およびPGND)は短く幅広のトレースで配線しなければなりません。これらのネットには少なくとも20mil幅を推奨します。

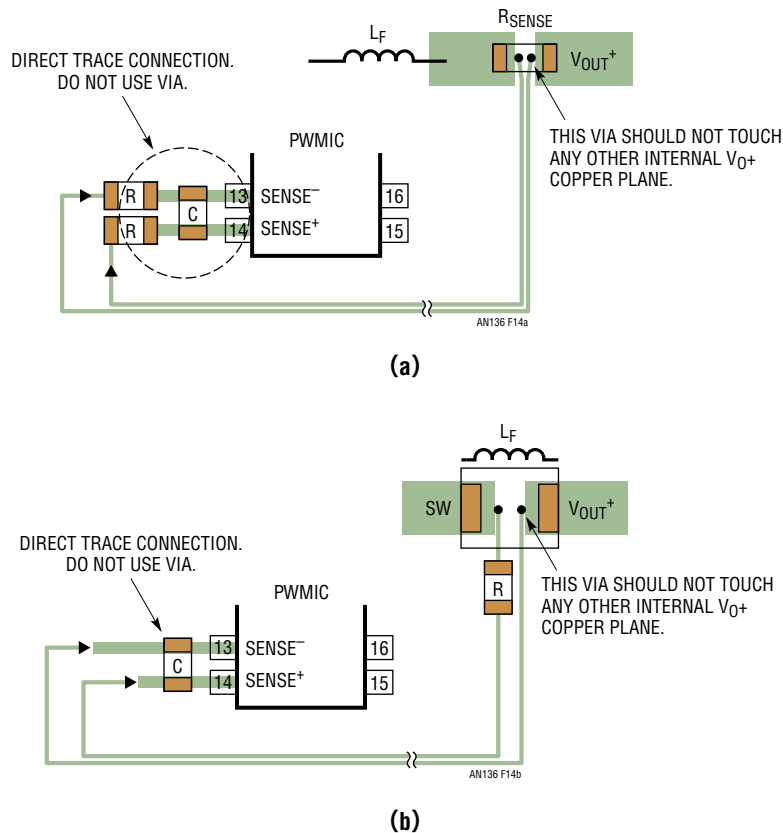


図14. (a) R_{SENSE} および (b) インダクタ DCR センスによる電流センス時のケルビン検出

まとめ

電源設計レイアウトのチェックリスト

本稿で述べたレイアウト設計の考慮事項のまとめとして、図10に示すデュアル・フェーズLTC3855を使用した電源に対するチェックリストの例を表1に示します。このようなチェックリストを使用すると、設計者は適切な電源レイアウト設計を行うことができます。

表1.LTC3855電流モード降圧電源のレイアウト・チェックリスト例

項目/コメント	はい/いいえ
1.レイアウト計画	
1.0	システムの機械的および熱的制約を理解します。大規模システムの初期段階/計画段階において、電源に十分な基板面積を確保しておきます。最後の段階になるまで後回しにはなりません。
1.1	電源の出力コンデンサは電源負荷に物理的に近い場所に配置します。 -出力コンデンサと高速過渡応答負荷間のインピーダンスを最小化するため。
1.2	冷却ファンの近くに電源を配置し、風通しを良くします。 -電源の冷却を最適化するため。
1.3	電源層と小信号層の間にグラウンド層を配置します(図1)。 -電源部品層の電流を戻し、ノイズの影響を受けやすい小信号トレースをパワー・ステージのスイッチング・ノイズからシールドするため。
1.4	回路図で、高電流トレース、ノイズの多いトレース、ノイズの影響を受けやすい小信号トレースを色分けして区別します。
1.5	PCB基板のトップ側とボトム側の部品を決定します。電源部品をすべて同じ側に配置するよう心がけます。
2.パワー・ステージのレイアウト	
2.1	最初に電源部品を配置します。入力コンデンサ、パワーFET、インダクタ、 R_{SENSE} 、出力コンデンサを流れる高電流経路の長さが最短になるように配置します。 -PCBのインピーダンスと高電流経路上の導通損失を最小化するため。
2.2	コンデンサ、FET、ダイオード、インダクタ、電流センス抵抗などの電源部品には、ベタの低インピーダンスのランド・パターンを使用します。 V_{IN} 、 V_{OUT} 、GNDには大きな銅箔プレーンを使用します(図8)。 -トレース・インピーダンスと電源部品の熱応力を最小化するため。
2.3	高電流の電源層には、厚い銅層または複数の層を使用します。 -PCBの導通損失と熱応力を最小化するため。
2.4	電源トレースを別の層に配線する必要がある場合、低 di/dt 経路のトレースを選び、相互接続には複数のビアを使用してください。 -層間のノイズの伝搬と接続インピーダンスを最小化するため。
2.5	トップ側FET(Q_T)、ボトム側FET(Q_B)、セラミック入力フィルタ・コンデンサ(C_{HF})を含むパルス状電流ループ面積を最小に抑えます(図3)。 -パルス状電流ループ(ホット・ループ)のインダクタンスを最小化し、スイッチング・ノイズを吸収するため。
2.6	高 dv/dt のSWノード領域を最小限にし、分離/シールドします。 -高 dv/dt のSWノードからのEMIノイズ源を最小化するため。
2.7	同一の入力レールに複数の電源が存在する場合(図9)で、その電源が同期されていない場合、電源間の入力電流経路を分離します。各電源にローカル入力デカップリング・コンデンサを用意します。 -電源間の共通インピーダンス・ノイズ結合を防ぐため。
2.8	PolyPhaseコンバータ。各フェーズに対称的なレイアウトを心がけます。各フェーズにローカル・セラミック・デカップリング・コンデンサを用意します。

アプリケーションノート136

表 1. LTC3855 電流モード降圧電源のレイアウト・チェックリスト例

	項目/コメント	はい/いいえ
3. 制御回路のレイアウト		
3.1	制御回路は出力コンデンサまたは入力コンデンサに近い静かな場所に配置します。 - 制御回路へのノイズを最小化するため。	
3.2	I _{TH} 、SGND、SENSE ⁺ /SENSE ⁻ 、FB、V _{DIFFOUT} 、FREQ、MODE/PLLIN、RUN、TK/SS、I _{LIM} 、PHASMD、PGOODの小信号ピンへの部品について、別々のSGNDグラウンド・アイランドを使用します(図12)。グラウンド接続は短くし、SGNDアイランドに直接接続します。 - 制御回路へのノイズを最小化するため。	
3.3	INTV _{CC} コンデンサにはPGNDを使用します(図12)。	
3.4	SGNDとPGNDの間には単一の接続ポイントを使用します。推奨する1つの箇所はICの下部です(図12)。ICが露出グラウンド熱パッドを備えている場合、このパッドをPCBに接続し、他のSGND/PGND層に複数のビアを使用します。 - SGNDノイズを最小化し、低インピーダンス・ゲート・ドライバ電流リターン経路を提供するため。	
3.5	SENSE ⁺ /SENSE ⁻ 、I _{TH} 、SGND、FB、INTV _{CC} 、PGNDのピンでは、そのセラミック・デカップリング・コンデンサを同一のコントロール層の近くに配置し、直接接続する必要があります(図12)。 - 接続インピーダンスを最小化し、HFコンデンサとのノイズ・デカップリングを最適化するため。	
3.6	電流センス・トレース - 近くに配線されたSENSE ⁺ /SENSE ⁻ トレースにはケルビン検出が必要です(図14)。SENSE ⁻ ビアは内部V _{OUT} ⁺ プレーンに接触してはなりません。SENSE ⁺ /SENSE ⁻ トレースはTG、SW、BOOST、およびBGネットと分離する必要があります。SENSE ⁺ /SENSE ⁻ ピンとそのフィルタ・コンデンサ間は直接トレース接続します。フィルタ(C)は、SENSE ⁺ /SENSE ⁻ ピンの近くに配置する必要があります。 - SENSE ⁺ /SENSE ⁻ 電流センス・ループがノイズを拾うのを最低限に抑えるため。SENSE ⁺ /SENSE ⁻ トレースは、最もノイズの影響を受けやすい小信号(< 75mV)トレースです。	
3.7	リモート電圧センス・トレースであるV _{OS} ⁺ とV _{OS} ⁻ は、一対のトレースで一緒に配線します。 - ノイズとセンス誤差を最小化するため。	
3.8	ゲート・ドライバのトレース - TGおよびSWのトレースは最小のループ面積で一緒に配線しなければなりません(図13)。TG、SW、BGのトレースは1つの層上のみ配線するよう心がけます。 - 高dv/dtのゲート・ドライバ・トレースからのノイズ源を最小化するため。	
3.9	ノイズの影響を受けやすい小信号トレースとノイズの多いトレース/プレーンとの間に間隔を空けます。最もノイズの影響を受けやすいトレースは、SENSE ⁺ /SENSE ⁻ 、FB、I _{TH} 、SGNDなどです。ノイズの多いトレース/プレーンは、SW、TG、BOOST、BGなどです。可能な場合、ノイズの多いトレース/層と小信号トレース/層の間にグラウンド・トレース/層を配置します。 - ノイズの多いトレースと小信号トレース間の容量性ノイズ・カップリングを最小化するため。	
3.10	トレース幅 - INTV _{CC} 、PGND、TG、BG、SW、およびBOOSTのコントロール・トレースの幅は少なくとも20 milである必要があります。 - トレース・インピーダンスを最小化するため。	