

機能動作が可能な柔軟なシステム設計を実現するために、
AD5592R/AD5592R-1 を制御およびモニタリング用に設定する方法

著者 : Vikash Sethia

はじめに

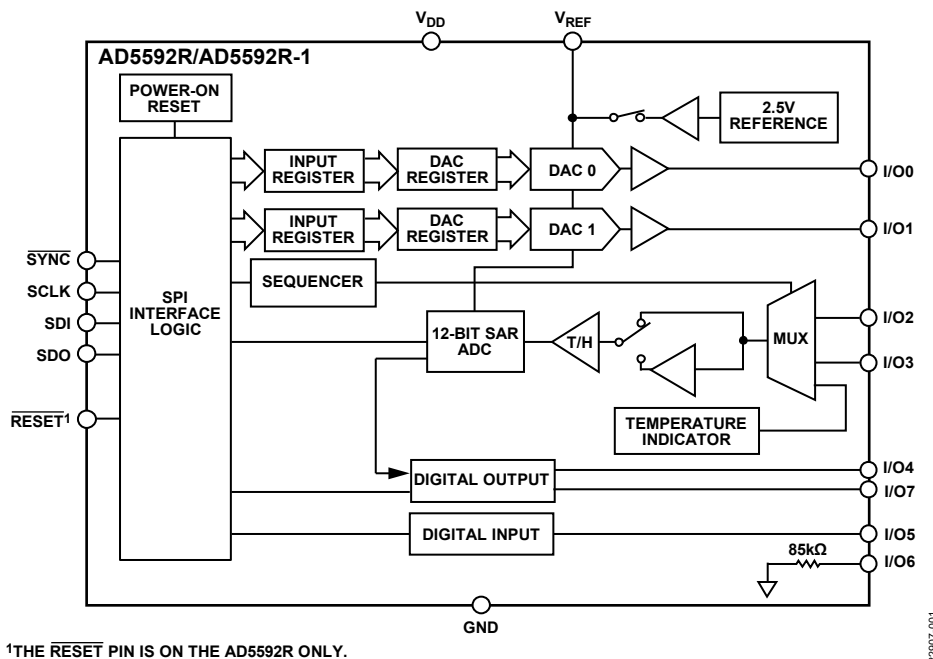
AD5592R/AD5592R-1 は、設定変更可能な 8 チャンネル、12 ビットの A/D コンバータ (ADC) または D/A コンバータ (DAC) です。各チャンネルには、入出力 (I/Ox) ピン (I/O0~I/O7) があり、個別に、アナログ出力、アナログ入力、デジタル出力、デジタル入力、85kΩ プルダウン抵抗、またはスリーステート・ピンに設定できます。アナログ出力に設定された場合、I/Ox ピンは 12 ビット DAC チャンネルとして機能し、アナログ入力に設定された場合は、マルチプレクサを使用した ADC チャンネルとして機能します。デジタル出力に設定された場合は、I/Ox ピンはプッシュ・プルまたはオーブンドレイン出力として設定され、デジタル入力に設定された場合は、汎用入出力のステータスを読み出すことができます。

あるいは、プルダウン抵抗を介して GND に接続するように設定されると、I/Ox ピンはロジック入力、マイクロコントローラ、またはロジック・ゲートに接続できます。また、複数デバイスの I/Ox ピンが同じ信号パスに接続されている場合は、スリーステートにすることもできます。

更に、I/O7 ピンはオンチップ ADC 変換の $\overline{\text{BUSY}}$ 出力インジケータに設定することもできます。

AD5592R/AD5592R-1 の主なアプリケーションは、その柔軟性と小型サイズであることを活かした制御とモニタリングです。AD5592R/AD5592R-1 のデータシートに記載の最新の機能ブロック図を参照してください。

このアプリケーション・ノートでは、AD5592R/AD5592R-1 の設定方法について説明しますが、AD5592R/AD5592R-1 のデータシートを併用する必要があります。



¹THE RESET PIN IS ON THE AD5592R ONLY.

図 1. 設定後の AD5592R/AD5592R-1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1	BUSY信号 (I/O7)	9
改訂履歴.....	2	単一読出し.....	9
デバイス・ピン設定.....	3	繰返し読出し.....	11
シリアル・インターフェース.....	3	温度リードバック	12
パワーオン・リセット.....	3	デジタル入出力.....	13
その他の設定.....	4	デジタル出力.....	13
DACの動作.....	7	デジタル入力.....	13
単一チャンネル更新.....	7	スリーステートとしての I/O チャンネル	14
同期更新.....	7	85kΩ プルダウン抵抗ピンとしての I/O チャンネル.....	14
全チャンネル更新.....	8		
ADCの動作.....	9		

改訂履歴

1/2021—Revision 0: Initial Version

デバイス・ピン設定

AD5592R/AD5592R-1 には、8 チャンネルの設定変更可能なアナログおよびデジタル入出力ポートがあります。これらのデバイスには 8 個のピンがあり、それぞれ、12 ビット DAC 出力チャンネル、12 ビット ADC 入力チャンネル、デジタル入力ピン、またはデジタル出力ピンに設定できます。各ピンの機能は、ADC、DAC、または GPIO 設定レジスタを適切にプログラムすることで決められます。

表 1 および図 1 に代表的な設定を示します。ここでは、I/O0 と I/O1 が DAC、I/O2 と I/O3 が ADC、I/O4 がデジタル出力、I/O5 がデジタル入力にそれぞれ設定され、I/O6 は 85kΩ 内蔵抵抗を GND に接続したプルダウンとして設定されているデフォルトのパワーアップ状態のままです。I/O7 は、ADC 変換が I/O2 または I/O3 で実行された場合にそれを示す、BUSY 信号に設定されています。

表 1. I/Ox ピン設定

チャンネル	出力
I/O0	DAC
I/O1	DAC
I/O2	ADC
I/O3	ADC
I/O4	デジタル出力
I/O5	デジタル入力
I/O6	85kΩ 内蔵抵抗を GND に接続したプルダウン
I/O7	ADC 変換の実行を示す BUSY 信号

シリアル・インターフェース

AD5592R/AD5592R-1 には、シリアル・ポート・インターフェース (SPI) 規格やほとんどのデジタル・シグナル・プロセッサ (DSP) に適合する、シリアル・インターフェース (SYNC、SCLK、SDI、SDO) があります。入力シフト・レジスタは 16 ビット幅です。MSB (D15) は必要とされる書き込み機能のタイプを決定します。D15 が 0 の場合、コントロール・レジスタへの書き込みが選択されます。コントロール・レジスタのアドレスは、D14~D11 で選択されます。D10 および D9 は予備で、0 に設定されています。D8~D0 は、選択したコントロール・レジスタに書き込まれるデータを設定します。D15 が 1 の場合、データは DAC チャンネルに書き込まれます (チャンネルが DAC に設定されていると仮定)。D14~D12 は、対象となる DAC を選択します。D11~D0 は、選択した DAC にロードされる 12 ビット・データで、D11 が DAC データの MSB です。

表 2. I/Ox ピンを設定するために SPI コマンド

コマンド	レジスタ書き込み					説明
	MSB	アドレス	予備	予備/BUSYをイネーブル	[I07:I00]	
	D15	[D14:D11]	[D10:D9]	D8	[D7:D0]	
1	0	0101	00	0	0000 0011	I/O0 ピンと I/O1 ピンを DAC に設定するため。
2	0	0100	00	0	0000 1100	I/O2 ピンと I/O3 ピンを ADC に設定するため。
3	0	1000	00	1	1001 0000	I/O4 ピンをデジタル出力、I/O7 を ADC 変換ステータスの BUSY 信号に設定するため。

SPI は 4 つの伝送モードを定義します。SPI マスタは通常、4 つのモード全てをサポートできますが、予め確認しておく必要があります。マスタが特定のモードに適合しない場合もあるためです。図 2 に示すように、モードは、SCLK レベル (極性 (CPOL) とも呼ばれます)、伝送の開始時期 (CS または SYNC がローにプル)、およびサンプリング・エッジ (位相 (CPHA) とも呼ばれます) によって異なります。SPI についての優れた入門的解説と様々な動作モードについては、アプリケーション・ノート AN-1248 を参照してください。AD5592R/AD5592R-1 の SPI は、CPOL = 0 および CPOL = 1 の伝送モードと CPHA = 1 の伝送モードに対応します。

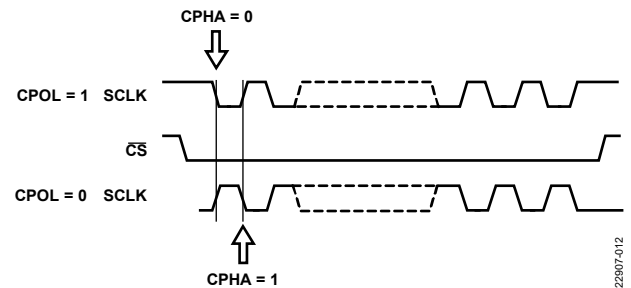


図 2. SPI のタイミング

読みまたは書き込みシーケンスは、SYNC ラインをローにすることで開始されます。SDI のデータは、SCLK の立下がりエッジで 16 ビット・シフト・レジスタにクロック・インされ、SDO のデータは SCLK の立上がりエッジでシフト・アウトされます。16 番目の立下がりクロック・エッジの後に最終データ・ビットがクロック・インされます。次いで、SYNC がハイになり、プログラムされた機能が実行されます。SYNC は、次の読みまたは書き込みトランザクションの前に最低 20ns の間ハイになる必要があります。詳細については、AD5592R/AD5592R-1 のデータシートを参照してください。

パワーオン・リセット

AD5592R/AD5592R-1 に電源が投入されると、パワーオン・リセット (POR) ブロックがデバイスを初期化し、レジスタにデフォルト値をロードします。デバイスの初期化プロセスには 250μs を要します。この間はレジスタに書き込みを行うことはできません。

POR シーケンスが完了したら、表 2 に示す SPI コマンドを使用して I/Ox チャンネルを設定できます。

コマンド	レジスタ書込み					説明
	MSB	アドレス	予備	予備/BUSYをイネーブル	[I07:I00]	
	D15	[D14:D11]	[D10:D9]	D8	[D7:D0]	
4	0	1010	00	0	0010 0000	I/O5 ピンをデジタル入力に設定するため。
5	0	0110	00	0	0100 0000	I/O6 ピンを、85kΩ 内蔵抵抗を GND に接続したプルダウンに設定するため（電源投入時のデフォルト状態）。

その他の設定

I/Ox ピンを表 1 に示す値で設定した後、電圧リファレンス、DAC 出力電圧範囲、ADC 入力電圧範囲、ADC 内部バッファを選択します。

ADC の設定

ADC に設定された場合、I/Ox ピンはアナログ・マルチプレクサを介して、12 ビットのスイッチド・キャパシタ入力 of 逐次比較レジスタ (SAR) ADC に接続されます。SAR ADC のアーキテクチャの詳細については、MT-021 チュートリアルを参照してください。設定変更可能な ADC 機能には、電圧リファレンス、入力電圧範囲、内部バッファの選択が含まれます。

AD5592R/AD5592R-1 には 2.5V、20ppm/°C のリファレンスが内蔵されていますが、デフォルトではオフになっています。この内蔵リファレンスがパワーアップされると（パワーダウン/リファレンス・コントロール・レジスタの EN_REF ビットを使用）、リファレンス電圧が V_{REF} ピンに発生します。リファレンスがパワーダウンしている場合は、外部リファレンスを V_{REF} ピンに接続する必要があります。汎用コントロール・レジスタには ADC 範囲ビットがあり（表 3 を参照）、チャンネル入力範囲を 0V~V_{REF}（ゲイン 1）または 0V~2 × V_{REF}（ゲイン 2）に設定します（図 3 および図 4 を参照）。

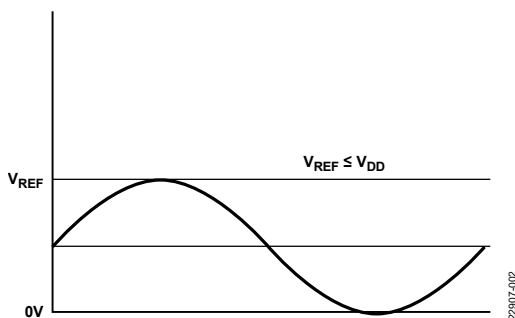


図 3. ゲイン = 1 の場合の ADC の入力電圧範囲

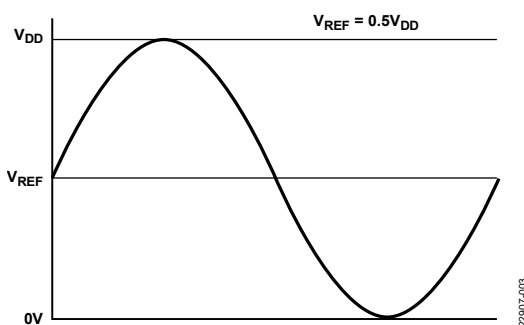


図 4. ゲイン = 2 の場合の ADC の入力電圧範囲

ADC 入力に設定された I/Ox ピンに流入する電流は、サンプリング・レート (f_s)、連続するチャンネル間の電圧差 (V_{DIFF})、使用モードがバッファ・モードか非バッファ・モードかによって異なります。バッファ・モードの場合、汎用コントロール・レジスタの ADC バッファ・イネーブル・ビットを使用して、ADC 内部バッファをイネーブルできます。図 5 に、ADC 入力構造の簡略化した図を示します。新しいチャンネルが変換に選択された場合、5.8pF のコンデンサが充電されるか、以前に選択されていたチャンネルの電圧がそのコンデンサから放電される必要があります。この充放電に必要な時間は、2 つのチャンネルの電圧差によって異なります。これによりマルチプレクサの入力インピーダンスが影響を受け、そのため、I/Ox ピンに流入する電流も影響されます。

バッファ・モードでは、スイッチ S1 がオープン、スイッチ S2 がクローズとなりますが、この場合、U1 バッファが 23.1pF のコンデンサを直接駆動し、その充電時間は無視できます。非バッファ・モードではスイッチ S1 がクローズ、スイッチ S2 がオープンとなります。非バッファ・モードの場合、23.1pF のコンデンサは I/Ox ピンから更に充電する必要があり、これが入力電流に加わります。ADC 入力電流が過度に大きいアプリケーションでは、外部入力バッファが必要になることもあります。バッファの選択は、アプリケーションによって異なります。

汎用コントロール・レジスタの ADC バッファ・プリチャージ・ビットを使用して ADC をプリチャージするオプションもあります。選択されたチャンネルが変換のためにサンプリングされている場合、プリチャージ・バッファは実質的に、SAR ADC からのスイッチング・キックバックを緩和する助けとなります。プリチャージ・バッファはフル機能のバッファではなく、外部ドライバ・オペアンプの代わりとはなりません。アナログ入力プリチャージ・バッファは、サンプリング・フェーズの最初の部分で内蔵スイッチド・キャパシタ・ネットワークの初期充電を行います。サンプリング・フェーズの残りの部分では、バッファは自動的にバイパスされ、外部ドライバによって高精度のセットリング電荷が供給されます。これによって、外部オペアンプの駆動条件が緩和され、場合によってはより低消費電力のオペアンプを使用できます。

内蔵 ADC バッファを使用する場合、0V~5mV に不感帯があります。つまり、この帯域では ADC の動作は不正確です。内蔵 ADC バッファがディスエーブルの場合、不感帯は存在せず、ADC 入力の入力範囲は 0V~V_{REF} となります。全ての ADC 入力チャンネルが同じ入力範囲を共有する点に注意してください。

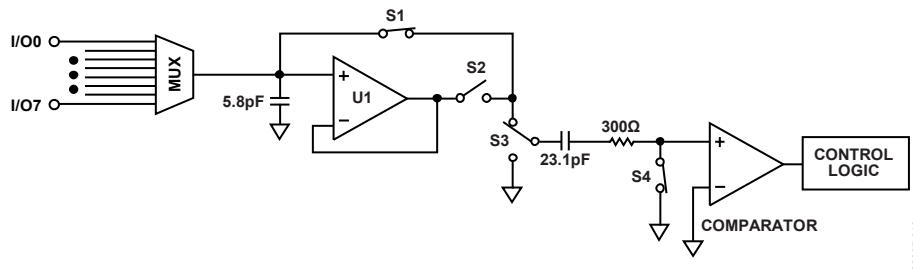


図 5. ADC 入力の構造

DAC の設定

I/Ox ピンを DAC に設定した場合、I/Ox ピンは出力バッファを内蔵する 12 ビットのセグメント化した抵抗ストリング DAC によって駆動されます。DAC アーキテクチャの詳細については、MT-014 チュートリアルおよび MT-016 チュートリアルを参照してください。設定変更可能な DAC 機能には、電圧リファレンス選択、出力電圧選択、DAC パワーダウン・オプション、DAC 更新オプションが含まれます。

電圧リファレンス選択機能は、ADC 設定と DAC 設定の両方に共通です。ユーザは、表 4 に示すように、パワーダウン/リファレンス・コントロール・レジスタの EN_REF ビットを使用して、2.5V 内部リファレンスと外部リファレンスのいずれかを選択する必要があります。ADC と DAC に対して異なるリファレンス入力を選択できるオプションはない点に注意してください。

DAC の出力電圧範囲は、汎用コントロール・レジスタの DAC 範囲ビットを使用して、 $0V \sim V_{REF}$ (ゲイン 1) または $0V \sim 2 \times V_{REF}$ (ゲイン 2) に設定できます。 $V_{REF} = V_{DD}$ の場合は、 $0V \sim 2 \times V_{REF}$ の範囲を選択しても、DAC は V_{DD} を超える振幅を出力することはできません。

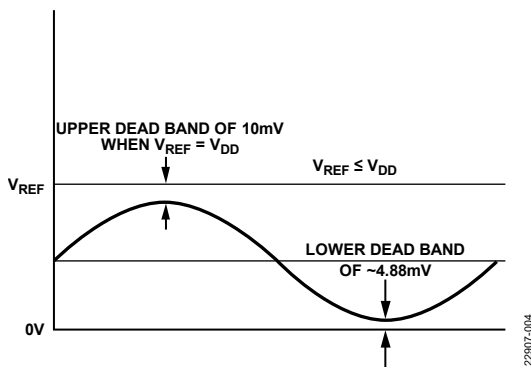


図 6. ゲイン = 1 の場合の DAC の出力電圧範囲 (無負荷状態)

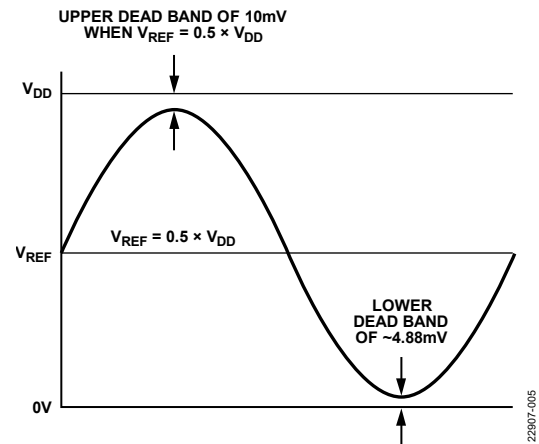


図 7. ゲイン = 2 の場合の DAC の出力電圧範囲 (無負荷状態)

ゲイン 1 に対し $V_{REF} = V_{DD}$ の場合、またはゲイン 2 に対し $V_{REF} = 0.5 \times V_{DD}$ の場合は、無負荷状態の DAC チャンネル出力には、10mV の上部不感帯があります。また、無負荷状態の DAC チャンネル出力には約 4.88mV の下部不感帯もあります。どちらかの電源レールに負荷電流が流れているとき、そのレールを基準にした出力電圧のヘッドルームは DAC チャンネルの 25Ω (代表値) のチャンネル抵抗によって制限されます。例えば、1mA のシンク電流の場合、最小出力電圧 = $25\Omega \times 1mA = 25mV$ となります。

同じ I/Ox ピンを DAC と ADC の両方に設定することができます。I/Ox ピンを DAC と ADC の両方に設定する場合、主機能は DAC の機能となります。ADC 変換シーケンスを含むように I/Ox ピンを選択した場合、I/Ox ピンの電圧が変換され、SPI 経由で読み出せるようになります。これにより DAC の出力電圧をモニタできます。

特定の機能が不要な場合、消費電力を低減するために、パワーダウン/リファレンス・コントロール・レジスタが使用できることに注意してください。パワーダウン/リファレンス・コントロール・レジスタを使用すると任意のチャンネルを DAC に設定でき、PDx ビットを使用して個別にパワーダウン状態にすることができます。パワーダウン状態の場合、DAC 出力はスリープ状態です。DAC チャンネルが通常モードに設定されると、DAC 出力はパワーダウン状態が始まる前にプログラムされている以前の値に戻ります。

ADC が変換を行っていない場合に ADC が電力を消費することはないため、ADC には専用のパワーダウン機能はありません。PD_ALL ビットが、DAC、内部リファレンス、ADC およびそのバッファを同時にパワーダウンします。

表 3 に入力範囲が $2 \times V_{REF}$ の非バッファ ADC に対するレジスタ設定、表 4 に内部リファレンスに対するレジスタ設定の詳細を示します。選択される DAC の範囲は $0V \sim V_{REF}$ で、各 DAC は個別に更新されます。2.5V 内部リファレンスを使用し、ADC ブロックおよび DAC ブロックのどちらもパワーダウンされません。

表 3. 汎用コントロール・レジスタを使用して ADC 入力範囲と DAC 出力範囲を設定するための SPI コマンド

MSB	アドレス	予備	ADC バッファ・ プリチャージ	ADC バッファ・ イネーブル	ロック	全ての DAC	ADC 範囲	DAC 範囲	予備	説明
D15	[D14:D11]	D10	D9	D8	D7	D6	D5	D4	[D3:D0]	
0	0011	0	0	0	0	0	1	0	0000	ADC 入力範囲を ($0V - 2 \times V_{REF}$) に、DAC 出力範囲を ($0V - V_{REF}$) に設定

表 4. パワーダウン／リファレンス・コントロール・レジスタを使用して内部リファレンスをイネーブルするための SPI コマンド

MSB	アドレス	PD_ALL	EN_REF	予備	DAC パワーダウン	説明
D15	[D14:D11]	D10	D9	D8	[D7:D0]	
0	1011	0	1	0	00000000	内部リファレンスをイネーブル

DAC の動作

AD5592R/AD5592R-1 は、8 個の 12 ビット DAC を内蔵しています。DAC チャンネルには、全て DAC チャンネルの出力範囲を $0V \sim V_{REF}$ または $0V \sim 2 \times V_{REF}$ に設定する 1 ビットの DAC 範囲ビットがあります。この出力範囲ビットは全 DAC チャンネルで共有されるため、チャンネルごとに異なる出力範囲を設定することはできません。DAC への入力コーディングはストレート・バイナリです。DAC の出力電圧の理想値を計算するには次式を使用します。

$$V_{OUT} = G \times V_{REF} \times (D/2^N)$$

ここで、

G は、 $0V \sim V_{REF}$ の出力範囲に対しては 1、 $0V \sim 2 \times V_{REF}$ の出力範囲に対しては 2、 D は、DAC レジスタにロードされるバイナリ・コードの十進数表示 (0~4095)、 $N = 12$ 。

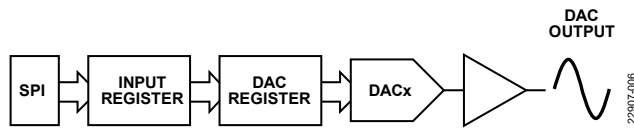


図 8. レジスタ・コマンドの転送

DAC を特定の値に更新する 2 つのレジスタは、入力レジスタおよび DAC レジスタです。データは選択された DAC 入力レジスタに書き込まれます。入力レジスタに書き込まれたデータは、必要に応じて自動的に DAC レジスタにコピーすることができます。データは、リードバックおよび LDAC モード・レジスタの LDAC モード・ビットの設定に基づいて、DAC レジスタに転送されます。DAC 値を更新するには、リードバックおよび LDAC モード・レジスタと汎用コントロール・レジスタのレジスタ値に基づく 3 通りの方法があります。

単一チャンネル更新

リードバックおよび LDAC モード・レジスタの LDAC モード・ビット (ビット [1:0]) が 00 に設定されている場合、新しいデータは自動的に入力レジスタから DAC レジスタに転送され、アナログ出力が更新されます (表 5 を参照)。

同期更新

LDAC モード・ビットが 01 に設定されている場合、データは入力レジスタにとどまります。この LDAC モードを使用すると、DAC 出力に影響することなく入力レジスタに書き込みを行うことができます。入力レジスタにロードする場合に、LDAC モード・ビットを 10 に設定すると、入力レジスタの値が DAC レジスタに転送され、DAC 出力が同時に更新されます (表 6、表 7、表 8 を参照)。

表 5. DAC チャンネルの単一チャンネル更新のための SPI コマンド

MSB	アドレス	DAC データ	説明
D15	[D14:D12]	[D11:D0]	
1	000	011101100101	チャンネル 0 入力レジスタと DAC レジスタを 0x765 という値で更新します。その結果、DAC 出力が更新されます。
1	001	111100001111	チャンネル 1 入力レジスタと DAC レジスタを 0xF0F という値で更新します。その結果、DAC 出力が更新されます。

表 6. DAC チャンネルの同期更新のための SPI コマンド (シーケンス 1)

MSB	アドレス	予備	REG_READBACK	LDAC モード	説明
D15	[D14:D11]	[D10:D7]	[D6:D2]	[D1:D0]	
0	0111	0000	00000	01	LDAC モード・レジスタを同期更新に更新します。

表 7. DAC チャンネルの同期更新のための SPI コマンド (シーケンス 2)

MSB	アドレス	DAC データ	説明
D15	[D14:D12]	[D11:D0]	
1	000	0111 0110 0101	チャンネル 0 の入力レジスタを 0x765 という値で更新します。
1	001	1111 0000 1111	チャンネル 1 の入力レジスタを 0xF0F という値で更新します。

表 8. DAC チャンネルの同期更新のための SPI コマンド (シーケンス 3)

MSB	アドレス	予備	REG_READBACK	LDAC モード	説明
D15	[D14:D11]	[D10:D7]	[D6:D2]	[D1:D0]	
0	0111	0000	00000	10	データが入力レジスタから DAC レジスタにコピーされ、DAC 出力が同時に更新されます。

全チャンネル更新

汎用コントロール・レジスタの全 DAC ビット (D6) が、将来の DAC 書込みのために 1 に設定されている場合、DAC 書込みレジスタの DAC アドレス・ビットは無視され、全てのチャンネルが、DAC が同じデータに更新されるように設定されます (表 9 および表 10 を参照)。

表 9. DAC チャンネルを全て更新するための SPI コマンド (シーケンス 1)

MSB	アドレス	予備	ADC バッファ・プ リチャージ	ADC バッファ・ イネーブル	ロック	全ての DAC	ADC 範囲	DAC 範囲	予備	説明
D15	[D14:D11]	D10	D9	D8	D7	D6	D5	D4	[D3:D0]	
0	0011	0	0	0	1	1	0	0	0000	汎用コントロール・レジスタを更新し、全ての DAC を同じ値で同時に更新します。

表 10. DAC チャンネルを全て更新するための SPI コマンド (シーケンス 2)

MSB	アドレス	DAC データ	説明
D15	[D14:D12]	[D11:D0]	
1	XXX ¹	0010 1111 1111	全ての DAC チャンネルを、例えば 0x2FF という値に更新します。

¹ X は、ドント・ケアを意味します。

ADC の動作

この12ビット単電源ADCは、400kSPSのスループット・レートが可能です。ADCの前段には、選択されたI/OxピンをADCに切り替えるマルチプレクサがあります。マルチプレクサを次の選択チャンネルに自動で切り替えるシーケンサも内蔵されています。

ADCシーケンス・レジスタに書き込むことで、チャンネルは変換用に選択されます。ADCシーケンス・レジスタへの書き込みが完了すると、変換シーケンスの最初のチャンネルがトラック・モードに入ります。各チャンネルには、最低500ns間、入力信号に追従することを許可してください。ADCシーケンス・レジスタへの書き込み後の最初のSYNC立下がりエッジで、シーケンスの最初のチャンネルの変換が開始されます。各変換には2μsが必要で、変換は、別の変換が開始される前に完了する必要があります。

ADCシーケンス・レジスタへの書き込みが続くSYNC立下がりエッジでSDOピンに現れるデータは、無効である点に注意してください。その後のSYNC立下がりエッジで、ADC変換結果のクロック・アウトが始まり、また、次の変換が開始されます。ADCデータは、表11に示すように、16ビット・フレームでSDOにクロック・アウトされます。ADCの動作には1サイクル分の遅延があります。そのため、各変換に対応する変換結果は、変換が開始されたサイクルの1シリアル読み出しサイクル後に利用可能となります。ADC変換結果を読み出す間は、それ以外の読み出し動作は行わないでください。

ADCには入力範囲選択ビット（汎用コントロール・レジスタのADC範囲ビット）があり、入力範囲を0V~V_{REF}（デフォルト）または0V~2×V_{REF}に設定します。全てのADCチャンネルは、同じ入力範囲を共有します。

表 11. SDO での ADC 変換結果

MSB	アドレス	ADC の結果
D15	[D14:D12]	[D11:D0]
0	ADC address ¹	12 ビット ADC 変換結果

¹ ADC のアドレスは次のとおりです。000 = ADC0、001 = ADC1、010 = ADC2、…、111 = ADC7。

表 12. I/O7 を BUSY に設定するための SPI コマンド

MSB	アドレス	予備	<u>BUSY</u> を イネーブル	GPIO データ	説明
D15	[D14:D11]	[D10:D9]	D8	[D7:D0]	
0	1000	00	1	1001 0000	I/O7 を <u>BUSY</u> 信号に設定し、I/O4 ピンを出力に保持

表 13. 単一 ADC 変換を開始するための ADC シーケンス・レジスタ

MSB	アドレス	予備	REP	TEMP	ADC チャンネル	説明
D15	[D14:D11]	D10	D9	D8	[D7:D0]	
0	0010	0	0	0	0000 1100	ADC シーケンサの変換に対しチャンネル 2 およびチャンネル 3 をイネーブル

ADC のデジタル・コードは、次式のように、ADC の入力電圧 (V_{IN}) に関連します。

$$V_{IN} = D \times G \times (V_{REF}/2^N)$$

ここで、

D は、ADC によって出力されるデジタル・コード、

G は、0V~V_{REF}の出力範囲に対しては1、0V~2×V_{REF}の出力範囲に対しては2、

N = 12。

BUSY信号 (I/O7)

I/O7 は、ADC 変換が実行されていることを示す BUSY 信号として設定する (GPIO 書き込み設定レジスタのイネーブル BUSY ビットを使用) ことができます (表12を参照)。I/O7 だけが、DAC、ADC、またはGPIO以外に、BUSY 出力に設定できるオプションがあります。BUSY は、変換の実行中はローになり、ADC 変換結果が読み出し可能になるとハイになります。この BUSY インジケータを使用すると、SPI マスタは、DAC または GPIO に設定された他のチャンネルに対し AD5592R/AD5592R-1 と通信し、必要な場合に ADC 結果を読み出せるよう BUSY 信号をモニタできるようになります。ADC シーケンス・レジスタでいずれの ADC チャンネルの変換もイネーブルされていない場合、I/O7 はその他のシステム条件用に DAC または GPIO として設定できます。

単一読み出し

ADC シーケンス・レジスタで、REP ビット (D9) をリセット状態にして、チャンネル 2 およびチャンネル 3 (D2 ビットおよび D3 ビット) が選択されています。ADC は、連続する SYNC 立下がりエッジで昇順に、チャンネル 2 に続けてチャンネル 3 を変換します。ADC シーケンス・レジスタで選択された全てのチャンネルが変換されると、ADC 変換は停止し、ADC はスリープ状態になります。表13および図9を参照してください。

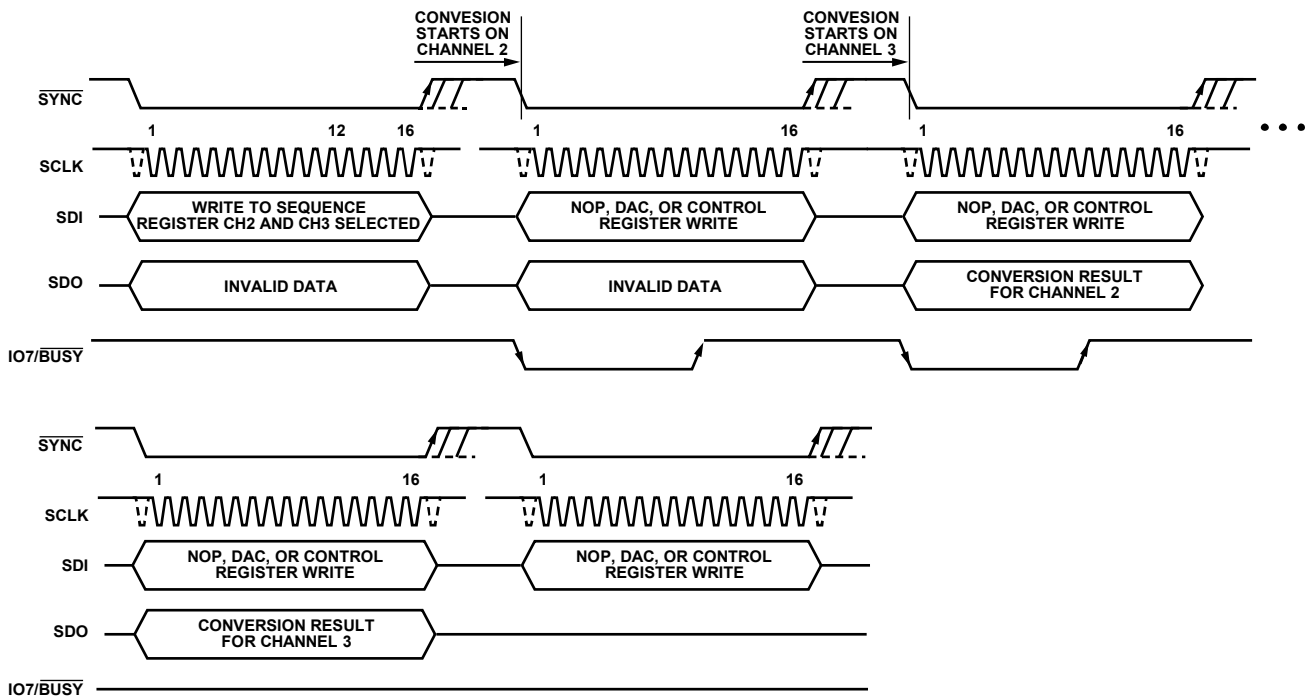


図 9. チャンネル 2 およびチャンネル 3 の単一 ADC 変換のための SPI シーケンス

22907-007

繰返し読出し

ADC変換を繰り返すには、ADCシーケンス・レジスタのREPビット(D9)をセットします。ADCは、連続するSYNC立下がりエッジで昇順に、選択された全てのチャンネルを続けて変換し

ます。コントロール・レジスタで選択された全てのチャンネルが変換されると、REPビットがセットされている限り、ADCはこのシーケンスを繰り返します。REPビットがクリアされると、ADCはスリーステートになり、ADC変換は停止します(表14および図10を参照)。

表 14. ADC 変換の繰返しの開始と停止のための ADC シーケンス・レジスタ

MSB	アドレス	予備	REP	TEMP	ADC チャンネル	説明
D15	[D14:D11]	D10	D9	D8	[D7:D0]	
0	0010	0	1	0	0000 1100	ADC シーケンスの順次の繰返し変換に対し、チャンネル 2 およびチャンネル 3 をイネーブルします。
0	0010	0	0	0	0000 0000	繰返し ADC 変換を停止し、チャンネル 2 およびチャンネル 3 の変換をディスエーブルします。

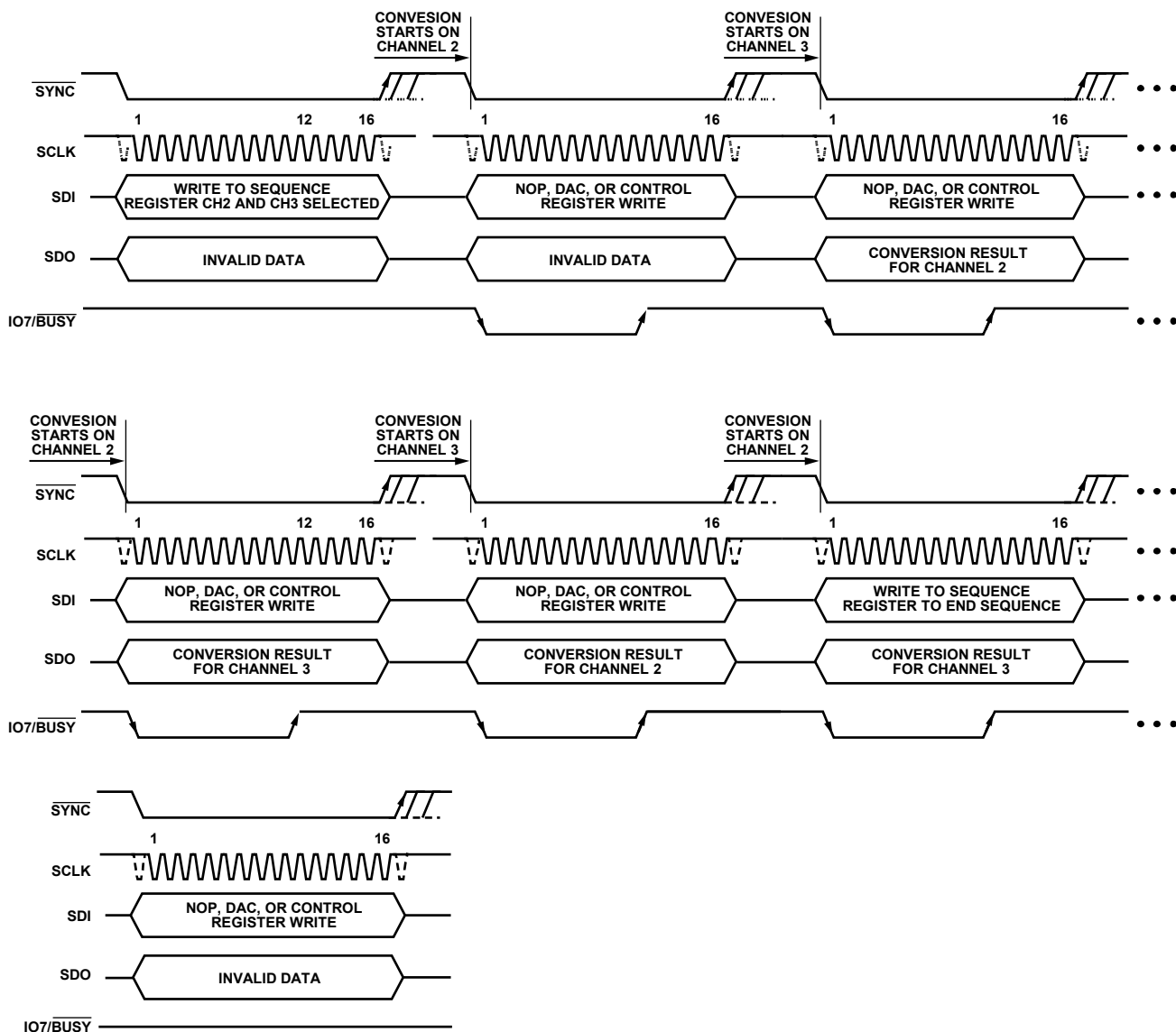


図 10. チャンネル 2 およびチャンネル 3 の繰返し ADC 変換のための SPI シーケンス

温度リードバック

AD5592R/AD5592R-1には温度インジケータが内蔵されており、故障検出のために使用できます。この場合、ダイ温度の急激な上昇によって、出力短絡などの故障を検出します。温度インジケータのリードバックをイネーブルするには、ADC シーケンス・レジスタの TEMP ビット (D8) を 1 に設定します。次に、温度値が ADC 変換シーケンスに追加され、[D15:D12] = 1000 のアドレスが与えられます (表 16 を参照)。表 16 に詳細を示したこの結果は、DAC0 のチャンネルからの変換結果のリードバックと混同しないようにしてください。温度変換では、ADC バッファのイネーブル時には 5μs、ディスエーブル時には 20μs が必要です。

ADC の温度をゲイン 1 およびゲイン 2 の場合について計算するには、次の 2 つの式を用います。

ADC ゲイン = 1 の場合、次式を用います。

$$\text{温度 (}^{\circ}\text{C)} = 25 + \frac{(\text{ADC Code} - (0.5/V_{REF}) \times 4095)}{(2.654 \times (2.5/V_{REF}))}$$

ADC ゲイン = 2 の場合、次式を用います。

$$\text{温度 (}^{\circ}\text{C)} = 25 + \frac{(\text{ADC Code} - (0.5/(2 \times V_{REF})) \times 4095)}{(1.327 \times (2.5/V_{REF}))}$$

温度インジケータの読み出し時に ADC ゲイン=1 の ADC によって返されるコードの範囲は、およそ 645~1035 で、これは、-40°C ~ +105°C に対応します。5 サンプルを平均化した温度インジケータの精度は 3°C (代表値) です。

表 15. 温度リードバックのための ADC シーケンス・レジスタ

MSB	アドレス	予備	REP	TEMP	ADC チャンネル	説明
D15	[D14:D11]	D10	D9	D8	[D7:D0]	
0	0010	0	0	1	0000 1100	温度インジケータ・リードバックをイネーブルし、それを ADC 変換シーケンスに追加します。その結果は、ADC チャンネル 2 およびチャンネル 3 の変換の後で読み出し可能となります。

表 16. 温度インジケータ・リードバック

アドレス	ADC の結果
[D15:D12]	[D11:D0]
1000	12 ビットの温度インジケータ値

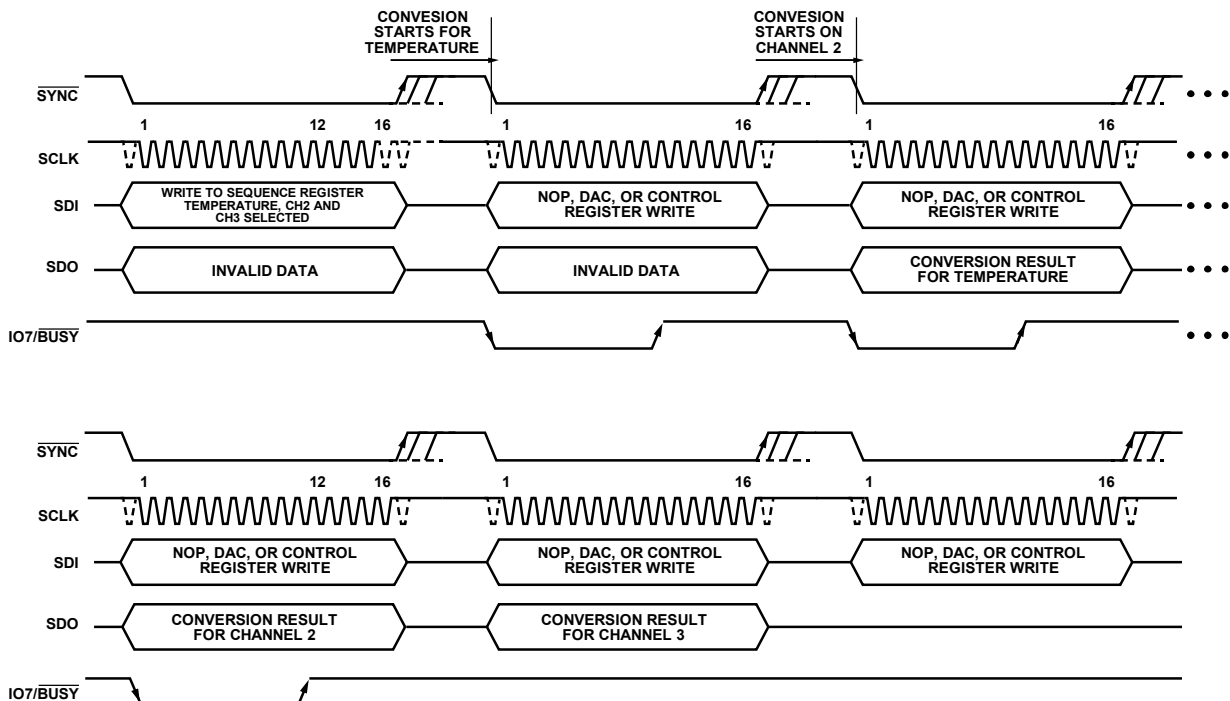


図 11. チャンネル 2 とチャンネル 3 に加え内部温度を単一 ADC 変換する場合の SPI シーケンス

22907-909

デジタル入出力

AD5592R/AD5592R-1のI/Oxピンは、汎用ピン、デジタル入力ピン、または、デジタル出力ピンとして動作できます。I/Oxピンの機能は、GPIO 読出し設定レジスタと GPIO 書込み設定レジスタの該当のビットに書き込むことで決まります。

デジタル出力

デフォルトでは、デジタル出力はプッシュ・プル出力に設定されています。出力は、V_{DD}またはGNDに駆動され、これはGPIO 書込み設定レジスタのデータによって決まります。

表 2 のコマンド 3 を使用すると、I/O4 がデジタル出力に設定されます。表 17 に、I/O4 ピンをハイ (V_{DD}) に設定する SPI コマンドを示します。

オープンドレイン出力

いずれかの I/Ox ピンをオープンドレイン出力に設定するには、GPIO オープンドレイン設定レジスタの該当ビットを 1 に設定します。オープンドレイン設定になっている場合、GPIO 書込みデータ・レジスタのデータ・ビットが 0 に設定されていると、出力は GND に駆動されます。データ・ビット値が 1 の場合、出力は駆動されず、高インピーダンス・モードに設定されます。出力は外部抵抗によってハイにする必要があります。図 12 に、オープンドレイン・デジタル出力の簡略化した回路図を示します。

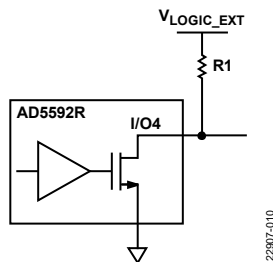


図 12. オープンドレイン出力の簡略化したブロック図

表 17. I/O4 のデジタル出力を設定するための SPI コマンド

MSB	アドレス	予備	BUSYをイネーブル	データ	説明
D15	[D14:D11]	[D10:D9]	D8	[D7:D0]	
0	1001	00	0	0001 0000	I/O4 の出力をハイ (V _{DD}) に設定

表 18. デジタル出力 I/O4 をオープンドレインに設定するための SPI コマンド

MSB	アドレス	予備	データ	説明
D15	[D14:D11]	[D10:D8]	[D7:D0]	
0	1100	000	0001 0000	I/O4 に対するオープンドレイン出力設定
0	1001	000	0001 0000	I/O4 の出力を高インピーダンス・モードに設定

表 19. I/O5 ピンのステータスを読み出すための GPIO 読出し設定レジスタ値

MSB	アドレス	リードバックをイネーブル	予備	データ	説明
D15	[D14:D11]	D10	[D9:D8]	[D7:D0]	
0	1010	1	00	0010 0000	I/O5 をデジタル入力に設定し、そのステータスを次の SPI フレームでリードバック

オープンドレイン設定により、様々なコンポーネントの複数の出力ピンを結合することができます。全てのピンがノーマリ・ハイの場合、オープンドレイン設定にすることで、1つのピンを使用して同じラインに接続されている全てのピンをプルダウンできます。この方法は、アラームまたは割込みピンをトリガするために複数のピンを使用する場合によく用いられます。

表 18 に、I/O4 をオープンドレインに設定し、出力を高インピーダンス・モードに設定する SPI コマンドを示します。

デジタル入力

いずれかの I/Ox ピンを汎用入力に設定するには、GPIO 読出し設定レジスタの該当ビットを 1 に設定します。汎用入力の状態を読み出すには、GPIO 読出し設定レジスタに書き込みます。

表 2 のコマンド 4 を使用すると、I/O5 がデジタル入力に設定されます。表 19 に、I/O5 ピンのステータスを読み出すための GPIO 読出し設定レジスタ値を示します。図 13 は、I/O5 ピンのデジタル・ステータスを読み出すための SPI シーケンスを示します。

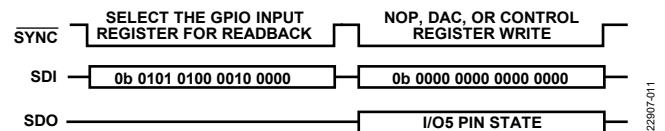


図 13. デジタル入力ピン I/O5 のステータスをリードバックするための SPI シーケンス

スリーステートとしての I/O チャンネル

I/Ox ピンはスリーステート設定レジスタに書き込むことでスリーステートに設定できます。I/Ox チャンネルをスリーステートに設定した場合、出力は高インピーダンス状態とみなされ、回路から出力が切り離されます。複数のデバイスが別のデバイスの同じ I/O ピンに電気接続されている場合、短絡が生じることや、1つのデバイスがハイ（ロジック 1）になる一方別のデバイスがロー（ロジック 0）になるというのを防止するために、出力を高インピーダンス状態にする手法がよく用いられます。

表 20 に、I/O1～I/O4 ピンをスリーステート・モードに設定する SPI コマンドと、スリーステート・モードを終了する SPI コマンドを示します。

85kΩ プルダウン抵抗ピンとしての I/O チャンネル

I/Ox ピンは、プルダウン設定レジスタの該当するビットをセットすることによって、85kΩ のプルダウン抵抗を介して GND に接続できます。電流構成では、I/O6 ピンは表 2 のコマンド 5 を使用して、GND にプルダウンされるよう設定されています。この機能は、スイッチやアクティブ・ロー入力をマイクロコントローラやその他のロジック・ゲートに接続する場合に、よく用いられます。

表 20. I/O1～I/O4 ピンをスリーステート・モードに設定する SPI コマンドと、スリーステート・モードを終了する SPI コマンド

MSB	アドレス	予備	データ	説明
D15	[D14:D11]	[D10:D8]	[D7:D0]	
0	1101	000	0001 1110	I/O1～I/O4 ピンをスリーステート・モードに設定します。
0	1101	000	0000 0000	I/O1～I/O4 ピンのスリーステート・モードを解除します。I/Ox の機能は、ピン設定レジスタによって決まります。