

**ブレークビフォアメーカー機能を備えた SPI 制御スイッチの外部配線による
 マルチプレクサ構成を実現**

Stephen Nugent 著

はじめに

スイッチング信号は、システムの柔軟性を高め、チャンネル数を増やすことができるので、電子システムにとって重要な要素です。アプリケーションには多様なタイプがあり、各アプリケーションでスイッチング条件が異なります。そのため、スイッチングを必要とする多くのアプリケーションでは、必要な機能を提供するスイッチを見つけるのが困難になります。

このアプリケーション・ノートでは、アナログ・デバイセズのシリアル・ペリフェラル・インターフェース (SPI) 制御スイッチのファミリーに搭載されたブレークビフォアメーカー (BBM) スイッチング機能について説明します。この BBM スイッチング機能を適切な外部配線とカップリングして、特定のアプリケーションに必要なマルチプレクサ (MUX) 構成を作成する方法を示します。また、外部配線を使用したスイッチの考慮事項についても説明します。

図 1 に、外部配線で **ADGS5414** を 3:1 MUX および 5:1 MUX に構成する例を示します。

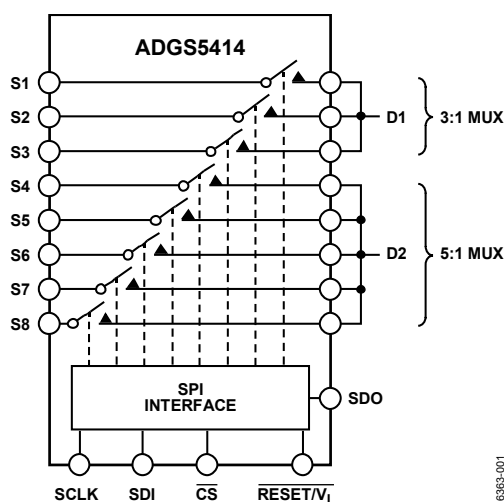


図 1. 外部配線でマルチプレクサに構成された ADGS5414

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1	性能に関する考慮事項.....	5
改訂履歴.....	2	アナログ・デバイセス SPI スイッチのファミリー.....	5
SPI 制御スイッチ.....	3	結論.....	6
ブレークビフォアマーク (BBM) のスイッチング.....	4		

改訂履歴

1/2018-Revision 0: Initial Version

SPI 制御スイッチ

アナログ・デバイスズの SPI スイッチには、4 線式シリアル・インターフェースとエラー検出機能が組み込まれています。図 2 に、SPI スイッチの 1 つである ADGS5414 の機能ブロック図を示します。図 2 に、デバイスの SPI 部分を構成する 4 本のピンを示します。これらのピンは、シリアル・クロック入力 (SCLK)、シリアル・データ入力 (SDI)、シリアル・データ出力 (SDO)、チップ・セレクト (\overline{CS}) です。

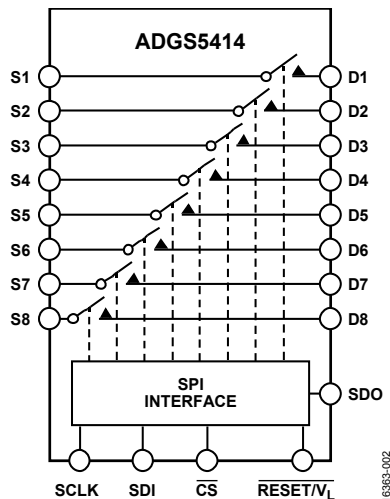


図 2. ADGS5414 の機能ブロック図

動作モードには、アドレス・モード、バースト・モード、デジター・チェーン・モードがあります。すべてのデバイスで、BBM スイッチング機能が確保されています。デバイスは、業界標準の SPI モード 0 およびモード 3 との互換性があります。つまり、SCLK の立上がりエッジでデバイスにシリアル・データを読み出し、SCLK の立下りエッジでデータを伝搬します。最大 50 MHz の SCLK 周波数でデバイスと通信できます。SPI デバイスのデフォルト・モードはアドレス・モードです。このモードでは、 \overline{CS} によって分割される 16 ビットの SPI コマンドで、デバイスのレジスタにアクセスできます。アドレス・モード・コマンドでは、 $\overline{R/\overline{W}}$ ビットの後に 7 ビットのアドレスが続き、8 ビットのデータで終了します。図 4 に、アドレス・モードの場合の SPI フレームを示します。

バースト・モードでは、アドレス・モードと同じ SPI コマンドを使用しますが、SPI コマンドの実行中に \overline{CS} をローに維持できる点が異なります。

新しい SPI 制御ファミリーでは、SPI インターフェースでプロトコルと通信のエラーを検出でき、過酷な環境でも信頼性の高い通信を実現できます。SPI インターフェースでは、3 つのエラーを検出できます。不正な SCLK カウント・エラー、無効な読出しと書込みアドレス・エラー、巡回冗長性チェック (CRC) エラーです。各エラーの検出機能は、エラー構成レジスタのイネーブル・ビットを使用して有効または無効にできます。さらに、エラー・フラグ・レジスタには、各エラーに対応するエラー・フラグ・ビットがあります。

デジター・チェーン・モードは、SPI スイッチのもう 1 つの重要な機能です。これにより、複数のデバイスをチェーンに接続できます。デジター・チェーン構成では、あるデバイスの SDI が、チェーン内の次のデバイスの SDI に接続され、同じ接続が繰り返されます (図 3 の 2 台の ADGS1212 デバイスを参照)。この構成では、4 本のデジタル・ラインのみで複数の SPI スイッチを制御できるので、ボードの実装面積と設計の複雑さを軽減できるという利点があります。

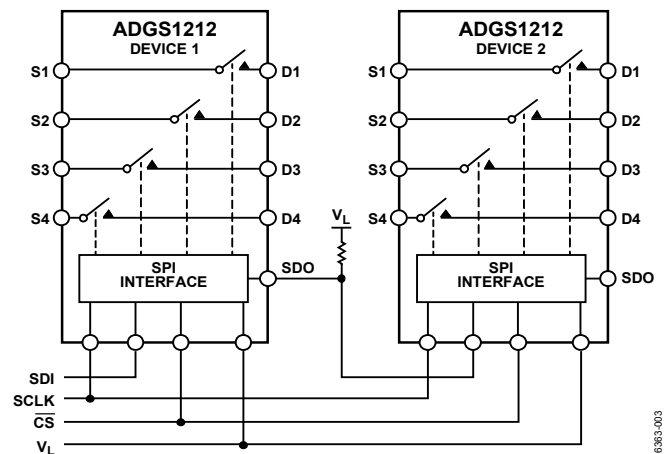


図 3. デジター・チェーン構成に接続された 2 台の ADGS1212 デバイス

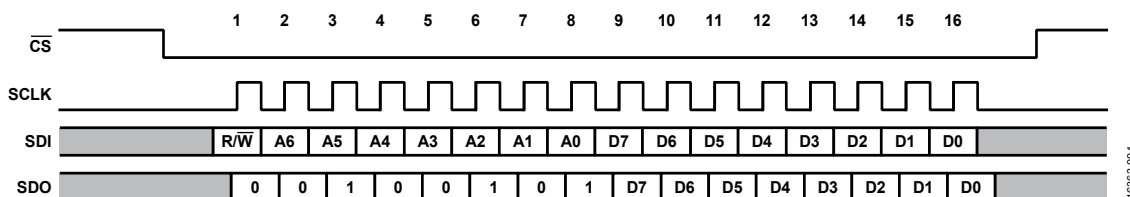


図 4. アドレス・モードのタイミング図

ブレークビフォアメーク (BBM) のスイッチング

BBM スwitchングでは、あるスイッチを開いてから別のスイッチを閉じます。BBM スwitchングの機能は、アナログ・デバイセズのすべての SPI スwitch で確保されています。あるスイッチを閉じて、別のスイッチを開く SPI コマンドが発行された場合、開くべきスイッチが開いてから、他方のスイッチが閉じます。

図 7 に、外部配線を使用して 4:1 マルチプレクサに構成された ADGS1412 を示します。また、ソース S1 を開いてソース S2 を閉じるように命令する SPI フレームが発行された場合の動作も示します。

ADGS1412 は、最初に S1 を閉じるように構成されているので、入力の信号はドレイン (D) に出力されます。SPI コマンド 0x0102 は、スイッチ・データ・レジスタ用のコマンドで、S1 スwitch を閉じて S2 スwitch を開きます。BBM の定義に従い、S2 が閉じる前に S1 が開きます。この機能により、S1 と S2 への入力回路で短絡が発生しません。

図 5 に、S1 と S2 の電圧が等しいと仮定した場合のイベントのシーケンスにおける信号 D を示します。

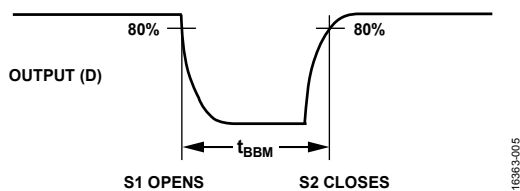


図 5. S1 が開いて S2 が閉じる間の BBM のタイミング

S1 が開くと、電圧の降下が観測されます。その後 S2 が閉じ、S2 に印加される信号が D に出現します。SPI 制御スイッチのデータシートに記載されている BBM 時間は、最初の信号が初期値の 80% まで低下してから S2 が最大値の 80% に到達するまでの時間です。各デバイスの BBM タイミングについて実施された試験の詳細については、対応する SPI 制御スイッチのデータシートを参照してください。

このブレークビフォアメーク機能により、SPI スwitch をアプリケーションに必要なマルチプレクサに構成して、高い柔軟性を実現することができます。適切な外部配線をプリント回路基板 (PCB) に適用する必要があります。ここで、ユーザーは関連のあるソース・ピンまたはドレイン・ピンを一緒に接続します。図 6 に、外部配線を使用したマルチプレクサに構成されたデバイスの例を示します。このケースでは、ADGS1412 が単極双投 (SPDT) × 2 のソリューションとして構成されています。

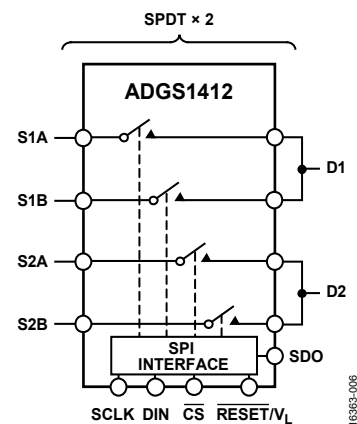


図 6. 外部配線を使用してデュアル SPDT に構成された ADGS1412

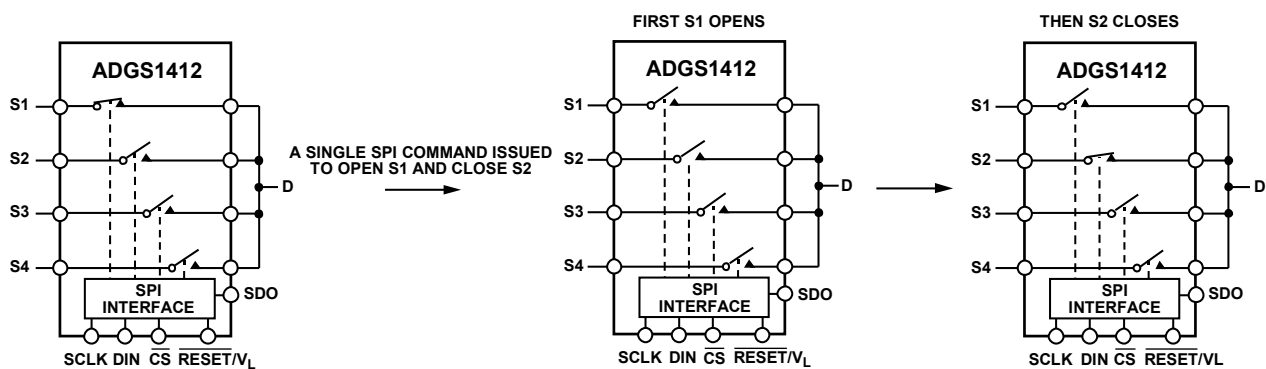


図 7. SPI コマンドを実行中のブレークビフォアメーク・スイッチング・プロセスのタイムライン

性能に関する考慮事項

スイッチをマルチプレクサに構成する場合、データシートの仕様が変更されます。

デバイスの複数のドレインを互いに接続することで、各ドレインの容量が追加されるので、接続ポイントでの全体的な容量が増えます。これにより、マルチプレクサ構成に接続した場合にドレイン容量 (C_D) オフおよび C_D オンが増え、スイッチ・チャンネルの抵抗コンデンサ (RC) 値が大きくなるので、スイッチを介して伝搬できる信号の帯域幅が減少します。

また、ドレインが互いに接続されている場所でのリークが増えることも予想されます。このリークは、互いに接続されたドレイン・ピン間のリーク電流の合計に相当します。

最後に、互いに接続されたチャンネル間のクロストーク性能が低下することが予想されます。この性能低下は、PCB パターンを介してチャンネルが互いに接続されることで発生します。

これらのトレードオフは想定範囲内で、マルチプレクサ相補型金属酸化膜半導体 (CMOS) スイッチでも同じトレードオフが発生します。

アナログ・デバイセズ SPI スイッチのファミリー

アナログ・デバイセズ SPI スイッチ・ファミリーには、様々なアプリケーションに対して最適化された幅広いシリアル制御スイッチがあります。表 1 に、ファミリーの製品、製品の構成、デバイスの性能を最適化する方法を示します。表 1 に示すデバイスはすべて、このアプリケーション・ノートで説明したブレイクビフォアメーカー・スイッチング機能を備えているため、外部配線を使用してマルチプレクサに構成できます。

表 1. アナログ・デバイセズ SPI スイッチのファミリー

Generic	Configuration	Performance Optimization	Robustness	Characterized Supply Voltages (V)
ADGS1612	SPST × 4	1 Ω on resistance (R_{ON}), 0.2 Ω on resistance flatness ($R_{FLAT(ON)}$)	Not applicable	$\pm 5/+12/+5/+3.3$
ADGS1412	SPST × 4	1.5 Ω R_{ON} , 0.3 Ω $R_{FLAT(ON)}$	Not applicable	$\pm 15/\pm 5/+12$
ADGS1212	SPST × 4	-0.9 pC charge injection (Q_{INJ}) and 2.6 pF on switch capacitance (C_{ON})	Not applicable	$\pm 15/+12$
ADGS5412	SPST × 4	9.8 Ω R_{ON}	Guaranteed latch-up immunity and 8 kV human body model (HBM) electrostatic discharge (ESD) rating	$\pm 15/\pm 20/+12/+36$
ADGS5414	SPST × 8	13.5 Ω R_{ON}	Guaranteed latch-up immunity and 8 kV HBM ESD rating	$\pm 15/\pm 20/+12/+36$

結論

アナログ・デバイセズの SPI スイッチは、信頼性の高いインターフェース・エラー検出機能とデイジー・チェーン・モードを備えた 4 線式シリアル・インターフェースを搭載しています。このファミリーに属する各 SPI スイッチでは、ブレイクビフォアメイク・スイッチング機能が確保されています。この機能により柔軟性が

向上し、エンド・アプリケーションに必要なマルチプレクサにスイッチを正確に構成できます。デバイスの仕様が外部配線の影響を受けることを考慮する必要がありますが、これらの性能のトレードオフは、他の CMOS マルチプレクサ・デバイスで見られる性能のトレードオフと同等です。