

## ADP1074、ADP1071-1、ADP1071-2 を用いた電源のトラブルシューティング: 一般的なシナリオ

著者: Subodh Madiwale

### はじめに

ADP1074、ADP1071-1、ADP1071-2 は業界をリードする絶縁型電流モード固定周波数コントローラです。ADP1074 は同期アクティブ・クランプ・フォワード回路をサポートし、ADP1071-1 と ADP1071-2 は絶縁型電源設計用の同期フライバック回路をサポートしています。アナログ・デバイセズが独自に開発した *iCoupler*<sup>®</sup> 技術がコントローラに集積されているため、従来の電源設計が必要とされた、アイソレーションの境界を越えて信号を送送するための大きな信号トランスおよびオプトカプラが不要です。この技術によって、システム設計の複雑さ、コスト、および部品点数が削減され、システム全体の信頼性が向上します。ADP1074、ADP1071-1、ADP1071-2 はそれぞれ、アイソレータと MOSFET ドライバを 1 次側と 2 次側の双方に統合しているため、システムレベルでのコンパクトな設計が可能となり、高負荷時に非同期フォワード・コンバータより高い効率性を発揮します。

同期整流器パルス幅変調器 (PWM) のフィードバック信号とタイミングは、独自の伝送方式を用いた *iCoupler* を介して 1 次側から 2 次側へ、または 2 次側から 1 次側へ伝送されます。

ADP1074、ADP1071-1、ADP1071-2 は、入力電流保護、低電圧ロックアウト (UVLO)、ヒステリシスを調整可能な高精度イネーブル、過熱保護 (OTP) などの機能も備えています。

このアプリケーション・ノートでは、ADP1074、ADP1071-1、ADP1071-2 のデバイスを用いて電源を設計する際の一般的なデバッグ・シナリオをいくつか説明します。

### 電源関連の問題

#### 電源が起動しない

EN = 0、VIN > UVLO = 4.5 V のとき、RT ピンは 1.22 V でなければなりません。この値でない場合、RT ピンと AGND1 の接続は切断されています。

イネーブル・ピン (EN) がハイのとき、PWM 信号 (ADP1074 では NGATE、ADP1071-1/ADP1071-2 では GATE) は PWM 信号を出力しなければなりません。

ADP1071-1 を使用する場合は、VREG1 ピンに電力を供給して 8 V ~ 12 V (代表値) になるようにし、4.5 V の UVLO 電圧よりも大きくします。

#### 電源がオン/オフを繰り返す

繰り返し間隔が約 40 ms か 200 ms かを確認します。前者の場合、1 次側の過電流保護 (OCP) フォールトです。後者の場合、2 次側の VDD2 に電力が供給されましたが、ある時点で電力が失われています。

#### 電源で可聴ノイズが発生する

電源装置で可聴ノイズが発生する原因としては、発生するノイズの種類に応じて、次のようなものが考えられます。

- 基板上の機械的振動の発生源として最も可能性が高いのは、フィルム・コンデンサ (存在する場合) またはトランスのノイズです。
- ヒス音は、PWM が安定していないことを示しています。
  - システムの安定性をチェックして、制御ループの設計に十分な位相余裕があることを確認することをお勧めします。
  - PWM の立下がりエッジに過度のジッタがないかを確認します。1 次電流信号のセンシングは、CS ピンと AGND1 ピンを検出抵抗にケルビン接続して差動で行う必要があります。
  - ADP1074、ADP1071-1、ADP1071-2 の OVP 機能は、OVP ピンの電圧が閾値 (代表値 36 mV) を下回るまで PWM をディスエーブルします。過電圧保護 (OVP) フォールトに対する応答は、シャットダウンではなく再試行です。これがヒス音になる可能性があります。

#### 電源装置に全負荷をかけられない

電源装置を全負荷状態にできない問題のトラブルシューティングを行うには、次の手順を実行します。

1. 検出抵抗の大きさが適切であることを確認します。
2. トランスが飽和していないかどうかを判断するために、最大磁束密度の計算を確認します。
3. 最大デューティ・サイクルを防止するために、D<sub>MAX</sub> 制限 (ADP1074 のみ) が適切に設定されていることを確認します。
4. ヒックアップ・タイマーが 40 ms (OCP) か 200 ms (OVP ヒックアップまたは VDD2 UVLO ヒックアップ) かを確認します。

## 目次

はじめに.....	1	RT ピンの抵抗値が PCB にハンダ付けされた値を示していない.....	5
電源関連の問題.....	1	OVP 閾値の交差から PWM ターミネーションまでの遅延..	5
電源が起動しない.....	1	ソフト・スタートとソフト・ストップの問題.....	5
電源がオン/オフを繰り返す.....	1	出力電圧のオーバーシュート.....	5
電源で可聴ノイズが発生する.....	1	ソフト・スタートの大部分で 2 次側が電源を制御するよう にさせる.....	5
電源装置に全負荷をかけられない.....	1	プリチャージ出力でスムーズなソフト・スタートを確保..	6
改訂履歴.....	2	EN ピンをトグルするときにソフト・ストップが停止と開 始を切り替えるように見える.....	6
電源のレギュレーションと電圧ドループ.....	3	周波数.....	6
ソフト・スタート完了前に信号をトラッキングするように 電源装置を設定する.....	3	最大周波数範囲.....	6
電源が 200 ms のヒカップ・タイマーを開始する.....	3	電源の周波数ディザ.....	6
出力電圧のレギュレーションを 1.2 V 以下にする.....	3	SS2 に 0.2 V <sub>p-p</sub> 、100 kHz のサイン波を与えたときの出力ト ラッキングの喪失.....	6
1 次電圧を VIN に接続し、出力電圧を VDD2 に接続したと きのデバイスの損傷を防止する.....	3	不正な同期.....	6
スロープの問題.....	3	iCoupler の代表的な帯域幅.....	6
ソフト・スタート・ランプにデュアル・スロープがある...3		電流.....	6
ソフト・スタート時の出力電圧を単一スロープにする.....3		OCP 回復機能の定義.....	6
十分なスロープ補償を決定する.....	3	1 次側と 2 次側の代表的な I <sub>DD</sub> 消費.....	7
負荷の問題.....	3	CS および AGND1 ピンを用いて 1 次電流を検出する適切な 方法.....	7
不規則で不安定なソフト・スタート・ランプ.....	3	ドライバの電力消費が VREG1 ピンと VREG2 ピンの上限 を超えないようにする.....	7
軽負荷時でも ADP1074、ADP1071-1、または ADP1071-2 が 非常に熱くなる.....	4	COMP を 2 次側から 1 次側に転送するときの欠相.....	7
負荷短絡からの回復が原因でオーバーシュートになること がある.....	4	ライン電圧に対する OCP 閾値の変動の低減 (ADP1074 の み).....	8
軽負荷モードの閾値の設定が困難 (ADP1074 のみ).....	4	フライバック・コンバータのライン電圧に対する使用可能 電流の最大と最小の関係.....	9
並列 MOSFET と高電圧 (>5 V) SR.....	4		
信号の問題.....	4		
NGATE の前に SR1 信号がオンになる.....	4		
フィードバック信号 COMP を 1 次側に送信する.....	4		
過渡応答が非常に遅い、またはセトリング時間が非常に長 い.....	4		

## 改訂履歴

10/2017—Revision 0: Initial Version

## 電源のレギュレーションと電圧ドロップ

電源が適切な電圧で安定化されていないか、または負荷を加えているときに電圧が 100 mV ~ 200 mV 降下する場合は、次の手順でトラブルシューティングします。

1. 出力電圧の抵抗分圧器が正しく接続され、取り付けられていて、正しい値に設定されていることを確認します。
2. SS2 ピンが短絡していたり、外部回路に接続されていないことを確認します。定常状態では、SS2 ピンの電圧は 1.4 V でなければなりません。
3. 出力端子ではなく、ADP1074、ADP1071-1、または ADP1071-2 のピンで、FB から AGND2 までの電圧を測定します。定常状態での電圧は 1.2 V です。
4. ADP1074 では、FB ピンと AGND2 ピンを使用して出力電圧を差動で検出することを推奨します。ADP1071-1 または ADP1071-2 デバイスを使用する場合は、AGND2 を確実に接続し、FB ピンは正の出力端子にケルビン接続する必要があります。

## ソフト・スタート完了前に信号をトラッキングするように電源装置を設定する

トラッキング信号を SS2 ピンに供給することにより、ソフト・スタート完了前に電源が信号をトラッキングできるようになります。しかし、2 次側のウェイクアップ時、ADP1074、ADP1071-1、または ADP1071-2 が信号をトラッキングする前に瞬間的に小さなオフセットが生じる可能性があります。これは基本的にシステム全体のループ帯域幅に依存します。

## 電源が 200 ms のヒカップ・タイマーを開始する

VREG2 が UVLO 状態になるか、または OVP が 200 μs 以上持続すると、電源が 200 ms のヒカップ・タイマーを開始します。VREG2 ピンから過度の電流が流れて、内部レギュレータが電流制限状態にならないようにします。

## 出力電圧のレギュレーションを 1.2 V 以下にする

この種のレギュレーションを実現するには、約 6 V ~ 10 V を生成する補助巻線を 2 次側に用いて、VDD2 に接続する必要があります。この巻線により、ADP1074、ADP1071-1、ADP1071-2 の 2 次側に電力が供給されます。

FB ピンに出力電圧を供給することにより、出力電圧を直接検出することができます。

例えば 1.0 V など、電圧が 1.2 V 未満の場合は、SS2 ピンを使用してリファレンスを調整します。ソフト・スタート・プロセス時にグリッチが突然発生しないようにするには、クローズドループのソフト・スタート・プロセス中に SS2 電圧がセットポイント電圧に達する場合に、この設定値リファレンスをオンすることを推奨します。システム（トランスの巻数比など）は、デューティ・サイクルが最小にならないように設計されていることに注意してください。

## 1 次電圧を VIN に接続し、出力電圧を VDD2 に接続したときのデバイスの損傷を防止する

VIN ~ AGND1、VDD2 ~ AGND2 の最大電圧は 60 V です。ADP1074、ADP1071-1、ADP1071-2 デバイスは、この電圧で連続動作するように規定されています。ただし、VIN から VREG1、および VDD2 から VREG2 への内蔵の低ドロップアウト（LDO）レギュレータによるドロップアウト損失を低減するには、それより低い電圧を供給することを推奨します。

あるいは、LDO 損失を避けるために、トランスの補助巻線を用いて、この巻線から VREG1 と VREG2 に電力を供給するようにします。

## スロープの問題

### ソフト・スタート・ランプにデュアル・スロープがある

これは正常な動作です。ソフト・スタート・ランプの前半部分は、ADP1074 デバイスでは SS1 コンデンサ、ADP1071-1/ADP1071-2 デバイスでは GATE ピンの抵抗によって制御されます。

ソフト・スタート・ランプの後半部分は SS2 コンデンサによって制御されます。また、デバイスは電流モード・コントローラであるため、どのような負荷条件でもこの 2 つのスロープを等しくすることはできません。ただし、前半のソフト・スタート・ランプが後半のソフト・スタート・ランプを上回る限り、ソフト・スタート・ランプの単調増加性は確保されます。

### ソフト・スタート時の出力電圧を単一スロープにする

ソフト・スタート時の出力電圧で単一スロープを実現することは可能ですが、出力電圧の上昇率は多くの変数で決まるため、特定の入力電圧と出力負荷条件が必要です。

### 十分なスロープ補償を決定する

スロープ補償抵抗を設定するには、次式を使用します。

$$R_{RAMP} \geq k \frac{V_{OUT}}{L} \frac{N_2}{N_1} \frac{R_{SENSE}}{20 \mu A} \times T_S$$

ここで、

$L$  はアクティブ・クランプ・フォワード回路用の出力インダクタ。

$L = L_{PRIMARY} / (N_1/N_2)^2$ （フライバック回路用）。

$k = 0.5$ （公称）または 1（デッドビート制御）。

## 負荷の問題

### 不規則で不安定なソフト・スタート・ランプ

負荷が大きすぎると、OCP/フィードバック回復機能が開始され、ソフト・スタート・ランプが不規則かつ不安定になる可能性があります。

**軽負荷時でも ADP1074、ADP1071-1、または ADP1071-2 が非常に熱くなる**

1 次側および 2 次側の電源（それぞれ VDD1 および VDD2）には、内部回路に電力を供給するための LDO が内蔵されています。VREG1 および VREG2 の公称電圧はそれぞれ 8 V および 5 V です。1 次側と 2 次側の双方の内蔵ゲート・ドライバがこのレートで切り替わるため、ADP1074、ADP1071-1、ADP1071-2 デバイスの電力損失は LDO の損失とスイッチング周波数に大きく依存します。LDO の電圧降下が小さいほど、デバイスの消費電力は低くなります。

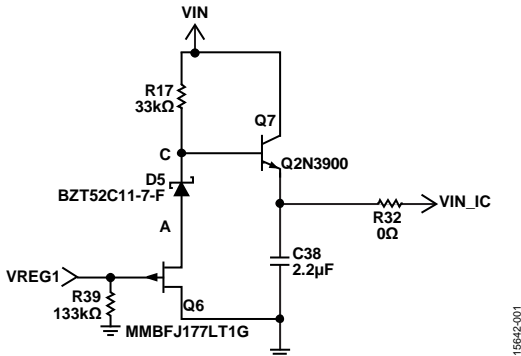


図 1. 消費電力が最低となる VDD1 の入力電圧。VREG1 は補助巻線（図示せず）により給電される。ツェナー消費は省略

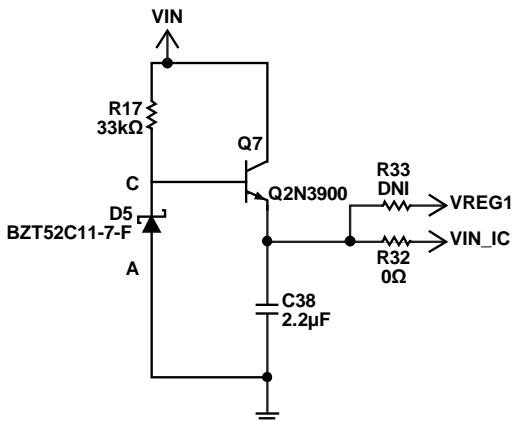


図 2. 消費電力が低～中程度となる VDD1 の入力電圧。VREG1 は補助巻線（図示せず）により給電される

MODE ピンを使用して軽負荷モードに入ると、同期整流（SR）PWM がディスエーブルされ、負荷がさらに軽減されるとパルススキップ・モードに入るので、便利です。

また、VREG1 の電圧は 14 V 未満に制限する必要があります。その理由は、この電圧を超えた場合に内蔵の 14 V ツェナーに電流が流れ、ADP1074、ADP1071-1、ADP1071-2 が高温になるためです。

**負荷短絡からの回復が原因でオーバーシュートになることがある**

VDD2 または VREG2 がまだ確定していないときに、SS2 が FB ピン電圧に追従できないために、オーバーシュートが発生することがあります。この状態を修正するには、SS1 コンデンサを大きくし、SS2 コンデンサを小さくします。

**軽負荷モードの閾値の設定が困難（ADP1074 のみ）**

軽負荷モードを設定するには MODE ピンを使用します。

$$R_{MODE} = \frac{I_{PEAK\_LLM} \times CS_{GAIN} + 0.8}{I_{MODE}}$$

ここで、

$I_{PEAK\_LLM}$  は軽負荷状態でのピーク 1 次電流。

$CS_{GAIN} = 12.5$ 。

$I_{MODE}$  は、MODE ピンから流れ出す電流。

あるいは、実験的に軽負荷状態で COMP ピンの電圧を測定し、次式により MODE ピンの抵抗を選択します。

$$R_{MODE} = V_{COMP} / 6.5 \mu A$$

**並列 MOSFET と高電圧 (>5 V) SR**

容量性負荷が付加されると、MOSFET のゲート・ソース電圧の立上がり時間が必然的に遅くなります。ADP1074、ADP1071-1、ADP1071-2 では、1 次側と 2 次側に 1 A のドライバを内蔵しています。追加の駆動力を必要とする場合は、専用電源から給電されるトータムポール回路などの外部バッファを用意するか、外付けの MOSFET ドライバを使用します。また、同様の方法を用いて、SR をより高い電圧で駆動します。

**信号の問題**

**NGATE の前に SR1 信号がオンになる**

アクティブ・クランプ・フォワード回路では NGATE より前に SR1 信号がオンになっても問題ありません。これは、フリーホイーリング期間中に 1 次ドレイン電圧  $V_{DS}$  が  $V_{IN}$  を下回ると、SR1 のボディ・ダイオードが導通し、SR2 はすでにオンになっているので 2 次巻線が短絡するからです。このため、 $V_{IN}$  の電圧で  $V_{DS}$  が平坦になります（1 次 MOSFET のドレイン・ソース容量 ( $C_{DS}$ ) とトランスの漏れインダクタンス  $L_{LEAKAGE}$  の間に小さな共振リングが生じることがあります）。この現象により、NGATE の前に SR1 がオンになっても何も影響はありません。

**フィードバック信号 COMP を 1 次側に送信する**

COMP は、アナログ・デバイゼズの特許取得済みの iCoupler 技術により 1 次側に送信されます。

**過渡応答が非常に遅い、またはセトリング時間が非常に長い**

ADP1074、ADP1071-1、または ADP1071-2 の SIMPLIS モデルを使用して、ボーデ線図を提供するシミュレーションを実行することを推奨します。この場合は通常、位相マージンが大きくなりすぎる傾向が見られます。COMP ピンの補償コンデンサを小さくすることを推奨します。

**RT ピンの抵抗値が PCB にハンダ付けされた値を示していない**

RT ピンの抵抗値がプリント基板 (PCB) にハンダ付けされた値を示していない場合、RT ピンが損傷しているとは限りません。デバイスの内部回路により、RT ピンの外部抵抗は測定できません。RT ピンがオープンになっておらず、またグラウンドに短絡していなければ、この状態で構いません。

**OVP 閾値の交差から PWM ターミネーションまでの遅延**

過電圧保護 (OVP) 閾値の交差から PWM ターミネーションまでの遅延は 600 ns 未満です。

**ソフト・スタートとソフト・ストップの問題  
出力電圧のオーバーシュート**

1 次側ソフト・スタート・ランプを低速に維持することを推奨します。すなわち、SS2 のコンデンサ値によって設定されるラ

ンプよりも、SS1 のコンデンサを増加させるか (ADP1074)、ゲート抵抗を増加させます (ADP1071-1 および ADP1071-2)。このランプにより、2 次側がパワーアップするまでのソフト・スタート・ランプの間の電流制限が決まります。これが小さすぎると適切なハンドオーバー手順が実行される前、すなわち制御が 2 次側に正常に移行する前に、出力電圧が急激に上昇してしまう可能性があります。

**ソフト・スタートの大部分で 2 次側が電源を制御するようにさせる**

2 次側のスイッチ・ノードからの抵抗コンデンサ・ダイオード (RCD) スナバは、コンデンサのスイッチ・ノード電圧を整流することができ、VDD2 ピンに給電した場合、2 次側が最初からイネーブルされます。最初の数回のスイッチング周期内に制御が 2 次側に移行します。ただし、スイッチ・ノードによってリンギングが過大になるおそれがあるため、2 次側の LDO (VDD2 ~ VREG2) の消費電力を検討する必要があります (図 3 参照)。

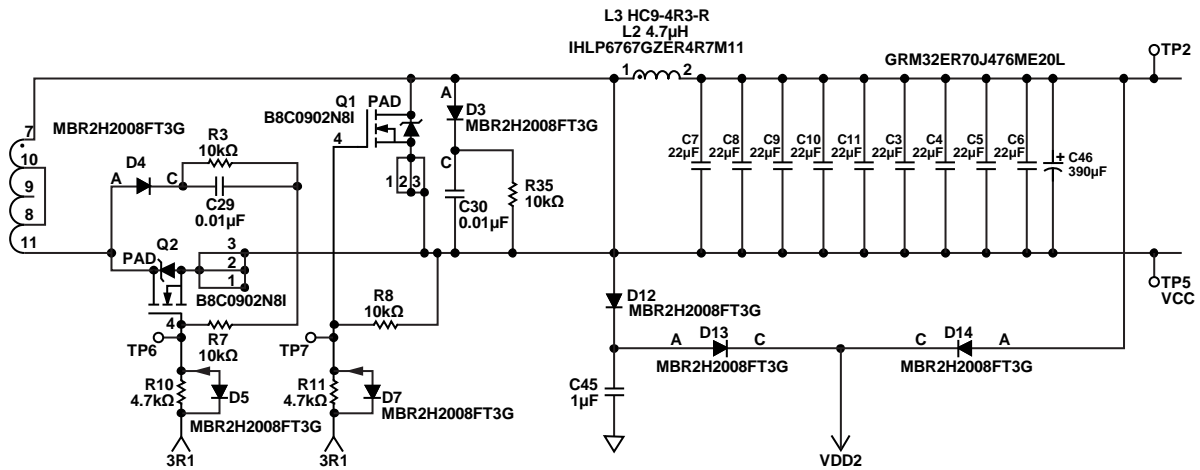


図 3. RCD オン、スイッチ・ノードから VDD2 への電力供給

## プリチャージ出力でスムーズなソフト・スタートを確保

ADP1074、ADP1071-1、ADP1071-2 のデバイスは SR ソフト・スタート機能を備えており、SR エッジが約  $1.5 \text{ ns}/t_s$  の速度で最小値から公称デューティ・サイクルまで徐々に増加します。ここで、 $t_s$  はスイッチング周期です。この機能により、出力での逆電流やグリッチが防止されます。また、デバイスは 1 次側と 2 次側の双方のコントローラであるため、出力電圧は常に 2 次側でモニタされ、SS2 ピンは FB ピン（したがって出力電圧）を瞬時にトラッキングすることにより、起動時にはゼロ・グリッチとなります。

## EN ピンをトグルするときにソフト・ストップが停止と開始を切り替えるように見える

EN ピンをトグルするとき、ソフト・ストップがスタート、停止、再スタートしているように見える場合は、EN ピンにグリッチ（または狭い電圧スパイク）がないか確認します。例えば、図 4 では、システムはソフト・ストップに入り、通常モードに入り、再びソフト・ストップに入りますが、最終的には 100 ms の時間後にシャットオフしています。機械式スイッチのバウンスがこの現象の原因と考えられ、EN ピンの高周波電圧スパイクが EN ピンの閾値を上下に超えることによって、ソフト・ストップ時にグリッチが発生します。

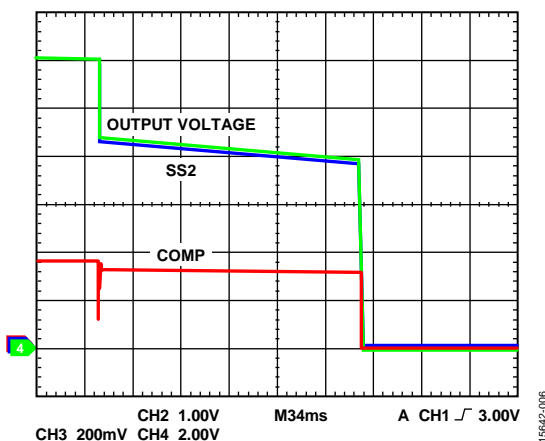


図 4. イネーブル・ピンのグリッチに起因する異常なソフト・ストップ。  
赤トレース = COMP, 緑 = 出力電圧, 青 = SS2

## 周波数

### 最大周波数範囲

RT ピンを使用した最大設定可能周波数は 600 kHz です。ただし、SYNC ピンを使用すると、周波数を 1 MHz まで上げることができます。

## 電源の周波数ディザ

外部ソースによって SYNC ピンにディザ機能を追加することができます。SYNC ピンは外部周波数に同期します。

## SS2 に 0.2 Vp-p、100 kHz のサイン波を与えたときの出力トラッキングの喪失

トラッキングのためには、ループゲインのクロスオーバー周波数が SS2 の入力信号を大きく上回る必要があります。

## 不正な同期

SYNC ピンに存在する同期周波数は、RT ピンを用いて設定された周波数の  $\pm 10\%$  以内である必要があります。ADP1074、ADP1071-1、ADP1071-2 デバイスが外部クロック信号にロックされ、同期するまでには、外部クロック信号の約 10 サイクル分を必要とします。また、入力信号の  $V_{IH}$  レベルが十分に高いことを確認します。

## iCoupler の代表的な帯域幅

iCoupler の代表的な帯域幅は 1.6 MHz です。

## 電流

### OCP 回復機能の定義

定常状態では、FB ピンは 1.20 V です。このとき、SS2 ピンの電圧は 1.4 V です。過負荷状態などの異常な状況では、出力電圧が著しく低下することがあります。このような場合、電流制限は最大レベルになり、COMP ピンの電圧はクランプ・レベルになります。COMP ピンの電圧がクランプ状態、および FB 電圧  $V_{FB} < (1.2 \text{ V} - 100 \text{ mV})$  という 2 つの条件が重なると、コントローラは高速電流シンクを用いて SS2 ピンを放電し、SS2 ピンを FB ピンと等しくします。コントローラは、このプリチャージ状態、すなわち出力電圧の最後の既知の値からソフト・スタートを実行しようとしています。これが OCP/フィードバック回復機能です。

ただし、COMP ピンの電圧が 1.5 ms 以上の間最大クランプ電圧を上回ると常に、システムはヒカップ・モードになります。

プリチャージからのソフト・スタートの間、出力電圧は SS2 ピンのコンデンサによって決まるのと同じ速度で上昇します。この期間の電流制限は、SS2 ピンの電圧によって決まります。ただし、電力段に出力電圧の上昇を妨げるような有害な障害がある場合には、 $V_{FB}$  は SS2 をトラッキングせず、 $SS2 > (V_{FB} + 100 \text{ mV})$  になると、COMP ピンの電圧がクランプ・レベルまで上昇し、システムは再び OCP/フィードバック回復モードに入ります。



1 次側と 2 次側の代表的な I<sub>DD</sub> 消費

図 5 と図 6 は、それぞれ 1 次側と 2 次側の電流消費性能データを示しています。

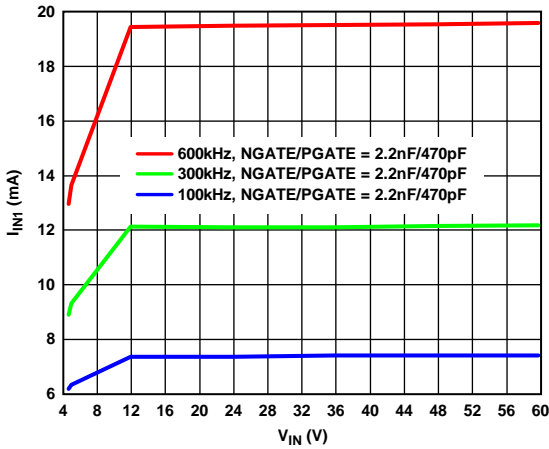


図 5. I<sub>IN1</sub> 電流と V<sub>IN</sub> 電圧の関係

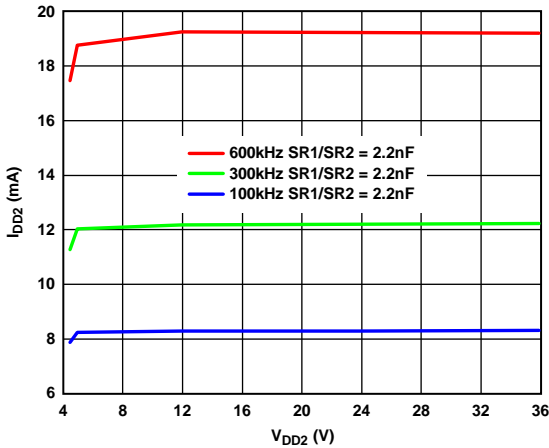


図 6. I<sub>DD2</sub> 電流と V<sub>DD2</sub> 電圧の関係

CS および AGND1 ピンを用いて 1 次電流を検出する適切な方法

1 次電流は通常、1 次スイッチと直列の検出抵抗を用いて検出されます。CS ピンと AGND1 ピンは差動ピンとして使用します。非常にノイズの多い環境では、33 pF ~ 100 pF の小容量コンデンサを CS ピンと AGND1 ピンの近くに追加するとよいでしょう (図 7 参照)。

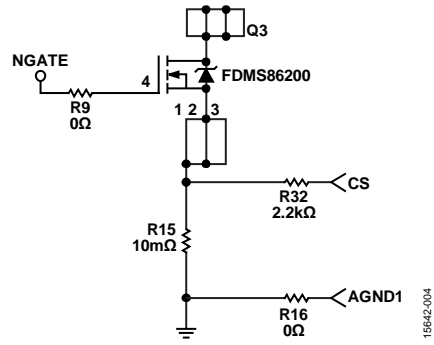


図 7. CS 信号のケルビン・センシング

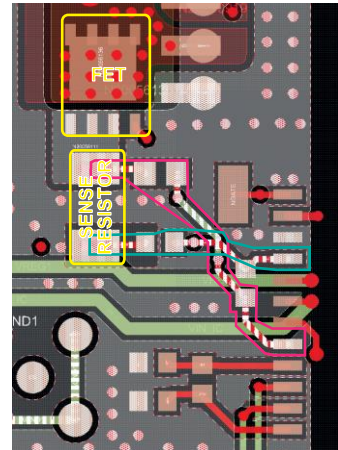


図 8. ピン色と青色で CS ラインを強調表示したレイアウト

ドライバの電力消費が VREG1 ピンと VREG2 ピンの上限を超えないようにする

VREG<sub>x</sub> ピンから流れる電流を決めるには、次式を使用します。

$$V_{REGx} \times I_{REGx} = \frac{1}{2} C_{GS} \times V_{REGx}^2 \times 2 \times f_s$$

すなわち

$$I_{REGx} = \frac{1}{2} C_{GS} \times V_{REGx} \times f_s$$

ここで、

f<sub>s</sub> はスイッチング周波数。

C<sub>GS</sub> は MOSFET のゲート・ソース容量。

V<sub>REG<sub>x</sub></sub> は VREG1 または VREG2 ピンの電圧。

I<sub>REG<sub>x</sub></sub> は VREG<sub>x</sub> ピンから流れる電流。

COMP を 2 次側から 1 次側に転送するときの欠相

このシステムには量子化効果はありませんが、誤差アンプの出力 (COMP ピン) のサンプリング特性のため、このシステムを離散時間システムに例えることができます。

しかし、有限の符号化時間や有限の変調/復調時間、および伝播遅延によりシステムで生じる欠相を理解することが不可欠です。システムにおける総デジタル遅延は、エンコーディング、変調、および復調の量の合計です。最大の項はマイクロトランスの伝搬遅延であり、600 ns です。これは、20 kHz の帯域幅では -600 ns × 20 kHz × 360 = -4.32° の欠相に寄与します。負の符号は欠相を示します。

電流制限 (COMP ピン電圧) のサンプリング・プロセスが一定であるため、システムはスイッチング期間中に新しい電流制限レベルで数回更新されます。このため、従来のダブル更新レート (またはアナログ・ドメインにおけるデュアル・エッジ変調) よりも数ステップ多く必要になります。300 kHz の代表的なスイッチング周波数では、誤差アンプの出力電圧は 1 スwitchング周期あたり 32 回サンプリングされます。帯域幅が 20 kHz の場合、欠相は次のように減少します。

$$(1/300k)/32 \times 20 \text{ kHz} \times 360 = 0.75^\circ$$

## ライン電圧に対する OCP 閾値の変動の低減 (ADP1074 のみ)

入力実効値電流は、入力電圧と、出力負荷にトランスの巻線比を掛けた値に正比例することに注意してください。ADP1074 は入力実効値電流を検出しないため、入力ピーク電流の検出によって電流制限が設定されます。インダクタの出力ピーク電流と入力ピーク電流はトランス巻線比に関連しています。したがって、入力ピーク電流制限は入力電圧範囲全体でほとんど変化せず、ほとんどのアプリケーションでは十分に正確です。入力ピーク電流制限と出力電流の関係の詳細な解析については、次式を参照してください。

次式は、入力ピーク電流と出力インダクタ電流リップルの相関を示しています。

$$\Delta I_L = \frac{(1-D)V_{OUT}}{L \times f_s}$$

$$I_{OUT} = I_{LPK} - \frac{1}{2} \Delta I_L$$

$$D = n \frac{V_{OUT}}{V_{IN}}$$

$$I_{LPK} = n \times I_{PKPRI}$$

ここで、  
*D* はデューティ・サイクル。  
 $\Delta I_L$  は出力インダクタ電流リップル。  
*L* は出力インダクタのインダクタンス。  
 $I_{OUT}$  は出力負荷電流。  
 $I_{LPK}$  は最大の  $I_{OUT}$  における出力インダクタのピーク電流。  
 $I_{PKPRI}$  は最大の  $I_{OUT}$  における入力ピーク電流。  
*n* はトランス巻線比  $N1/N2$ 。

図 9 は、連続導通モード (CCM) における 1 次電流と 2 次電流の波形を示しており、1 次電流は常に不連続、二次電流は常に連続です。1 次電流リップルと 2 次インダクタ電流リップルは、トランス巻線の巻数比に関連しています。

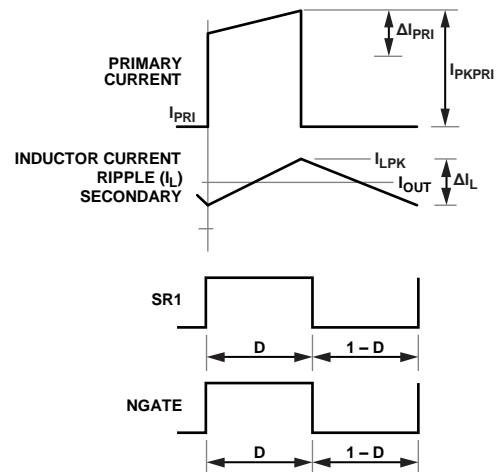


図 9. アクティブ・クランプ・フォワード回路における 1 次と 2 次の電流波形

$I_{PKPRI}$  は、閾値  $V_{CSLIM}$  が一定のためすべての入力電圧で固定されており、また異なる入力電圧ではデューティ・サイクルが変化するため、入力ピーク電流  $I_{PKPRI}$  が  $V_{CSLIM}$  にクロスオーバーすると、出力電流も異なる入力電圧でわずかに変化します。最小入力電圧と最大入力電圧での出力電流の差は次式の関係になります。

$$\begin{aligned} \Delta I_{OUTLIMIT} &= I_{OUTDMIN} - I_{OUTDMAX} \\ &= I_{LPK\_DMIN} - I_{LPK\_DMAX} + \frac{1}{2} \Delta I_{L\_DMIN} - \frac{1}{2} \Delta I_{L\_DMAX} \end{aligned}$$

ここで、

$D_{MIN}$  は最小デューティ・サイクル。  
 $D_{MAX}$  は最大デューティ・サイクル。  
 $I_{OUTDMIN}$  は  $D_{MIN}$  での出力電流制限値。  
 $I_{OUTDMAX}$  は  $D_{MAX}$  での出力電流制限値。  
 $I_{LPK\_DMIN}$  は  $D_{MIN}$  でのインダクタのピーク電流。  
 $I_{LPK\_DMAX}$  は  $D_{MAX}$  でのインダクタのピーク電流。  
 $\Delta I_{L\_DMIN}$  は  $D_{MIN}$  でのインダクタの電流リップル。  
 $\Delta I_{L\_DMAX}$  は  $D_{MAX}$  でのインダクタの電流リップル。

$I_{LPK\_DMIN}$  と  $I_{LPK\_DMAX}$  は、電流制限閾値がライン電圧に対して固定されているため、同じ値になります。言い換えると、ピーク電流モード・コントローラで見られる内蔵フィードフォワード効果のために、電流制限値が同じになります。

したがって、次式で表すことができます。

$$\begin{aligned} \Delta I_{OUTLIMIT} &= \frac{1}{2} (\Delta I_{L\_DMIN} - \Delta I_{L\_DMAX}) \\ &= \frac{1}{2} \frac{V_{OUT}}{L \times f_{sw}} (D_{MAX} - D_{MIN}) \end{aligned} \tag{1}$$

式 1 から、入力ピーク電流が閾値  $V_{CSLIM}$  に達するときの最小入力電圧と最大入力電圧での出力電流の差は、 $D_{MAX}$  と  $D_{MIN}$  の差に比例し、 $L$  や  $f_{sw}$  を増加させることによって最小化することができます。 $L$  と  $f_{sw}$  を適切に選択すると、 $V_{IN}$  範囲が大きくても出力電流制限値はほとんど変化しません。



### フライバック・コンバータのライン電圧に対する使用可能電流の最大と最小の関係

入力電圧は入力ピーク電流に影響します。この電流は、最小入力電圧で最大、最大入力電圧で最小となります。入力ピーク電流制限の閾値  $V_{CSLIM}$  は異なる入力電圧でも一定ですが、出力電流は大幅に変動する可能性があります。

入力ピーク電流制限と出力電流の関係の詳細な解析については、次式を参照してください。

以下を考慮します。

$$P = \frac{1}{2} L_p I_p^2 f_s \quad \text{および} \quad D = \frac{n V_o}{V_{IN} + V_o}$$

ここで、

$n$  はトランスの 1 次巻線と 2 次巻線の比。

$V_o$  は出力電圧。

$L_p$  は 1 次インダクタンス。

$V_{IN}$  は入力電圧。

電力の差は次式で計算されます。

$$\begin{aligned} \Delta P &= P_{MAX} - P_{MIN} \\ &= \frac{1}{2 L_p f_s^2} \left( \frac{V_{IN\_MIN}}{V_{IN\_MIN} + 1} - \frac{V_{IN\_MAX}}{V_{IN\_MAX} + 1} \right) \end{aligned}$$

したがって、この関係は非線形です。スイッチング周波数を十分に高くして、スイッチング損失を妥当な程度にし、入力電圧の範囲を狭めることを推奨します。