

ADL5371 I/Q 変調器と AD9779A デュアルチャンネル、1 GSPS、 高速 DAC とのインターフェース

回路の機能とその利点

この回路は、ADL5371 I/Q 変調器と AD9779A 高速 DAC との簡単なインターフェースとして機能します。ADL5371 と AD9779A は、バイアス・レベルが同じで同程度な高い S/N 比の特性なので、十分マッチしたデバイス同士です。マッチ・バイアス・レベルが 500 mV なので、直結のインターフェースが可能です。このため、レベル・シフト回路を追加する必要がなく、他の余計な部品が増えることによるノイズや挿入損失の劣化がありません。振幅制限抵抗 (RSLI および RSLQ) を追加することで、分解能を低下させず、もしくは 0.5V のバイアス・レベルを損なうことなく、DAC の振幅を適宜スケールリングすることができます。各デバイスの S/N 比が高いので、回路全体で高い S/N 比を維持できます。

回路の説明

ADL5371 は、アナログ・デバイセズの TxDAC[®] コンバータ・ファミリと最小限の部品でインターフェースすることができます。ADL5371 のベースバンド入力には、500 mV の DC コモンモード・バイアス電圧が必要です。AD9779A の各出力は 0 mA ~ 20 mA の範囲で変化するので、DAC の各出力とグラウンドの間に 1 本の 50 Ω 抵抗を接続すると、目的とする 500 mV の DC バイアスが得られます。4 本の 50 Ω 抵抗を所定の位置に接続すると、各ピンでの電圧振幅は 1 V p-p になり、各入力ペアでの差動電圧振幅が 2 V p-p になります。

抵抗 RSLI および RSLQ をインターフェース回路に追加することにより、DAC の出力振幅が減少しますが、DAC の分解能が低下することはありません。図 1 に示すように、差動ペアの間に抵抗をシャント接続します。これにより、50 Ω の抵抗と DAC の出力電流によってすでに形成されている DC バイアスを変化させることなく AC 振幅を低減する効果が得られます。

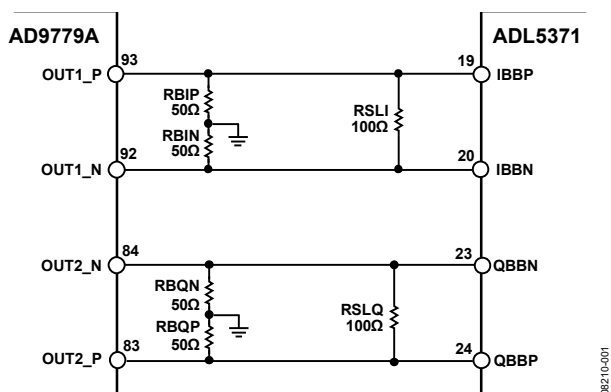


図 1.グラウンドとの間に 50 Ω の抵抗を接続して ADL5371 のベースバンド入力に 500 mV の DC バイアスを設定する
AD9779A と ADL5371 の間のインターフェース (簡略回路図)

この AC 振幅制限抵抗の値は、目的とする AC 電圧振幅に基づいて選択します。50 Ω のバイアス設定抵抗を使用したときの、ピーク to ピーク AC 振幅と振幅制限抵抗との関係を図 2 に示します。アナログ・デバイセズのすべての I/Q 変調器のベースバンド入力は、比較的高い入力インピーダンス (標準で >1 kΩ) を示しています。このため、I/Q 変調器の入力インピーダンスは DAC 出力信号のスケールリングに影響しません。

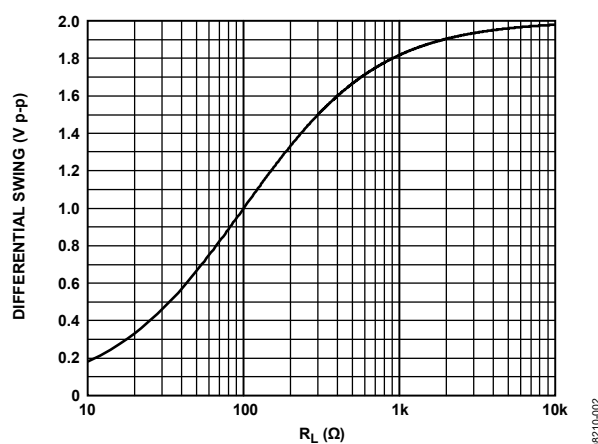


図 2. 50 Ω のバイアス設定抵抗を使用した場合の AC 振幅制限抵抗とピーク to ピークの電圧振幅との関係

変調器を駆動する場合は、通常 DAC 出力にローパス・フィルタを形成してイメージ周波数を除去する必要があります。図 1 に示すインターフェース回路は、このようなフィルタ挿入に適しています。DC バイアス設定抵抗と AC 振幅制限抵抗の間にフィルタを挿入します。こうすれば、フィルタの入出力インピーダンスが規定されるからです。

目次

回路の機能とその利点	1
回路の説明	1
改訂履歴	2
バリエーション回路	3
参考資料	3

改訂履歴

8/2016—Rev. A to Rev. B

Document Title Changed from CN-0017 to AN-1414	Universal
Changes to Circuit Description, Figure 3 Caption, and Common Variations Section	3

5/2009—Rev. 0 to Rev. A

Updated Format	Universal
----------------------	-----------

10/2008—Revision 0: Initial Version

シミュレーションにより得られた、3 dB 周波数が 3 MHz の 3 次楕円ローパス・フィルタの例を図 3 に示します。マッチングした入出力インピーダンスにより、フィルタの設計はより簡単になります。したがって選定した 100 Ω のシャント抵抗で、0 mA ~ 20 mA の DAC フルスケール出力電流では 1 V p-p の差動 AC 振幅が得られます。実際のアプリケーションでは、標準値の部品を使用するのに加えて、I/Q 変調器の入力インピーダンス (2900 kΩ と数 pF の並列入力容量) があるので、この回路の周波数応答はわずかに変化します。

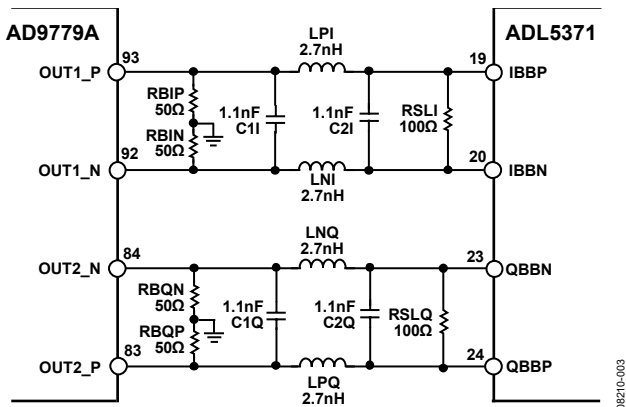


図 3. DAC 変調器と 3 MHz の 3 次楕円ローパス・フィルタとのインターフェース (部品の値は計算値)

ADL5371 の複数の電源ピンを同じ 5 V 電源に接続します。同じ名前の隣接ピンは互いに接続し、0.1 μF のコンデンサを使用して面積の広いグラウンド・プレーンにデカップリングします。これらのコンデンサは ADL5371 にできるだけ近く配置します。可能な電源電圧範囲は 4.75 V ~ 5.25 V です。

ADL5371 の COM1、COM2、COM3、COM4 の各ピンは、低インピーダンスの経路で同じグラウンド・プレーンに接続します。パッケージ下側にある露出パドルは、熱抵抗および電気抵抗の低いグラウンド・プレーンにはんだ付けします。グラウンド・プレーンが回路基板上の複数の層にまたがる場合は、露出パドルの下にビアを 9 ヶ所設けて互いに接続します。AN-772 アプリケーション・ノートでは、LFCSP の熱的接地および電気的接地をより詳細に説明しています。

バリエーション回路

説明したインターフェース回路は、グラウンド基準で 0 mA ~ 20 mA の電流を出力する任意の TxDAC コンバータと、任意の I/Q 変調器とのインターフェースを、0.5 V の入力バイアス・レベルでとることができます。LVDS (Low Voltage Differential Signaling) インターフェースとして動作する AD9783 デュアル DAC がゼロ IF アプリケーションに適していますし、CMOS 駆動の AD9788 デュアル DAC は、分解能の高い複素 IF 入力信号を I/Q 変調器に対して生成できます。

I/Q 変調器の ADL5370/ADL5371/ADL5372/ADL5373 は、狭帯域動作において高い出力 1 dB 圧縮ポイントと出力 3 次インターセプト・ポイント (OIP3) を実現するのに対して、ADL5375 は、400 MHz ~ 6 GHz の広帯域において高性能な動作を実現します。ADL5385 I/Q 変調器は、2 倍の周波数の局部発振器 (LO) を使用して、30 MHz ~ 2.2 GHz の範囲で動作します。

参考資料

- Griffin, Gary. AN-772 Application Note, A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP). Analog Devices.
- Kester, Walt. MT-016 Tutorial, Basic DAC Architectures III: Segmented DACs. Analog Devices.
- Kester, Walt. MT-017 Tutorial, Oversampling Interpolating DACs. Analog Devices.
- Kester, Walt, Bryant, James, and Byrne, Mike. MT-031 Tutorial, Grounding Data Converters and Solving the Mystery of "AGND" and "DGND". Analog Devices.
- MT-080 Tutorial, Mixers and Modulators. Analog Devices.
- MT-101 Tutorial, Decoupling Techniques. Analog Devices.
- Zumbahlen, Hank. Linear Circuit Design Handbook, Chapters 4 and 11. Analog Devices.