

**ADG9XX 広帯域 CMOS スイッチの良くある質問 (FAQ)**
**著者: Theresa Corrigan**
**はじめに**

ADG9xx CMOS 広帯域スイッチは、主に工業用、科学技術用、医用(ISM)の周波数帯域( $\geq 900$  MHz)で送信するデバイスの要求を満たすようにデザインされています。低挿入損失、ポート間の高いアイソレーション、低歪み、低消費電流であるため、低消費電力と 16 dBm までの送信電力を必要とする多くの高周波アプリケーション向けに優れたソリューションになっています。一般的なアプリケーションとしては、高速フィルタリングとデータ・ルーティングなどがあります。

各デバイス(ADG901、ADG902、ADG904、ADG904R、ADG918、ADG919、ADG936、ADG936R)の仕様は、アナログ・デバイセズのデータ・シートに記載されていますので、このアプリケーション・ノートと組み合わせてご覧ください。このアプリケーション・ノートでは、これらのデバイスについて、よくある質問(FAQ)のいくつかに答えます。全 ADG9xx デバイスの一覧を表 1 に示します。

表 1. ADG9xx シリーズの主な仕様

Part No.	Function <sup>1</sup>	Power Supply	Insertion Loss @ 1 GHz (dB)	Isolation @ 1 GHz (dB)	Maximum Input Power, No DC Bias (dBm)	Maximum Input Power with 0.5 V DC Bias (dBm)	Package
ADG901	1 × SPST; Absorptive	1.65 V to 2.75 V	-0.8	-37	7	16	8-Lead MSOP and 8-Lead 3 mm × 3 mm LFCSP
ADG902	1 × SPST; Reflective	1.65 V to 2.75 V	-0.8	-37	7	16	8-Lead MSOP and 8-Lead 3 mm × 3 mm LFCSP
ADG918	1 × SPDT; Absorptive	1.65 V to 2.75 V	-0.8	-43	7	16	8-Lead MSOP and 8-Lead 3 mm × 3 mm LFCSP
ADG919	1 × SPDT; Reflective	1.65 V to 2.75 V	-0.8	-43	7	16	8-Lead MSOP and 8-Lead 3 mm × 3 mm LFCSP
ADG936	2 × SPDT; Absorptive	1.65 V to 2.75 V	-0.9	-36	7	16	20-Lead TSSOP; 20-Lead, 4 mm × 4 mm LFCSP
ADG936R	2 × SPDT; Reflective	1.65 V to 2.75 V	-0.9	-36	7	16	20-Lead TSSOP; 20-Lead, 4 mm × 4 mm LFCSP
ADG904	4:1 Mux; Absorptive	1.65 V to 2.75 V	-1.1	-37	7	16	20-Lead TSSOP; 20-Lead, 4 mm × 4 mm LFCSP
ADG904R	4 × SPDT; Reflective	1.65 V to 2.75 V	-1.1	-37	7	16	20-Lead TSSOP; 20-Lead, 4 mm × 4 mm LFCSP

<sup>1</sup> Absorptive (マッチング済み): グラウンドへ接続した 50 Ω の終端抵抗を持つスイッチ。Reflective: グラウンドへ接続した 0 Ω の終端抵抗を持つスイッチ。

## よくある質問(FAQ)

### 電源電圧

#### ADG9xx 製品の電圧電源範囲は？

ADG9xx は CMOS プロセスで製造した広帯域スイッチであり、1 GHz まで高いアイソレーションと低い挿入損失を提供します。これらのデバイスは、1.65 V～2.75 V で動作するため、この電圧範囲でキャラクタライゼーションされています。V<sub>DD</sub> 電源は、グラウンドへ確実にデカップリングする必要があります。ADG9xx 評価ボードでは、V<sub>DD</sub> ラインに 2 個の 10 μF 表面実装タンタル・デカップリング・コンデンサを使用し、その内の 1 個は DUT の近くに配置し、100 pF のセラミック・コンデンサも一緒に V<sub>DD</sub> ラインに接続しています。

#### 最適性能を得るためには、デバイスをどの電源電圧で動作させますか？

一般に電源電圧 V<sub>DD</sub> が高いほど、性能が良くなります。個々のデータ・シートのプロットに示すように、電源電圧が高いほど、挿入損失性能が良くなります。電源電圧が高くなると、IP3 と P1dB も少し良くなります。V<sub>DD</sub> が 1.65 V から 2.75 V 変化しても、アイソレーション性能には大きな変化はありません。V<sub>DD</sub> が低くなると、リーク性能と I<sub>DD</sub> 性能は少し低下します。

#### データ・シートの絶対最大定格のセクションには、V<sub>DD</sub>-GND 間は-0.5 V～+4 V と示してあります。これらのデバイスは V<sub>DD</sub> = 3 V の電源でも動作するのは？

これは絶対最大定格条件であるため、絶対最大定格条件に長期間置くと、デバイスの信頼性に悪影響を与えることがあります。寿命内の ADG9xx ファミリーの保証動作電圧範囲は 1.65 V～2.75 V であり、デバイスのキャラクタライズではこれらの電源を使用しています。

したがって、デバイスは 2.75 V より高い電源で動作できますが、デバイスの寿命は保証できません。前述のように、デバイスは電源が高いほど性能が良くなります。リークと I<sub>DD</sub> は、低下する主な仕様です。

### DC 性能

#### これらの RF スwitch のオン抵抗は？

信号損失は、オン状態のスイッチ抵抗 R<sub>ON</sub> による減衰によって決まります。この R<sub>ON</sub> は、ソースおよび負荷抵抗と直列の抵抗であり、低い動作周波数で測定されます。

ADG9xx ファミリーは、N チャンネルの MOSFET 構造を使用しています。これは、NMOS FET と PMOS FET を並列に使用する標準スイッチに比べて帯域幅が非常に広いからです。P チャンネル MOSFET を除いたためにスイッチ・サイズが小型になり、寄生容量が大幅に少なくなるために帯域幅が広がります。

ADG9xx のオン抵抗のプロットは N チャンネル MOSFET 構造で予想されるオン抵抗プロファイルに一致します。図 1 に、これらのデバイスで測定した R<sub>ON</sub>(typ) 対入力信号のプロットを示します。

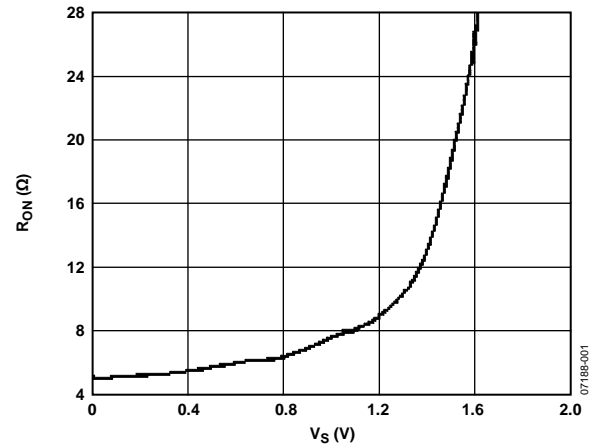


図 1. オン抵抗対ソース電圧

#### 高いオフ時アイソレーションはどのようにして実現したのですか？

信号周波数が数百 MHz を超えると、広帯域アプリケーションで、スイッチ・オフ状態で高いアイソレーションとオン状態で低い挿入損失を実現することは、寄生容量が支配的になるためにデザインが非常に困難になります。

馴染み深いスイッチ回路から離れて、オフされた信号(および付随する浮遊信号)に対してグラウンドへの分流パスを設けると、高い周波数でオフ時アイソレーションを大きくするスイッチのデザインが可能になります。図 2 に、入力 (RFx) と出力 (RFC) の間の寄生容量を小さくして、高い周波数でアイソレーションを大きくし、クロストーク除去比を向上させる優れたレイアウトが FET で可能なことを示します。たとえば、MN1 がオンになり RF1 に対して導通パスを形成すると、MN2 がオフになり、MN4 がオンになり、RF2 の寄生をグラウンドへ流します。

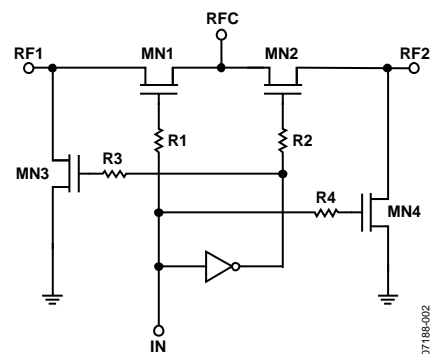


図 2. 一般的なトランジスタを採用した Tx/Rx スwitch

## 低い周波数(<1 MHz)では、なぜオフ時アイソレーション性能が低下するのですか？

低い周波数では、寄生ダイオードが順方向にバイアスされることがあり、このために本来オフであるはずのシャント NMOS デバイスが部分的にターンオンしてしまふことがあります。低い周波数では、この2つのメカニズムが動作することがあります。

これが、DC に近い周波数で、オフ時アイソレーションに悪影響を与えます。これらのメカニズムは、低い周波数での電力処理能力にも影響を与えるため、電力処理能力のセクションの2つ目の質問で詳しく説明します。

## 電力処理能力

### dBm 値とは？

dBm とは、50 Ω 負荷での 1 mW を基準とした電力のデシベル値です。したがって、正弦波信号に対して、0 dBm の電力レベルは、 $224 \text{ mV rms} = 316 \text{ mV p-p} = 633 \text{ mV p-p}$  となります。他のレベルに対しては、dBm 値は次のようになります。

$$\text{dBm} = 10 \times \log(P/1 \text{ mW}) = 10 \times \log[(V \text{ rms})^2 / (R \times 1 \text{ mW})]$$

ここで、  
log は底 10 の対数。  
 $R = 50 \Omega$ 。

それでは、7 dBm (5 mW) の入力信号はどうでしょうか？ 50 Ω 負荷の場合、7 dBm の正弦波信号は 0.5 V rms 信号すなわち 1.4 V p-p に対応します。同様に、16 dBm は 1.4 V rms すなわち 4 V p-p に対応します。

$$[V \text{ p-p} = V \text{ rms} \times 2 \times \sqrt{2}]$$

**データ・シートには、デバイスは DC バイアスなしでは 7 dBm の入力電力を、0.5 V の DC バイアスでは 16 dBm の入力電力をそれぞれ処理すると記載してありますが、どのように処理するのでしょうか？**

入力信号が 7 dBm より大きい場合は、0.5 V の DC バイアスを加えることにより、正弦波の最小レベルを持ち上げて、信号の負部分がクリップまたは減衰されるのを防止します。小さい DC バイアスを使うと、低い周波数(<100 MHz)で電力処理能力が小さくなる2つの影響に対処することができます。

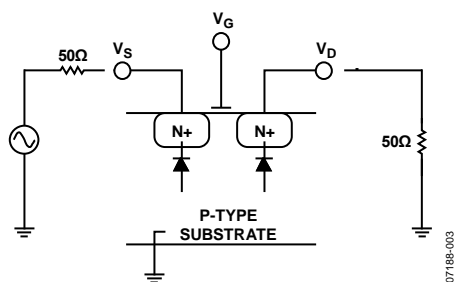


図 3. NMOS 構造

図 3 に示す NMOS 固有の構造は、P 型サブストレート内にある 2 つの N 型材料の領域から構成されています。寄生ダイオードは、N 領域と P 領域の間に形成されます。0 V DC でバイアスされた AC 信号がトランジスタのソースに入力され、 $V_{GS}$  がトランジスタをターンオンさせるために十分大きい ( $V_{GS} > V_T$ ) 場合には、入力波形の負の半サイクルの一部で、寄生ダイオードが順方向バイアスされることがあります。入力正弦波が約 -0.6 V を下回ると、これが発生してダイオードがターンオンし、入力信号がクリップ(圧縮)されます(図 4 参照)。100 MHz、10 dBm の入力信号と、それに対応する 100 MHz 出力信号を次図に示します。出力信号が切り取られていることに注意してください。

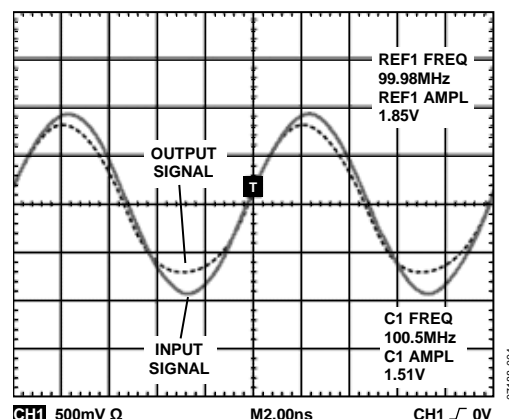


図 4. 0 V DC バイアスの 100 MHz、10 dBm の入力信号と出力信号

低い周波数では、入力信号が長時間 -0.6 V レベルを下回るため、これが 1 dB 圧縮ポイント(P1dB)に大きな影響を与えます。これが、低い周波数で電力処理能力が低下する最初のメカニズムです。

また、本来オフであるはずのシャント NMOS デバイスが部分的にターンオンすることも、低い周波数でデバイスの電力処理能力が低下する理由になっています。これは、前に説明した寄生ダイオードが部分的にターンオンすることに似ています。この場合、NMOS トランジスタは  $V_{GS} < V_T$  でオフ状態にあります。シャント・デバイスのソースに AC 信号がある場合、波形に負の半サイクル時間 ( $V_{GS} > V_T$ ) があるため、シャント・デバイスが部分的にターンオンします。これにより、エネルギーの一部がグラウンドへ流されるために入力波形が圧縮されます。

7 dBm (すなわち 5 mW、50 Ω で 1.4 V p-p) 以上の入力信号でスイッチを使う場合、小さい DC バイアス(約 0.5 V)を RF 入力信号に加えることによって前述の両メカニズムを克服できます。これにより、正弦波入力信号の最小レベルが持ち上げられるため、寄生ダイオードの逆バイアスが続いて、シャント・トランジスタが  $V_{GS} > V_T$  になることがなくなり、入力信号の全区間オフ状態を維持できます。図 5 に、0.5 V DC バイアス、100 MHz、入力電力 10 dBm (50 Ω で約 2 V p-p) の入力信号と出力信号のプロットを示します。100 MHz でクリッピングすなわち圧縮が発生しなくなることが示されています。

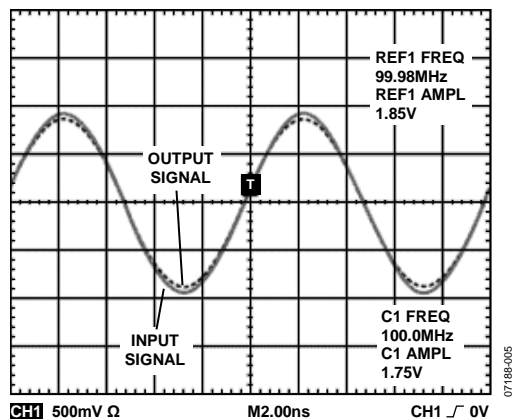


図 5. 0.5 V DC バイアス、100 MHz、10 dBm の入力信号と出力信号

#### DC バイアスを RF 入力へどのように与えるのですか？

入力側の終端抵抗を流れる電流を小さくするためには、出力 (RFC) 側でバイアスを加えるのが最適です。特に低消費電力の携帯型アプリケーション向けに優れた方法ですが、下流にある回路がこの DC バイアスを処理できない場合には、DC 阻止コンデンサを RF 出力に接続する必要があります。

#### 0.5 V より高い DC バイアスを使用することはできますか？

図 1 に、入力信号が大きくなると、オン抵抗が指数的に大きくなることを示します。また、0.5 V より高い DC 信号はスイッチで発生する損失の原因になるため、ユーザーはオン抵抗を小さくする方を選択すると思われます。標準の CMOS スイッチの場合と同様に、スイッチ入力に加えられる信号は  $V_{DD}$  電源を超えることはできません。