

SPI を使った高速 ADC へのインターフェース

著者：高速コンバータ事業部

はじめに

このアプリケーション・ノートでは、アナログ・デバイセズの高速コンバータに内蔵されている SPI ポートの使用方法について説明します。さらに、これらのデバイスにインターフェースする電気的條件、タイミング条件、手順も定めます。このポートは業界標準の SPI ポートと互換性を持っており、少なくとも、2 線式モードとオプションのチップ・セレクトを持っています。

定義

SPI ポートは、シリアル・クロック・ピン(SCLK)、シリアル・データ入力/出力ピン(SDIO)、チップ・セレクト・バー・ピン(CSB)の 3 本のピンから構成されます。オプションとしてシリアル・データ出力ピン(SDO)を持つチップもあり、これは 3 線式モードと呼ばれています。ピン数を少なくするために、大部分のチップはこのピンを持っていませんが、持っている場合には、デバイスからのデータ読み出しにのみ使用されます。

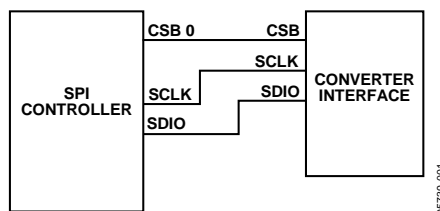


図 1.2 線式モードでのシングル・デバイス制御

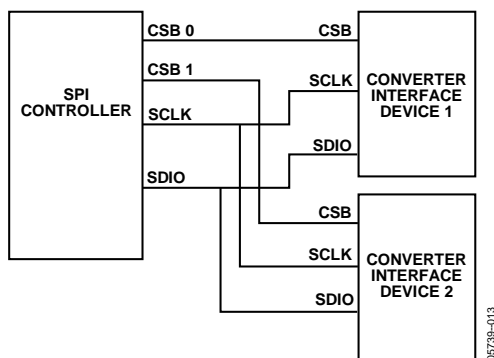


図 2.2 線式モードでの複数デバイス制御

目次

はじめに.....	1	ビット7～ビット4—補助デバイス.....	9
定義.....	1	ビット3～ビット0—メイン・コンバータ.....	9
改訂履歴.....	2	書き込み.....	9
SPIポート・ピン.....	3	読み出し.....	9
シリアル・クロック(SCLK).....	3	プログラム・レジスタ.....	10
シリアル・データ入力/出力(SDIO).....	3	モード(0x008).....	10
チップ・セレクト・バー(CSB).....	3	クロック(0x009).....	10
シリアル・データ出力(SDO).....	4	PLL制御(0x00A).....	10
フォーマット.....	5	クロック分周器(0x00B).....	11
命令フェーズ.....	5	エンハンスメント・モード(0x00C).....	11
Read/Write.....	5	出力テスト・モード(0x00D).....	11
ワード長.....	5	ビルトイン・セルフテスト(0x00E).....	13
ストリーミング.....	6	アナログ入力(0x00F).....	13
アドレス・ビット.....	6	オフセット調整(0x010).....	13
データフェーズ.....	6	ゲイン調整(0x011).....	13
ビット順.....	6	出力モード(0x014).....	14
SPIモードとピン・モードの検出.....	7	出力設定(0x015).....	14
ハードウェア・インターフェース.....	7	クロック分周器位相(0x016).....	14
チップのプログラミング.....	8	出力遅延調整(0x017).....	14
設定レジスタ(0x000).....	8	リファレンス電圧調整(0x018).....	14
ビット7—SDOアクティブ.....	8	ユーザー・テスト・パターン(0x019～0x020).....	15
ビット6—LSBファースト.....	8	シリアル・データ制御チャンネル(0x021).....	15
ビット5—ソフト・リセットの制御.....	8	シリアル・チャンネルのパワーダウン(0x022).....	15
ビット4—予約済み.....	8	MISRレジスタ(0x024～0x025).....	15
転送レジスタ(マスタースレーブ・ラッチ)(0x0FF).....	8	各種機能(0x02A).....	15
ビット0—ソフトウェア転送.....	8	ハイバス(0x02B).....	16
ビット7—ハードウェア転送のイネーブル.....	9	アナログ入力(0x02C).....	16
チップID(0x001).....	9	クロス・ポイント・スイッチ(0x02D).....	16
チップ・グレード(0x002).....	9	プログラミング例.....	17
デバイス・インデックス(0x004と0x005).....	9	コントロール・レジスタ.....	18

改訂履歴

4/07— Initial Version to Rev. A

Updated Format.....	Universal
Changes to Transfer Register Section.....	8
Changes to Figure 13.....	10
Added Table 6.....	11
Added PLL Control (0x00A) Section.....	11
Changes to Table 8.....	12

12/05— Revision 0: Initial Version

SPIポート・ピン

以下のセクションでは SPI ポート・ピンについて説明します。

注意: ロジック電圧の公称値と絶対最大値を調べるときはそれぞれの ADC データ・シートをご使用ください。

シリアル・クロック(SCLK)

SCLK ピンはシリアル・シフト・クロック入力ピンです。このピンにはクロック・ラインのノイズ耐性を向上させるシュミット・トリガーが付いており、公称 50 kΩ の抵抗をグラウンドとの間に接続してロー・レベルにプルダウンしています。このピンは、ハイ・レベルまたはロー・レベルに維持することができます。

SCLK は、シリアル・インターフェースの読み出しと書き込みを同期化するときに使います。入力データは、このクロックの立ち上がりエッジでレジスタにロードされ、送信される出力データは立ち下がりエッジでレジスタから出力されます。

SCLK の最小保証速度は 25 MHz (t_{CLK} 40 ns) です。ホールド・タイム (t_{DH}) は 0 ns (typ) で、SCLK と SDIO との間の最小セットアップ・タイム (t_{DS}) は 5 ns です (正確なインターフェース・タイミング条件についてはそれぞれのデバイス・データ・シートをご覧ください)。内部と外部のタイミングを最適化するため、バスは SCLK サイクルの 1/2 以内に SDIO ラインの状態を変化させて元に戻すことができます。これは、読み出しを要求しているコンバータへアドレス情報が渡された後に、SDIO ラインが入力から出力へクロック・サイクルの 1/2 以内に変化することを意味しています。この条件により、次のクロック・サイクルの立ち下がりエッジまでに、データが安全にこのシリアル・ラインに出力されてコントローラから読み出せるようになります。外部コントローラの速度が不十分で ADC SPI ポートに追従できない場合、外部デバイスはクロック・ラインを停止させて時間を延ばして外部タイミング問題を解決することができます。

シリアル・データ入力/出力(SDIO)

SDIO ピンは共用ピンです。このピンは送信される命令(読み出しまたは書き込み)とタイミング・フレーム内の相対位置(命令またはデータのフェーズ)に応じて、入力または出力として機能します。書き込みまたは読み出しの最初のフェーズで、このピンは情報を内部ステート・マシンへ渡す入力として機能します。コマンドが読み出しコマンドと判断されると、ステート・マシンはこのピン(SDIO)を出力に切り替えて、データをコントローラへ渡します(表 1 の t_{EN_SDIO} と t_{DIS_SDIO} 参照)。デバイスに SDO ピンがあり、設定レジスタでこれを使用する場合、SDIO ピンが出力に切り替わる代わりに、SDO がアクティブになります。他のすべての時間では、SDO ピンは高インピーダンス状態に留まります。コマンドが書き込みコマンドと判断されると、SDIO ピンはその命令の間入力になります。

チップ・セレクト・バー(CSB)

CSB は、読み出しサイクルと書き込みサイクルをゲーティングするアクティブ・ローのコントロール信号です。CSB の動作には複数のモードがあります。コントローラがチップ・セレクト出力または複数デバイスを選択するその他の手段を持っている場合は、このピンを CSB ラインに接続することができます。このラインがロー・レベルのとき、デバイスが選択され、SCLK ラインと SDIO ラインの情報が処理されます。このピンがハイ・レベルのとき、デバイスは SCLK ラインと SDIO ラインの情報を無視します。この方法で、複数のデバイスを SPI ポートへ接続することができます。デバイスが 1 個だけ接続されている場合は、CSB ラインをロー・レベルに接続して常にデバイスをイネーブルしておくこともできます(CSB ラインをロー・レベルに接続すると、ポートでエラーが発生したときデバイスをリセットできなくなります)。また、SPI ポートの 2 つ目の機能をイネーブルするために、CSB ラインをハイ・レベルに接続することもできます(詳細については、SPI モードとピン・モードの検出のセクションを参照してください)。CSB は高インピーダンス・ラインであるため、公称 50 kΩ の抵抗でハイ・レベルにプルアップしてあります。

CSB はハイ・レベルにしておくことができます。すなわち、外部タイミングを延ばすため、複数クロック・サイクル間ハイ・レベルを維持することができます(図 5 参照)。インターフェースを經由して 1 回に 3 ワード以下(命令情報をカウントしません)を送信する場合、命令情報の各バイトを含む各バイト間で CSB をハイ・レベルに維持することができます。CSB がバイト中にハイ・レベルに維持されると、ステート・マシンがリセットされ、コントローラはアイドル状態に戻り、新しい命令の送信を待ちます。このメカニズムを使うと、故障が検出された後に回復が可能になります。リセットを検出するためは、1~7 シリアル・クロック必要とします。ステート・マシンがアイドル状態になった後には、CSB の次の立ち下がりエッジで新しい送信サイクルが開始されます。

デバイスによっては、SPI ピンに 2 つ目の機能を持っているものもあります。一般に、これらの機能としては、出力データ・フォーマット、デューティ・サイクル・スタビライザ、その他の共通機能などがあります。これらのピン機能は、CSB ピンによりイネーブルされます。CSB ピンがハイ・レベルに接続されると、SPI 機能は高インピーダンス・モードになります。このモードでは、2 つ目の機能がターンオンされて、SPI 動作を必要としない内蔵機能を制御することができます。これらの機能はデバイスごとに異なります。この機能のサポートの有無と制御できる機能については、個々のデバイスのデータ・シートを参照してください。

SPI ポートから制御するアプリケーションに対しては、SPI ポートからデバイスがアクセスされるまで、2 つ目の機能の優先順位が高くなります。すなわち、SPI ポートからチップがアクセスされるまで、SCLK、SDIO、SDO (存在する場合)の動作は 2 つ目の機能として解釈されます。このため、パワーアップ後できるだけ早くチップの初期化が必要です(詳細については、SPI モードとピン・モードの検出のセクションを参照してください)。

シリアル・データ出力(SDO)

デバイスでの SDO ピン・サポートの有無については、デバイスのデータ・シートを参照してください。SDO が存在する場合、複数のデバイスを受信端で接続できるように、このピン上でデータがシフトされないかぎり、このピンは高インピーダンス状態に留まります。さらに、命令フェーズが完了した後の、SCLK の最初の立ち下がりエッジでデータがシフト出力されます。データがコントローラへ戻されると、命令フェーズに対応する、SCLK の最後の立ち上がりエッジと、それに続く次の立ち下がりエッジとの間の時間内に情報は出力シフトにロードされます。25 MHz での動作時、この公称値は 20 ns になります。

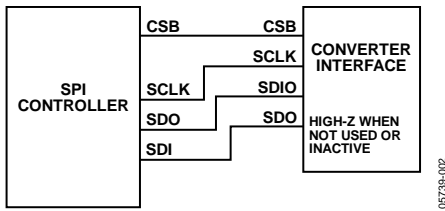


図 3.3 線式制御

表 1.シリアル・タイミング仕様1

Symbol	Description
t_{DS}	Setup time between data and rising edge of SCLK.
t_{DH}	Hold time between data and rising edge of SCLK.
t_{CLK}	Period of the clock.
t_s	Setup time between CSB and SCLK.
t_H	Hold time between CSB and SCLK.
t_{HI}	Minimum period that SCLK needs to be in a logic high state.
t_{LO}	Minimum period that SCLK needs to be in a logic low state.
t_{EN_SDIO}	Minimum time it takes the SDIO pin to switch between an input and an output relative to SCLK falling edge.
t_{DIS_SDIO}	Minimum time it takes the SDIO pin to switch between an output and an input, relative to SCLK rising edge.

¹ 最小および最大定格についてはデバイスのデータシートを参照してください。

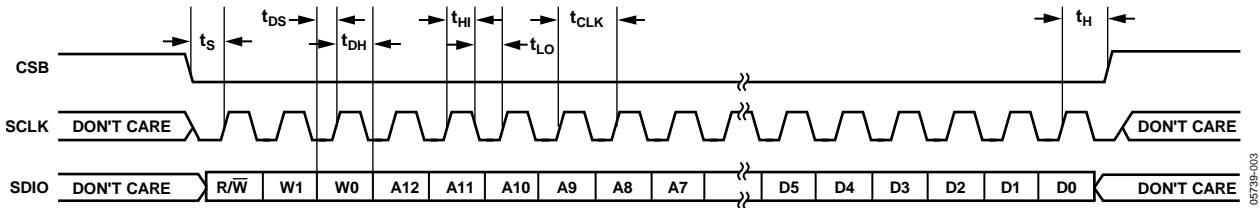


図 4.セットアップとホールドのタイミング測定

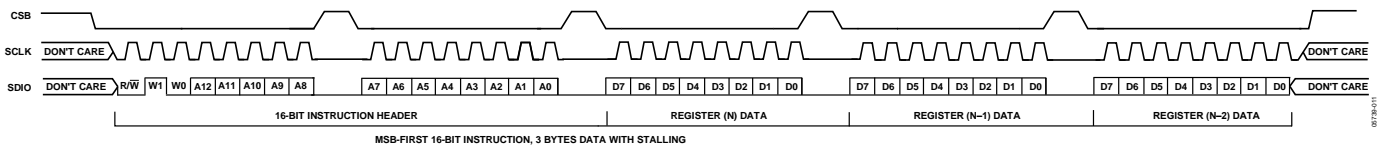


図 5.MSB ファーストの命令とデータの引き伸ばし

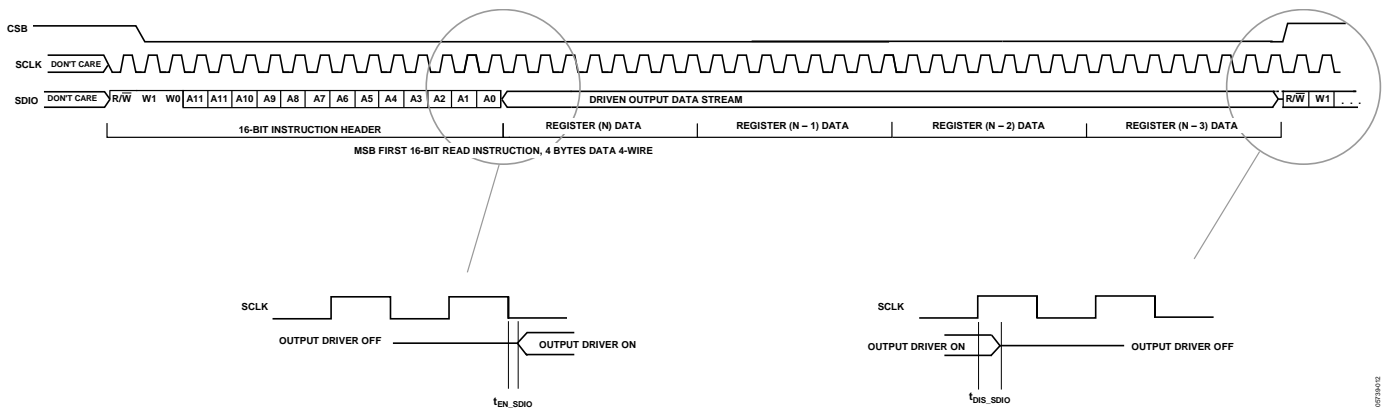


図 6.SDIO 出カイナーブル/ディスエーブルのタイミング(Typ)

フォーマット

CSB の立ち下がりエッジと SCLK の立ち上がりエッジの組み合わせにより、フレームの開始が指定されます。フレームの開始が決定されると、タイミングは簡単です。転送の最初のフェーズは 16 ビットの命令フェーズであり、その後 8 ビットの倍数からなる可変長データが続きます。デバイスの CSB がロー・レベルに固定されている場合、フレーミングは SCLK の最初の立ち上がりエッジから開始されます。

命令フェーズ

命令フェーズは、送信される先頭の 16 ビットです。図 4 と図 7 に示すように、命令フェーズは複数のビット・フィールドから構成されています。

Read/Write

ストリーム内の先頭ビットはリード/ライト表示ビット(R/W)です。このビットがハイ・レベルのとき、読み出しが要求されます。命令フェーズ(先頭の 16 ビット)が完了すると、内部ステート・マシンは提供された情報を使って、読み出し対象の内部アドレスをデコードします。SDIO ラインの方向が入力から出力へ切り替えられ、ワード長で指定された該当するワード数がデバイスからシフト出力されます(ワード長のセクション参照)。デバイスに SDO が存在し、かつ設定レジスタが正しく設定されると、SDO ラインは高インピーダンスから抜け出して、データが SDIO ピンの代わりに、SDO ピンから出力されます。ワード長で指定されたすべてのデータがシフト出力されると、ステート・マシンはアイドル・モードに戻り、次の命令フェーズを待ちます。

データ・ストリームの先頭ビットがロー・レベルのとき、書き込みフェーズになります。命令フェーズが完了すると、内部ステート・マシンは提供された情報を使って、書き込み対象の内部アドレスをデコードします。命令の後ろのすべてのデータが SDIO ピンにシフト入力されて、ターゲット・アドレスへ送られます。ワード長で指定されたすべてのデータが転送されると、ステート・マシンはアイドル・モードに戻り、次の命令フェーズを待ちます。

読み出しモードまたは書き込みモードで、ワード長に到達するかまたは CSB ラインがハイ・レベルになるまで、処理が続きます。メモリの終わり(0x000 または 0x0FF)に到達すると、ロールオーバーして処理される次のアドレスは、アドレスがインクリメントする場合には 0x000 に、アドレスがデクリメントする場合には 0x0FF に、それぞれなります。

ワード長

W1 と W0 は、読み出しまたは書き込みで転送されるデータ・バイト数を表します。W1:W0 + 1 で表される値は、転送バイト数です。転送バイト数が 3 以下の場合(00、01、または 10)、CSB はバイト境界でハイ・レベルを維持することができます。非バイト境界でハイ・レベルを維持すると、通信サイクルは終了します。これらのビットが 11 の場合、CSB がハイ・レベルに変化するまで、データを転送することができます。CSB は、ストリーミング処理ではハイ・レベルに留まることはできません。ストリーミングが開始されると(3 データ・バイトを超える場合)、動作が完了するまで CSB はハイ・レベルに戻ることはできません。CSB がハイ・レベルになると、ストリーミングが終了して、次に CSB がロー・レベルになったとき、新しい命令サイクルが開始されます。CSB が非 8 ビット境界でハイ・レベルになると、通信サイクルが終了して、不完全なバイトは失われてしましますが、完全なデータ・バイトは正しく処理されます。

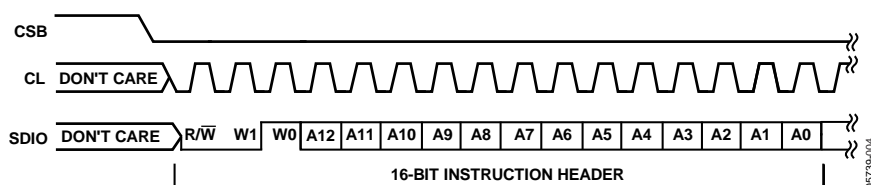


図 7. 命令フェーズのビット・フィールド

表 2.

W1:W0 Setting	Action	CSB Stalling
00	1 byte of data can be transferred	Optional
01	2 bytes of data can be transferred	Optional
10	3 bytes of data can be transferred	Optional
11	4 or more bytes of data can be transferred. CSB must be held low for entire sequence; otherwise, the cycle is terminated, and an instruction cycle is anticipated when CSB returns low.	No

W0 と W1 で表される値が 0 の場合には、1 バイトのデータが転送されます。W0 と W1 で表される値が 1 の場合には、2 バイトのデータが転送されます。W0 と W1 で表される値が 2 の場合には、3 バイトのデータが転送されます。データ転送が完了すると、ステート・マシンはアイドル状態に戻り、次の命令フェーズを待ちます。

ストリーミング

W0 と W1 で表される値が 3 の場合には、ストリーミング・データが転送されます。CSB がロー・レベルを維持するかぎり、デバイスは開始アドレスから始まる新しいデータを受け取り、新しい各ワードを受信して次のアドレスまで続きます。ストリーミングは CSB ラインをハイ・レベルにすることでのみ停止できるため、ストリーミングと CSB ラインを物理的にロー・レベルに接続することの組み合わせは推奨できません。ストリーミングと CSB のロー・レベルへの固定との組み合わせを使うと、先頭の命令が無限に繰り返されます。これは、書き込み(または読み出し)サイクルが開始されても、データはデバイスから読み出し(へ書き込み)できないことを意味します。同様に、開始アドレスがモードに従って自動的に連続インクリメント/デクリメントされて、ステート・マシンのアドレスを直接変更するチャンスがありません(アドレス・ジェネレータは、予測可能な方法で最終アドレスでラップアラウンドを続けます)。内部レジスタの読み出しを行わないようにデバイスをプログラムする場合には、これは問題になりません。内部レジスタからデータを読み出すか否かが確かではない場合には、CSB ラインをロー・レベルに

固定するユーザーは、1 バイト・ブロック、2 バイト・ブロック、または 3 バイト・ブロックでデータを転送することが推奨されます。必須なことではありませんが、ストリーミング処理を中断して、ステート・マシンをアイドル状態にリセットできるように、CSB ラインの制御を維持することが推奨されます。

アドレス・ビット

残りの 13 ビットは、送信データの開始アドレスを表します。複数のワードを送信する場合には、シーケンシャル・アドレッシングが使われ、指定された値から開始されて、モード設定に応じてインクリメントまたはデクリメントされます。

データフェーズ

命令フェーズの後ろにデータが続きます。送信されるデータ・サイズはワード長(ビット W0 とビット W1)で指定されます。これにより、1 バイトまたは複数バイトのデータが可能になります。すべてのデータは 8 ビット・ワードで構成されます。ステート・マシンが不完全なデータが転送されていることを検出すると、ステート・マシンはリセットされて、アイドル状態になり、CSB ラインの次の立ち下がりエッジで開始される新しい命令を待ちます。CSB が物理的にロー・レベルに固定されると、デバイスがチップ・リセット機能を内蔵しないかぎり、故障回復ができません(詳細については、個々のデバイス・データ・シートを参照してください)。

ビット順

データは MSB ファースト・モードまたは LSB ファースト・モードで送信できます(設定レジスタ(0x000)のセクション参照)。パワーアップ時、MSB ファースト・モードがデフォルトになっています。設定レジスタに書き込みを行うことで、これを変更することができます。MSB ファースト・モードでは、上位ビットから開始され LSB で終わるシリアル交換が開始されます。LSB ファースト・モードでは、順序が逆になります。命令は 16 ビット長で、前述のように 2 バイトから構成されています。MSB ファースト・モードでは、ビット順は上位ビットから下位ビットへの順です。LSB ファースト・モードでは、16 ビット全体が逆になります(図 8 参照)。

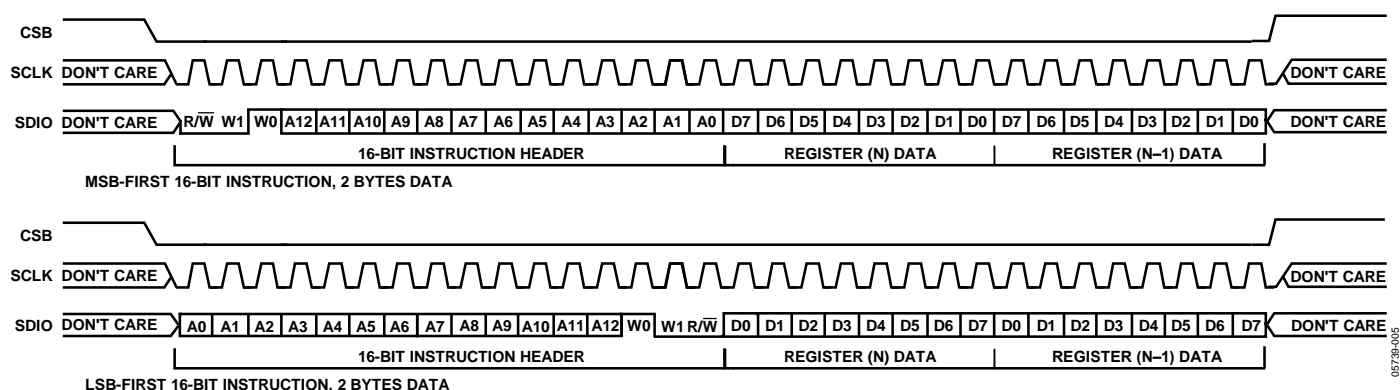


図 8. MSB ファーストと LSB ファーストの命令とデータフェーズ

SPIモードとピン・モードの検出

ユーザーによっては、デバイスの設定のために SPI ポートを選択しない場合もあります。可能な場合、デバイスは一般的な設定を使ってパワーアップできるようにデザインされています(詳細については、該当するデバイスのデータ・シートをご覧ください)。ただし、SPI コントローラを含まないように基本機能を変更する場合があります。この例としては、デューティ・サイクル・スタビライザの制御またはデータ出力フォーマットを 2 の補数とオフセット・バイナリの間で制御するなどがあります。これらのタイプのオプションに対しては、デバイスをプログラムする必要なしに、外部制御を使ってオプションを変更できるようにチップを指定することができます。外部ピン数を少なくするために、SPI ピンはこれらの代わりにの機能に割り当てられます。

このオプションを持つデバイスの場合(このオプションのサポートの有無についてはデバイスのデータ・シートを参照してください)、ピン制御モードをイネーブルすることを選択することができます。これを選択するときは、CSB ラインをハイ・レベルに固定する必要があります。このピンがハイ・レベルの間、残りの SPI ピンは代わりにの機能になり、これらのピンの設定はデバイスのデータ・シートで規定されるように機能します。SPI モードに入ることを決定した後は、デバイスをパワーダウンした後でなければピン・モードに再度入ることはできません。

パワーアップ時に、デバイスはデフォルトとしてピン制御モードになり、CSB がハイ・レベルであるかぎり続きます。CSB ラインがハイ・レベルに固定接続されると、デバイスは常に入力ピン制御モードで機能します。同様に、CSB ラインがロー・レベルに固定接続されると、デバイスは SPI モードでパワーアップします(このモードでの制限事項については、ストリーミングのセクションを参照してください)。大部分の場合、CSB ラインはチップ・セレクトとして使われます。一般に、このモードでは、外部 SPI コントローラにより、パワーアップ時に CSB がハイ・レベルに駆動されます。このため、デフォルトとして、残りの SPI ピンは初期に入力ピン制御モードで機能します。CSB ラインがロー・レベルにされてチップが選択されると、直ちに SPI 機能がイネーブルされ、他のピンの状態は無視されて、内部メモリ・マップの設定に厳密に従って制御が行われます。

CSB ラインがロー・レベルになると、ステート・マシンは SCLK がデータをシフトするものと予測します。先頭バイト(および追加サイクル)を表す 9 クロック・サイクルの経過後に、内部ステート・マシンはピン・モードまたは SPI モードのいずれを使用しているかを検出するために CSB ピンを調べなくなります。この機能に使用されるロジックを図 9 に示します。パワーアップの後 CSB ラインがハイ・レベルである間、内部マルチプレクサを使って SPI ピンの代わりにの機能が選択されます。CSB ラインがロー・レベルになると、マルチプレクサによる入力ピンの選択が解除されて、これらの信号を SPI 信号として解釈することが開始されます。SPI コマンドが認識されると、マルチプレクサは CSB ラインの状態に無関係に SPI 位置に留まります。このため、ユーザーは SPI モードとピン・モードとの間で切り替えることができなくなります。

さらに、SPI ポートを制御に使用する場合、デバイスを他のスタートアップ手順の一部として設定して、ピン・モードを使用しない場合にデバイスが既に所望の状態になっているようにすることが推奨されます。ソフト・リセット機能を実行しても、デバイスをピン・モードへ戻すことはできません。これを実現

する唯一の方法は、デバイスのパワーオンを繰り返すか、デバイス・ピン・リセット(存在する場合)をアサートすることです。すべてのデバイスがピン・リセットを持っているとはかぎりません。詳細については、デバイスのデータ・シートを参照してください。

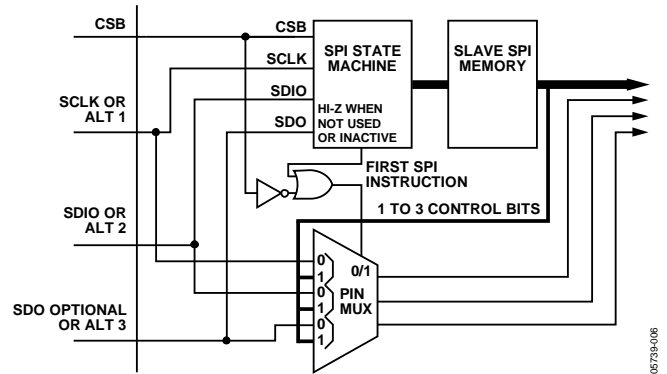


図 9. ハードウェア・インターフェース

ハードウェア・インターフェース

これらのデバイスは SPI コントローラにインターフェースするようにデザインされていますが、必ずしもこれらのデバイスを設定するために SPI コントローラを使う必要はありません。ピン・モードが代わりにの方法を提供します。あるいは柔軟性がさらに必要な場合には、シリアル PIC または PROMS マイクロコントローラを図 10 と図 11 に示すように使うことができます。PIC マイクロコントローラを使ってこれらのデバイスをプログラムする詳細については、アプリケーション・ノート「AN-812, *Microcontroller-Based Serial Port Interface (SPI) Boot Circuit*」を参照してください。

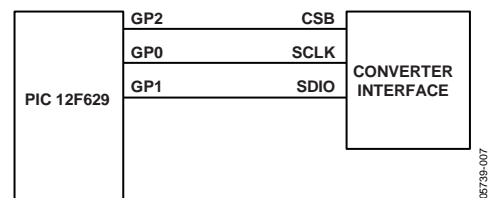


図 10. 低価格の PIC マイクロコントローラによるプログラミング

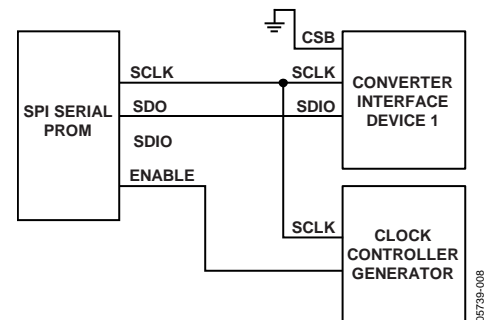


図 11. 低価格のシリアル PROM によるプログラミングと外部クロック・ソース

チップのプログラミング

SPI ポートは、コンバータを設定するためのメカニズムです。さらに、構造化レジスタ・スペースがデバイスのプログラミング用に定義されています。この構造は、データ転送の命令フェーズでのアドレスで指定される複数のアドレスに分割されています。各アドレスは 8 ビット・バイトに分割されます。各バイトはさらに下のフィールドに分割され、次のセクションにドキュメント化されています。

設定レジスタ、転送レジスタ、プログラム・レジスタの 3 タイプのレジスタがあります。

設定レジスタ(0x000)

設定レジスタはアドレス 0x000 に配置されています。このレジスタはシリアル・インターフェースを設定するときに使い、上位ニブルに 4 ビットのアクティブ・ビットがあります。下位ニブルは未使用で、予約されています。上位ニブルと下位ニブルとの間でデータを積極的にミラーすることが推奨されます。そうすることにより、同期と入出力の方向情報が失われても、アドレス 0x000 への書き込みを行うことにより容易に復元できます。さらに、現在のデータ・シフト方向に無関係に、チップでのソフト・リセットと既知状態への設定も可能になります。故障状態が発生した場合、この機能によりデバイスは正しく対応できるようになります。

ビット 7—SDO アクティブ

ユーザーはビット 7 をビット 0 へミラーする必要があります。このビットは、このピンを持つデバイスの SDO をアクティブにする機能を持っています。デバイスに DO ピンがない場合は、このビットの設定は無視されます。このビットをクリアすると、SDO は非アクティブになるため、読み出しデータは SDIO ピンに接続されます。このビットをセットすると、読み出しデータは SDO ピン(存在する場合)に出力されます。デフォルトでは、このビットはロー・レベルで、SDO は非アクティブです。

ビット 6—LSB ファースト

ユーザーはビット 6 をビット 1 へミラーする必要があります。このビットは、送受信するデータの順序を指定する機能を持っています。このビットをクリアすると、データは MSB ファーストで処理されます。このビットをセットすると、データは LSB ファーストで処理されます。データ・シフトの順序の他に、ビット 6 は内部アドレス・ポインタの自動インクリメントの方向を指定します。このビットをクリアすると(すなわち MSB ファースト・モード)、新しいデータを処理するごとに、内部アドレス・カウンタがデクリメントされます。これに対して、このビットをセットすると(すなわち LSB ファースト・モード)、新しいデータを処理するごとに、内部アドレス・カウンタがインクリメントされます。デフォルトでは、このビットはクリアされて、MSB ファースト動作になります。

ビット 5—ソフト・リセットの制御

ユーザーはビット 5 をビット 2 へミラーする必要があります。このビットは、ソフト・リセットを制御します。デフォルトではこのビットはクリアされますが、ユーザーがハイ・レベルに設定すると、チップのソフト・リセットが開始されます。ソフト・リセットは、設定レジスタ(0x000)以外のすべてのメモリ・マップ・レジスタをデフォルト値に戻します。デフォルト値がない場合は、ユーザーが設定した直前の状態を維持します。

ソフト・リセットが実行された後、このビットはクリアされて、リセット処理が完了したことを表示します。

ビット 4—予約済み

ユーザーはビット 4 をビット 3 へミラーする必要があります。このビットは、デフォルトで 1 に設定されており、変更することはできません。

表 3.

Bit	Name	Description	Default
Bit 7	SDO active	When set, causes SDO to become active (if present). When clear, the SDO pin remains in tristate and all read data is routed to the SDIO pin.	Clear. SDIO is used for both input and output.
Bit 6	LSB first	When set, causes input and output data to be oriented as LSB first and addressing increments. When this bit is clear, data is oriented as MSB first and addressing decrements.	Clear. MSB first and decrementing addressing.
Bit 5	Soft reset	When set, the chip enters a soft reset mode, restoring any default values to internal registers. Registers with no default are not changed. Once this is complete, the state machine clears this bit.	Clear. On-chip power up, any register with a default is set.
Bit 4	Reserved	Default cannot be changed.	Set.

転送レジスタ(マスタースレーブ・ラッチ) (0x0FF)

レジスタ・マップ内の多くのレジスタはマスター・ラッチとスレーブ・ラッチによりバッファされることが望まれます。バッファすると、システム内の複数のデバイスを同期化する機能が強化され、メモリの他の部分に書き込まれる値に依存する書き込み設定で役立ちます。デザインに応じて、幾つかのレジスタはこの方法でバッファされます。0x000、0x004、0x005、0x0FF のようなレジスタはバッファされることはありません。これらのレジスタは、プログラムや制御のために直ちに応答することが要求されるためです(各レジスタのバッファの有無についてはデバイスのデータ・シートを参照してください)。

バッファの有無に関係なく、SPI ポートは情報をレジスタにロードする機能を持っています。ただし、バッファ付きのレジスタの場合、転送を起動してスレーブ・レジスタへデータを移動させる必要があります。マスター・レジスタからスレーブ・レジスタへデータを転送する 2 つのメカニズムが定義されています。バッファのないラッチは、SPI ステート・マシンが受信すると、直ちに機能します。

幾つかのデバイスでは、デバイスがデバイス固有の機能をサポートしている場合、転送ビットがメモリの上位位置に用意されています。これらのケースでは、転送ビットの機能は同じで、ロケーションのみが異なります。詳細については、デバイスのデータ・シートを参照してください。

ビット 0—ソフトウェア転送

このレジスタのビット 0 をセットすると、ソフトウェア転送が起動されます(図 10)。ステート・マシンがこのビットがセット

されていることを検出すると、マスター・レジスタからスレーブ・レジスタへデータを移動させる内部転送信号を発生します。完了すると、ステート・マシンはこのビットをクリアするので、ユーザーは転送されたか否かを確認することができます。転送を開始する前に、必要に応じて他のすべてのレジスタを設定しておくことが推奨されます。マスターの設定が終わった後に、最後の命令でデータの転送を開始します。データは電源が供給されている限り、マスター内に保持されます。したがって、多数のチップを独立に設定した後に、同時にすべてのチップに転送コマンドをブロードキャストすることにより、複数のチップ間で転送を同時に開始することが可能です。ブロードキャストは、すべての CSB ラインを同時にロー・レベルにして、同じデータを 1 回ですべてのチップへ送信することにより実現されます。

ビット 7—ハードウェア転送のイネーブル

すべてのデバイスがハードウェア転送メカニズムをサポートしているわけではありません(詳細については、デバイスのデータ・シートを参照してください)。このレジスタのビット 7 には、ハードウェア同期のイネーブル機能が割り当てられています。ビット 7 をクリアすると、デフォルトのソフトウェア同期がイネーブルされます。このビットがセットされると、指定された外部ピンに転送制御が渡されます(図 13 参照)。

チップ ID (0x001)

レジスタ 0x001 はチップ ID レジスタであり、デザイン・プロセス時にコード化された固有のチップ識別子を返す読み出し専用レジスタです。一般にチャイルド ID とデバイスのグレードを表示します。この ID は、複数のグレードまたはオプションが存在する場合、パッケージ内で使用しているチップの識別に使われます(ID を調べるときは、デバイスのデータ・シートをご覧ください)。

チップ・グレード(0x002)

レジスタ 0x002 はチップ・グレード・レジスタです。このオプションのレジスタは、エンドユーザーのデバイス情報を含むこともあります(このレジスタの有無と内容については、デバイスのデータ・シートを参照してください)。

デバイス・インデックス(0x004 と 0x005)

レジスタ 0x004 とレジスタ 0x005 は、同一チップ上の個々のコンバータのインデックスとして使用されます。レジスタ 0x005 は下位の ADC0~ADC3 を、レジスタ 0x004 は上位の ADC4~ADC7 を、それぞれ参照します。パッケージ内にある ADC が 1 個の場合は、このレジスタは使用されません。複数の ADC が存在する場合は、このレジスタを使って、書き込みまたは読み出しの対象となる ADC を指定する必要があります。書き込み処理では、これらのレジスタ内にある、書き込み対象 ADC チャンネルに対応する複数のビットをハイ・レベルに設定することにより、複数の ADC を同時に書き込むことができます。

読み出し処理では、読み出しバスに出力中の ADC について混乱を防止するため、同時に 1 ビットのみをハイ・レベルに設定することが推奨されます。内蔵の回路がバスの競合を防止しますが、リードバック用に選択されたチャンネルは、1 回に 1 個の ADC をイネーブルしないかぎり、知ることができません。

ビット 7~ビット 4—補助デバイス

クロック・ジェネレータや 2 つ目のコンバータのような内蔵デバイスをイネーブルするときに、上位ニブルが使われます。

ビット 3~ビット 0—メイン・コンバータ

最大 4 個までの ADC をイネーブルするときに、下位ニブルを使います。2 個レジスタが存在するため、合計 8 個の ADC をアクセスすることができます。

書き込み

ADC イネーブルはデコードされないため、1 回で複数のデバイスを書き込むことができます。これを実行するときは、ビット 0 ~ ビット 3 をセットして、選択したデバイスに対する書き込みをイネーブルします。対象とするコンバータに対応するビットのみをセットして、これらのレジスタの一部に対する書き込みを行うことも可能です。0x004 と 0x005 の両方を使用する場合は、両レジスタのビット・フィールドをセットして、任意またはすべての ADC (0~7)へ、さらに任意またはすべての補助デバイスへ書き込みを行うことができます。

読み出し

デバイスからの読み出しでは、1 回に 1 個のデバイスのみをシリアル・バスへ出力することができます。複数のデバイスをイネーブルしても、損傷を与えることはありませんが、得られる結果は不定になります。したがって、リードバック動作時には、1 回に 1 個のみのデバイスをイネーブルするように注意する必要があります。

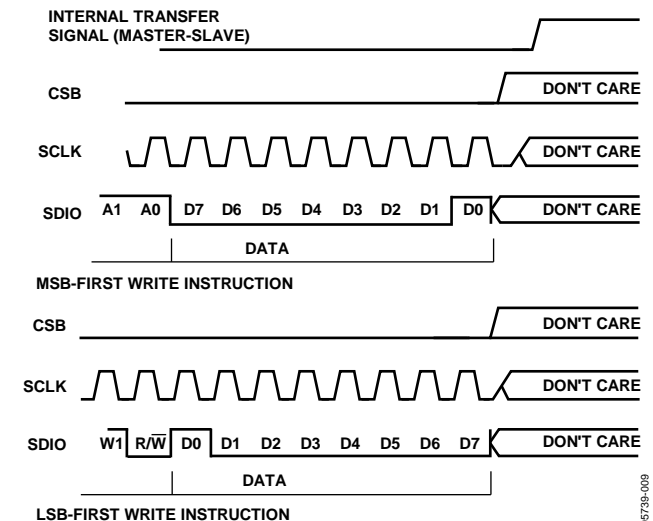


図 12.内部ラッチ・シーケンス

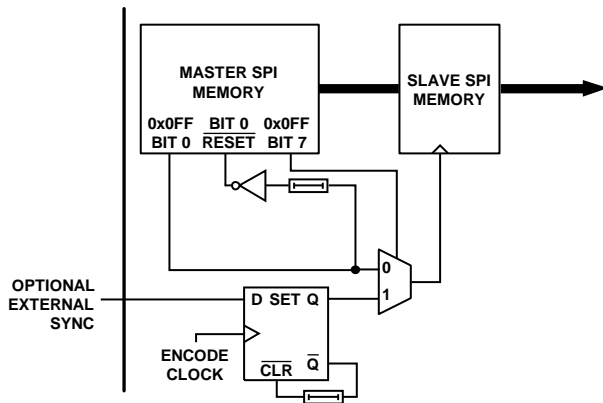


図 13.内部ラッチ・フロー

プログラム・レジスタ

プログラム・レジスタは、レジスタ 0x004 とレジスタ 0x005 によってインデックス(修飾)されることも、されないこともあります(デバイスによるこれらのレジスタの使用方法については、デバイスのデータ・シートを参照してください)。

モード(0x008)

レジスタ 0x008 は、チップのモードを制御します。

ビット 7—外部パワーダウンのイネーブル

ビット 7 は、外部パワーダウン・ピン(存在する場合)の使用をイネーブルします(このピンの有無については、個々のデバイスのデータ・シートを参照してください)。このビットをクリアすると、レジスタを使用したすべての電源設定(ビット 0～ビット 2)が優先されます。このビットをセットすると、ビット 6、ビット 5、外部ピンとの組み合わせによって、チップの動作モードが決定されます。ビット 7 がハイ・レベルで、かつ外部ピンがロー・レベルの場合、チップのモードはビット [6:5] により決定されます。ビット 7 がハイ・レベルで、かつ外部ピンがハイ・レベルの場合、他のデバイス設定のように、チップは通常の動作モードになります。外部パワーダウン・ピンが存在しない場合は、ビット 7～ビット 5 は無視されます。

ビット 6 とビット 5—外部パワーダウン・モード

ビット 6 とビット 5:

- 00、外部ピンがアクティブのとき、フル・パワーダウンになります。
- 01、外部ピンがアクティブのとき、スタンバイ状態になります。
- 10、予約済みモード。
- 11、外部ピンがアクティブのとき、デジタル出力がイネーブルされます。

表 4.

Bit 6 to Bit 5	Mode Description of External Pin Control
00h	Enter full power-down when external pin is active
01h	Enter chip standby when external pin is active
10h	Reserved
11h	Enable digital outputs when external pin is active (low)

ビット 4—予約済み

ビット 3—機能のバイパス

ビット 3 をセットすると、内蔵アナログ信号処理ブロックがバイパスされ、パワーダウンされます(詳細については、デバイスのデータ・シートを参照してください)。

ビット 2～ビット 0—内部パワーダウン・モード

ビット 2～ビット 0 は、チップの動作モードを決定します。

これらのビットでは、次の設定が可能です。

- 000、通常のチップ動作。
- 001、アナログ回路とクロック回路がフル・チップ・パワーダウン、低消費電力スリープ・モード。
- 010、チップがシャットダウン、ただし高速再起動が可能。
- 011、チップ・リセット。
- 100、アナログ信号処理ブロックまたはアナログ・フロントエンド(AFE)を含むデバイスのコア ADC がシャットダウン。
- 101、AFE のアナログ信号処理ブロックを含むデバイスの AFE がシャットダウン。
- 110～111、将来の動作モード用に予約済み。

表 5.

Bit 2 to Bit 0	Chip Power Mode Description
000h	Chip run (default)
001h	Full power-down
010h	Standby mode
011h	Chip reset (after reset, the device defaults back to chip run—same as 000h)
100h	ADC power-down (for chips with an AFE)
101h	AFE power-down (for chips with an AFE)
110h	Reserved
111h	Reserved

クロック(0x009)

レジスタ 0x009 は、チップ・クロックの設定に使用されます。

ビット 7～ビット 3—予約済み

ビット 2—PLL のイネーブル

このビットをセットすると、すべての内蔵 PLL がイネーブルされます。

ビット 1—クロック・ブースト

ビット 1 は、クロック機能の性能強化に使われます。このビットをセットすると、クロック・ジッタ性能を向上させるためクロック回路内の電流レベルを大きくします。このビットをクリアすると、消費電力は減りますが、クロック回路のジッタは大きくなります(詳細については、デバイスのデータ・シートを参照してください)。

ビット 0—デューティ・サイクル・スタビライザ

ビット 0 は、内部デューティ・サイクル・スタビライザ(DCS)をディスエーブルまたはイネーブルするときに使います。ビット 0 をセットすると、DCS がイネーブルされます。このレジスタのデフォルトは 0x01 で、DCS をイネーブルします。

PLL 制御(0x00A)

レジスタ 0x00A は、サンプル・クロックの発生に使用できる内蔵 PLL をイネーブルして制御するときに使います。

ビット 7—PLL のロック

このビットは内部ハードウェアから制御され、PLL がロックしたときにセットされます。このビットがクリアされている場合、チップがロックしていないことを表します。

ビット 6—PLL 自動

このビットがセットされると、PLL は指定された分周器に対して最適な PLL 設定を自動的に選択します。

ビット 5～ビット 0

PLL 分周比+1 を設定します。

クロック分周器(0x00B)

レジスタ 0x00B は、入力クロックをエンコード用の低速レートへ分周するときに使います。全ビット 0 を設定すると、分周器はバイパスされます。その他の場合は、分周比はレジスタ値+1 になります。

エンハンスメント・モード(0x00C)

レジスタ 0x00C は、エンハンスメント・モードを制御します。

ビット 7～ビット 4—予約済み

ビット 3～ビット 2—チョップ・イネーブル

チョッピングは、DC 付近でのノイズ性能を向上させます。

ビット 3 とビット 2:

- 00、内部チョッピングをディスエーブル。
- 01、チョッピング・モード 1 をイネーブル。
- 10、チョッピング・モード 2 をイネーブル。
- 11、チョッピング・モード 3 をイネーブル。

(詳細については、デバイスのデータ・シートを参照してください)。

表 6.

Bit 2 to Bit 0	Chopping Modes
00h	No chopping
01h	Enable Chopping Mode 1
10h	Enable Chopping Mode 2
11h	Enable Chopping Mode 3

ビット 1 とビット 0—シャッフル・モード

シャッフリングは、ADC 伝達関数の直線性を向上させます。

ビット 1 とビット 0:

- 00、内部シャッフリングをディスエーブル。
- 01、シャッフリング・モード 1 をイネーブル。
- 10、シャッフリング・モード 2 をイネーブル。
- 11、シャッフリング・モード 3 をイネーブル。

表 7.

Bit 1 to Bit 0	Shuffle Modes
00h	No shuffling
01h	Enable Shuffle Mode 1
10h	Enable Shuffle Mode 2
11h	Enable Shuffle Mode 3

出力テスト・モード(0x00D)

レジスタ 0x00D は、使用可能なテスト・モードをイネーブルします(サポートされているモードについてはデバイスのデータ・シートを参照してください)。このレジスタのデフォルト設定は 0x00 ですが、このレジスタにドキュメントに規定する設定を設定すると、ADC データはテスト・モード・データで置き換えられます。番号 1、2、3、5、6 のテスト・モードの場合、出力フォーマットはレジスタ 0x014 の設定で決定されます。他のすべての出力パターンは、論理的な出力シーケンスを提供するため、レジスタ 0x014 の出力フォーマット設定から影響を受けません。

ビット 7 とビット 6—シーケンス

これらのビットは、ビット 3～ビット 0 で指定されるテスト・モード 8 と組み合わせて使います。

ビット 7 とビット 6:

- 00、0x019 と 0x01A に格納されているテスト・パターンがスタティックに出力されます。
- 01、User Pattern 1 (0x019 と 0x01A) と User Pattern 2 (0x01B と 0x01C) に格納されているパターンが繰り返されます。
- 10、User Pattern 1 が 1 変換サイクル間出力されます。出力が全ビット 0 に設定されます。
- 11、User Pattern 1 が出力され、続いて次のエンコード・サイクルで User Pattern 2 が出力されます。それ以後の変換サイクルは、出力データ・フォーマットの定義に従って全ビット 0 になります。

ビット 5—PN23 リセット

ビット 5 は、リセット・ロング PN シーケンス(PN23)を制御します。このビットをセットすると、PN シーケンスはリセット状態に維持されます。このビットをクリアすると、PN シーケンスがシード値から開始されます。シード値は 0x003AFF です。

ビット 4—PN9 リセット

ビット 4 は、リセット・ショート PN シーケンス(PN9)を制御します。このビットをセットすると、PN シーケンスはリセット状態に維持されます。このビットをクリアすると、PN シーケンスがシード値から開始されます。シード値は 0x000092 です。

ビット 3～ビット 0—テスト・モード

ビット 3～ビット 0:

- 0000、デバイスは通常の ADC として機能します。
- 0001、出力がデジタル・ミッドスケールに設定されます。
- 0010、出力が+FS に設定されます。
- 0011、出力が-FS に設定されます。
- 0100、交互チッカー・ボード・パターンを出力するように設定されます。
- 0101、ITU 0.150 の式 $X^{23} + X^{18} + 1$ を使う PN23 シーケンスを出力するように設定されます。シード値は 0x003AFF です(使用可能な変更については、デバイスのデータ・シートを参照してください)。
- 0110、ITU 0.150 の式 $X^9 + X^5 + 1$ を使う PN9 シーケンスを出力するように設定されます。シード値は 0x000092 です。

(使用可能な変更については、デバイスのデータ・シートを参照してください)。

- 0111、出力ワードは、全ビット 1 と全ビット 0 の間でトグルします。
- 1000、出力はユーザー・モードに設定され、ビット 7 とビット 6 により制御されます。出力がユーザー・モード 0x08 で、かつビット 7 とビット 6 が 00 に設定された場合、ユーザー・パターン・メモリに格納されているパターンがスタティックに出力されます。01 に設定されると、0x019 と 0x01A に格納された User Pattern 1 と、0x01B と 0x01C に格納された User Pattern 2 との間で、出力がトグルします。10 に設定されると、User Pattern 1 が 1 変換サイクル間出力された後、出力は全ビット 0 に設定されます。11 に設定されると、次のエンコード・サイクルで User Pattern 1 と User Pattern 2 が出力されます。それ以後の変換サイクルは、出力データ・フォーマットの定義に従って全ビット 0 になります。

- 1001、シリアル出力テストに対して 1/0 ビット・トグル・モードが出力されます。これにより、シリアル出力ストリームに交互 1/0 変化が発生します。
- 1010、最初の半分のビットが 0 に、残りの半分のビットが 1 に、それぞれ設定されます。このサイクルが次のワード・フレームで繰り返されます(詳細については、表 8 を参照)。
- 1011、シリアル・ワードの先頭ビットがハイ・レベルに、ワード内のそれ以後のビットはロー・レベルに、それぞれ設定されます。
- 1100、表 8 に示すシリアル・ワードがシフトされます。

ビット・モード 1101 とビット・モード 1110 は将来用途に予約済みです。

ビット・モード 1111 は、チップ固有のテスト条件用に予約済みです。

表 8.

Output Test Mode ¹	Pattern	Word 1 ²	Word 2	Subject to Data Format Select	Notes
0000	Off	N/A	N/A	Y	
0001	Midscale short	1000000000000000	N/A	Y	Offset binary code shown
0010	+FS short	1111111111111111	N/A	Y	Offset binary code shown
0011	-FS short	0000000000000000	N/A	Y	Offset binary code shown
0100	Checkerboard	1010101010101010	0101010101010101	N	
0101	PN sequence long	N/A	N/A	Y	PN23 ³ ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN sequence short	N/A	N/A	Y	PN9 ITU 0.150 $X^9 + X^5 + 1$
0111	1/0 word toggle	1111111111111111	0000000000000000	N	
1000	User input	Register 19 to Register 1A	Register 1B to Register 1C	N	
1001	1/0 bit toggle	1010101010101010	N/A	N	Useful in serial output mode
1010	1× sync	0000000011111111	N/A	N	Lower resolution truncates both a leading and a trailing digit
1011	1 bit high	1000000000000000	N/A	N	Useful in serial output mode
1100	Mixed-frequency	101000110011 (12 bit) 1001100011 (10 bit) 10100001100111 (14 bit) 10100011 (8 bit)	N/A	N	Useful in serial output mode
1101	Reserved				
1110	Reserved				
1111	Chip specific				

¹ すべてのデバイスがすべてのモードをサポートしているわけではありません。詳細については、デバイスのデータ・シートを参照してください。

² 低い分解能では右側を切り詰めています。

³ 使用可能な変更については、デバイスのデータ・シートを参照してください。

ビルトイン・セルフテスト(0x00E)

レジスタ 0x00E は、ビルトイン・セルフテスト(BIST)機能を設定しイネーブルします。BIST は、チップの中心的な処理が意図した通りに実行されていること確認するユーザー機能です。BIST は、デバイスが機能していることを合否で判定するシンプルな方法を提供します。BIST の結果は、0x024 と 0x025 の複数入力ステータス・レジスタ(MISR)に表示されます。

BIST の考えはシンプルです。A PN シーケンスをコンバータのデジタル・ブロックに入力します。デジタル・ブロックの出力がアキュムレータに加算されます。このアキュムレータは、BIST サイクルの開始時にクリアされています。累積された結果は、デジタル・ブロックを通過したすべての PN シーケンスの和から構成されています。コンバータ・コアが正常に機能している場合、呼び出されるごとに、同じ応答をします。そのため、結果は一貫しています。

結果は、0x024 と 0x025 に配置されている MISR レジスタに格納されます。ユーザーはこれらのレジスタを読み出して、チップのデジタル・セクションが正常に機能していることを確認できます。この確認は、読み出した値とテスト・コード内に格納されている値を比較することにより行われます。デジタル・バックエンドには多くのプログラミング・オプションがあるため、1つの値で正しい応答を表すことはできません。その代わりに、ユーザーが設定を決定した後、動作しているデバイス上でこのレジスタから値を読み出して、正しい応答を求めることができます。指定された設定で動作しているすべてのデバイスが同じ結果を出力します。異なる結果を得た場合は、不具合を意味します。

ビット 7～ビット 3—予約済み

ビット 2—BIST Init

ビット 2 は BIST Init ビットです。ロー・レベルの場合、BIST サイクルが開始される前に、MISR がクリアされません。このビットがハイ・レベルの場合、BIST サイクルの前に MISR がクリアされます。このビットを使うと、複数のテストを前後して続けることができるため、個々のテスト結果ではなく、最終結果を表示することができます。

ビット 1 とビット 0—BIST モード

ビット 1 とビット 0:

- 00、BIST モードがディスエーブルされ、チップは通常動作します。
- 01、BIST モード 1 をイネーブル。

BIST モード 1 が設定されると、ADC の内部デジタル・ストリームが疑似ランダム・データ・ストリームで駆動され、出力が MISR レジスタ(24h と 25h)に累積されます。データの変更(たとえば、オフセットやゲイン)またはデータの再フォーマット(たとえば、オフセット・バイナリや 2 の補数)を行うすべての設定が累積に影響を与えます。疑似ランダム・シーケンスは予測可能であるため、累積された値は与えられた設定に対して常に同じです。これにより、デジタル・バックエンドがフル機能していることを確認することができます。累積時間は、256 エンコード・サイクルに固定されています。BIST サイクルが完了した後、ビット 2 がクリアされないかぎり、このビットがクリアされます。

10 と 11 は、将来の BIST モード用に予約済みです。

アナログ入力(0x00F)

レジスタ 0x00F は、アナログ入力を設定します。

ビット 7～ビット 4—帯域幅(ローパス)

ビット 7～ビット 4 は、内蔵ローパス・フィルタのコーナー周波数を指定します。0000 は、デバイスのデータ・シートに規定されているデフォルトの帯域幅です。他の帯域幅は、値 0001～1111 で指定されます。すべてのオプションが使用可能とはかぎりません。使用可能なオプションについては、デバイスのデータ・シートを参照してください。

表 9.

Bit 7 to Bit 4	Bandwidth Mode
0000h	Default bandwidth
001h through 1111h	Alternate bandwidth choices

ビット 3—予約済み

ビット 2—アナログの切り離し

ビット 2 は、ADC チャンネルの他の部分からアナログ入力を切り離すときに設定します。このビットをクリアすると、コンバータは通常動作になります。このビットをセットすると、コンバータは動作を続けますが、アナログ入力は回路のフロントエンドから切り離されます。この機能を使うと、コンバータから発生する内部ノイズの大きさを必要とするアプリケーションに対して、この情報を求めることができます。

ビット 1—同相モード入力のイネーブル

ビット 1 は、ADC のアナログ入力に接続されているすべての同相モード回路をイネーブルします(アプリケーションと機能の詳細については、デバイスのデータ・シートを参照してください)。

ビット 0—シングルエンド

入力がシングルエンドの場合、ビット 0 がセットされます。その他の場合、デバイスは性能を強化する差動入力を持ちます。

オフセット調整(0x010)

レジスタ 0x010 を使うと、デバイスのオフセットを調整することができます。このレジスタの目的は、十分なオフセットを与えてミッドスケールでのサマル・ノイズを除去することです。これは一般にデジタル・オフセットとして組み込まれており、この調整範囲はデバイスのデータ・シートに記載されています。このレジスタのデフォルト値は 2 の補数表示で 0x00 (ミッドスケール)です。0x7F は最も正側のオフセット調整で、0x80 は最も負側のオフセット調整です。正のオフセット 1 は 0x01 で、負の 1 は 0xFF で、それぞれ表されます。このレジスタの実際の範囲はデバイスごとに異なります(デバイスのデータ・シートを参照してください)。

ゲイン調整(0x011)

レジスタ 0x011 を使うと、デバイスのゲインを調整することができます。実際の範囲とオプションはデバイスごとに異なります(詳細については、デバイスのデータ・シートを参照してください)。

出力モード(0x014)

ビット7とビット6—ロジック・タイプ

ビット7とビット6は、出力ロジック・タイプを制御します。これらのビットの設定は、選択した出力ロジックのタイプに対応します。これらはレベル・オプション0～レベル・オプション3としてのみ指定可能で、デバイスのデータ・シートで規定されます。LVDS タイプ出力を使用する場合には、0x015 と組み合わせて使用して、出力終端とドライバ電流を指定することができます。CMOS タイプ出力を使用する場合には、0x015 と組み合わせて使用して、出力駆動強度を指定することもできます。

表 10.

Bit 7 to Bit 6	Output Logic Levels
00h	Option 0
01h	Option 1
10h	Option 2
11h	Option 3

ビット5—出力マルチプレクサ

ビット5をセットすると、2つの異なる出力をマルチプレクスするか、あるいはダブル・データ・レート方式で同一出力に2つのADCをインターリーブします。

ビット4—出力イネーブル

ビット4は出力をイネーブルします。このビットをロー・レベルにすると、出力がイネーブルされます。CMOS/TTL デバイスの場合には、出力は高インピーダンス状態になります。その他のロジック・ファミリーの場合は、出力はデバイスのデータ・シートで規定されたモードになります。外部出力イネーブルが存在する場合、このビットより外部出力イネーブルの方が優先します。外部ピンが代替の機能として定義された場合(モード(0x008)のセクション参照)、このビットは出力を制御します。

ビット3—ダブル・データレート・イネーブル

ビット3を使うと、少ない出力ピン数で同じ量のデータを出力することができます。このビットをセットすると、すべてのデータ・ビットを出力ビット数の半分を使って送信しますが、サンプル・レートはクロックの2倍になります。このモードでは残りの出力ビットは使用されません。このビットをクリアすると、コンバータはすべての出力ビットを使う通常動作になります。

ビット2—出力の反転

ビット2をセットすると、出力が反転されます。

ビット1とビット0—出力のコーディング

ビット1とビット0は、出力のコーディングを指定します。

ビット1とビット0:

- 00、出力はオフセット・バイナリになります。
- 01、出力は2の補数になります。
- 10、出力はグレイ・コードになります。

11は予約済みです。

個々のデバイスがサポートしているモードのみが認識されます(デバイスのデータ・シート参照)。デフォルトは0x00です。

表 11.

Bit1 to Bit 0	Output Data Format
00h	Offset binary
01h	Twos complement
10h	Gray code
11h	Reserved

出力設定(0x015)

レジスタ 0x015 は CMOS モードと LVDS モードで機能し、出力終端と出力ドライバの電流レベルを設定します。

ビット7～ビット4—出力終端

ビット7～ビット4は、LVDS とその他の制御されたインピーダンス・ドライバ出力の出力終端オプションを指定します(詳細については、デバイスのデータ・シートを参照してください)。

ビット3～ビット0—出力駆動電流

ビット3～ビット0は、種々の CMOS オプションと LVDS オプションの出力駆動電流を指定します(詳細については、デバイスのデータ・シートを参照してください)。

クロック分周器位相(0x016)

レジスタ 0x016 は、データのラッチで使用するクロック分周器の位相を指定します。このレジスタは、レジスタ 0x00B またはシリアル・クロックを駆動する PLL 分周器出力のいずれかと組み合わせ使用することができます。このレジスタのデフォルト値は0x00で、最初の非反転位相を選択します。

ビット7—位相反転

ビット7は内部位相を反転させます。

ビット6～ビット4—予約済み

ビット3～ビット0—位相の選択

ビット3～ビット0は、シリアル・クロックを駆動する位相を指定します。

出力遅延調整(0x017)

レジスタ 0x017 は、内部出力レジスタのストロブ・タイミングに対して出力ラッチの遅延を微調整します。この設定で内部タイミングは変わりません。ADC のタイミング問題から生ずる外部のセットアップ・タイムとホールド・タイムの問題を補償するために、出力ラッチのみが変更されます。このレジスタの範囲はデバイスのデータ・シートで規定されます。

ビット7—イネーブル

この機能に対しては、ビット7はイネーブル信号として機能します。クリアされると、デフォルトのタイミングが選択されて、リファレンス・タイミングが発生します。

ビット6—DLL イネーブル

ビット6をセットすると、出力ラッチの生成で使用される内蔵 DLL がイネーブルされます。DLL は、出力データ・アイとそのデータのラッチとの間で最適タイミングを維持するために使用されます。このビットは、タイミングがクリティカルでデータの最適化が必要なアプリケーションで便利です。このビットをクリアすると、DLL はオフになり、遅延はビット5～ビット0(ビット7でイネーブルしたとき)を使って手動調整されます。

ビット5～ビット0—遅延

ビット5～ビット0は、チップ固有のオフセット・タイミングを表します(0x00が最も負側の調整で、3Fが最も正側の調整)。

リファレンス電圧調整(0x018)

レジスタ 0x018 を使うと、内部リファレンス電圧の選択と調整ができます。

ビット7とビット6—VREFの選択

ビット[7:6]は使用する V_{REF} を指定します。

ビット7とビット6:

- 00、プライマリ V_{REF} を接続します。
- 01、セカンダリ V_{REF} を選択します。

1xは、その他のリファレンス・オプション用に予約済みです。

ビット5～ビット0

ビット5～ビット0を使うと、内部 V_{REF} を調整することができます。調整範囲はデバイスのデータ・シートで規定されています。

ユーザー・テスト・パターン(0x019～0x020)

これらのレジスタをテスト・モード設定と組み合わせ使用と、ユーザーはテスト・パターンを指定することができます。これらのレジスタは、0x019 と 0x01A、0x01B と 0x01C、0x01D と 0x01E、0x01F と 0x020 の各対で使用されます。下位アドレスが最下位バイトです(このアプリケーション・ノートの実出力テスト・モード(0x00)のセクションを参照してください)。

シリアル・データ制御チャンネル(0x021)

レジスタ 0x021 は、高速シリアル・データ制御チャンネルです。また、並列出力デバイスで、アクティブな出力ビット数(ビット2～ビット0)の制御にも使われます。

ビット7—LSB ファースト

このビットをセットすると、コンバータのデータ出力にシリアル・ポートを使っているデバイスで、データが LSB ファーストでシフトされます。クリアすると(デフォルト)、MSB ファーストでシフトされます。

ビット6～ビット4—予約済み

ビット3—PLLの最適化

ビット3は、種々の周波数範囲に対して PLL 動作を最適化する際に使います(詳細については、デバイスのデータ・シートを参照してください)。

ビット2～ビット0

これらのビットは、シリアル・フレームにシフト入力されるビット数またはパラレル出力数を指定するときに使います。000を設定すると、コンバータのネイティブなビット数がシフトされます。この機能を使うと、ビット・ストリームの切り詰めとバッデングの制御を行うことができます。たとえば、このレジスタの下位3ビットを001に設定すると12ビット・コンバータを8ビット・コンバータにすることができます。同様に、追加ビットにゼロを詰め込んで、同じ12ビット・コンバータを16ビット・コンバータにすることができます(この設定のサポート範囲はデバイスのデータ・シートで規定されます。すべてのオプションがすべてのデバイスで使用できるとは限りません)。

シリアル・チャンネルのパワーダウン(0x022)

シリアル・チャンネルのパワーダウンは、シリアル出力コンバータの各シリアル・チャンネルの状態を制御するときに使います。

ビット7～ビット2—予約済み

ビット1—チャンネル出力のリセット

データ・チャンネルまたはクロック・チャンネルに対して、ビット1(ch_output_reset)が選択されると、すべてがパワーアップ状態で残ります。ただし、そのチャンネルに対応する LVDS ドライバの前にある出力フリップフロップは、リセット状態に維持されます。

ビット0—チャンネルのパワーダウン

データ・チャンネルに対して、ビット0(ch_power_down)が選択されると、対応する ADC と LVDS ドライバがパワーダウンし、対応するデジタル回路はリセットされます。クロック・チャンネルに対して、ビット0(ch_power_down)が選択されると、対応する LVDS ドライバがパワーダウンし、対応するデジタル回路はリセットされます。

MISR レジスタ(0x024～0x025)

レジスタ 0x024 は、複数入力シグネチャ・レジスタ(MISR)の最下位バイトです。レジスタ 0x025 は MISR の最上位バイトです。MISR は複数入力シグネチャ・レジスタです。このレジスタは、BIST (0x00E)と組み合わせ使います。このレジスタはコア MISR のミラーであるため、読み出し専用です。

各種機能(0x02A)

ビット7～ビット1—予約済み

ビット0—オーバーレンジのイネーブル

ビット0をセットすると、オーバーレンジ・ピンがディセーブルされます。クリアすると、オーバーレンジは通常動作になります。

表 12.

Bit 2 to Bit 0	Serial Output Frame Length
000h	Native bit length
001h	Truncate/fill to 8 bits
010h	Truncate/fill to 10 bits
011h	Truncate/fill to 12 bits
100h	Truncate/fill to 14 bits
101h	Truncate/fill to 16 bits
110h	Reserved
111h	Reserved

ハイパス(0x02B)

レジスタ 0x02B は、ハイパス・フィルタを設定します。

ビット 7、ビット 5～ビット 3—予約済み**ビット 6—調整**

ビット 6 は、ハイパスまたはローパスの内蔵フィルタをキャリブレーションするときに使います。このビットをセットすると、帯域幅キャリブレーション処理が起動します。キャリブレーションするフィルタの指定とその他の詳細については、デバイスのデータ・シートを参照してください。

ビット 2～ビット 0—帯域幅(ハイパス)

ビット 2～ビット 0 は、内蔵ハイパス・フィルタのコーナー周波数を指定します。0000 はデフォルトの帯域幅で、DC 結合に該当します。他の帯域幅は、値 0001～111 で指定されます。すべてのオプションが使用可能とはかぎりません(使用可能なオプションについては、デバイスのデータ・シートを参照してください)。

表 13.

Bit 7 to Bit 4	Bandwidth Mode
0000h	Default bandwidth (dc)
001h through 1111h	Alternate high-pass choices

アナログ入力(0x02C)**ビット 7～ビット 1—予約済み****ビット 0—入力インピーダンス**

ビット 0 を使うと、2 つの入力インピーダンスから 1 つを選択することができます(詳細については、デバイスのデータ・シートを参照してください)。

クロス・ポイント・スイッチ(0x02D)

この機能は、アナログ入力をコア ADC に接続するか、あるいはデバイスのデータ・シートに従って種々のアナログ入力を種々の補助アナログ出力に接続するアナログ・クロス・ポイント・スイッチを提供します。

プログラミング例

SPI デバイスのコード開発を支援するプログラミング・ツールを提供しています。ユーザーによっては SPI 制御で使用可能な機能をアクセスできることを希望するばあいがあると思いますが、フル機能の SPI コントローラにはアクセスすることはできません。このような場合には、フル機能コントローラに対する低価格バージョンのアプリケーション・ノート [AN-812](#) をご覧ください。

対応する評価ボードで使用されたデバイスを制御するソフトウェア・ツールも提供しています(www.analog.com/FIFO 参照)。このツールを使うと、各レジスタを最終アプリケーション向けに最適なデバイス設定にすることができます。さらに、この処理が完了した後、ソフトウェア・ツールはデバイスのプログラミングに使う 2 つのファイルを生成します。1 つ目のファイル・フォーマットは、疑似コード・フォーマットです。

このファイルは、C 言語プロジェクトに追加して、該当する書き込みと読み出しを設定し、評価ソフトウェアでの設定に従ってデバイスを設定するようにすることができます。この疑似コードを使用するときは、ユーザーは SPI コントローラに対応するハードウェア固有の読み出し機能と書き込み機能のみを与える必要があります。このセクションのコード例では、デバイスに対するサンプル・プログラム・シーケンスを紹介します。

2 つ目のファイル・フォーマットは、[AN-812](#) アプリケーション・ノートに記載するマイクロコントローラで使用できるサンプル・コードです(この出力の使い方の詳細については、[AN-812](#) を参照してください)。

これらのツールの使い方の詳細については、アプリケーション・ノート [AN-878](#) 「*High Speed ADC SPI Control Software*」をご覧ください。

```
write(0, 18); //configure serial interface for MSB first
write(5, 3); //set Devices-Index to program ADC Channels 0 and 1
write(18, 80); //set vref to option 2 and adjustment to all zeros
write(14, 10); //set output_mode to level option 0, disable output MUX, enable output and offset
                binary
write(17, 83); //set output_delay to enable and set to delay value of 3
write(FF, 1); //write transfer bit (for configurations that require a manual transfer)

write(10, 3); //set offset to 3 (for Channel 1 only)
write(5, 2); //set Device-Index to program ADC Channel 1
write(FF, 1); //write transfer bit (for configurations that require a manual transfer)

Write(5, 4); //set Devices Index to program ADC Channel 2
write(10, 9); //set offset to 9 (for Channel 2 only)
write(FF, 1); //write transfer bit (for configurations that require a manual transfer)
```

コントロール・レジスタ

表 14. コントロール・レジスタ・マップ

Address ¹ and Parameter Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value	Comments
00-chip_port_config	SDO active ²	LSB first	Soft reset	Should be set. Do not clear.					18h	The nibbles should be mirrored by the user so that LSB-first or MSB-first mode registers correctly regardless of shift mode.
01-chip_id	8-bit chip ID; Bits[7:0]								Read only	Default is unique chip ID, different for each device. This is a read-only register. (See device data sheet for more details.)
02-chip_grade	8-bit child ID								Read only	Read only. Child ID used to differentiate graded devices. (See device data sheet for more details.)
04-device_index_B	Aux 7	Aux 6	Aux 5	Aux 4	ADC 7	ADC 6	ADC 5	ADC 4	FFh	Bits are set to determine which device on -chip receives the next write command. The default will be all devices on-chip.
05-device_index_A	Aux 3	Aux 2	Aux 1	Aux 0	ADC 3	ADC 2	ADC 1	ADC 0	FFh	Bits are set to determine which device on-chip receives the next write command. The default is all devices on-chip.
08-modes	External power-down enable	External power-down mode 00h: Full power-down 01h: Standby 10h: Normal mode (output disabled) 11h: Normal mode (output enabled)			Function bypass	Internal power-down mode 0: Chip run 1: Full power-down 2: Standby 3: Reset 4: ADC power-down 5: Analog front-end power-down 6: Reserved 7: Reserved			00h	Determines various generic modes of chip operation.
09-clock	Reserved for additional clock input support					PLL enable	Clock boost	Duty cycle stabilize	01h	
0A-PLL control	PLL locked	PLL auto	PLL multiplier; Bits[5:0]						00h	Configures on-chip PLL by enabling and setting multiplier. MSB is set when the PLL is locked.
0B-clock_divide	Clock divider; Bits[7:0]								00h	The divide ratio is the value plus 1.
0C-enhance	Reserved	Reserved	Reserved		Chop enable 0: Off 1: Mode 1 2: Reserved 3: Reserved		Shuffle mode 0: Off 1: Mode 1 2: Reserved 3: Reserved			Shuffle mode determines how shuffling is performed. Chopping determines how the input is processed to improve noise near dc.
0D-test_io	User test mode 00h: Single 01h: Alternate 10h: Single once 11h: Alternate once		Reset PN long gen	Reset PN short gen	Output test mode 0: Off 1: Midscale short 2: +FS short 3: -FS short 4: Checkerboard output 5: PN23 sequence 6: PN9 7: 1/0 word toggle 8: User input 9: 1/0 bit toggle 10: 1× sync 11: 1 bit high 12: Mixed-bit frequency (format determined by output_mode)				00h	When set, the test data is placed on the output pins in place of normal data.
0E-test_bist						BIST init	Reserved	BIST enable	00h	BIST mode configuration
0F-adc_input	Low-pass filter bandwidth 0: Default 1 to 15: Alternate corner frequencies (See device data sheet for details)					Analog disconnect	Common-mode input enable	Single ended	00h	
10-offset	8-bit device offset adjustment; Bits[7:0]								80h	Device offset trim
11-gain	8-bit device gain adjustment; Bits[7:0]								00h	Device gain trim

Address ¹ and Parameter Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value	Comments
14-output_mode	0: Level Option 0 1: Level Option 1 2: Level Option 2 3: Level Option 3		Output mux enable (interleave)	Output enable	DDR enable	Output invert	0: Offset binary 1: Twos complement 2: Gray code 3: Reserved		device specific	Configures the outputs and the format of the data.
15-output_adjust	Output driver termination; Bits[7:4]			Output driver current; Bits[3:0]					device specific	Determines LVDS or other output properties. Primarily functions to set the LVDS span and common-mode levels in place of an external resistor.
16-output_phase	Output polarity				Output clock phase adjust; Bits[3:0]				00h	On devices that utilize clock divide, determines which phase of the divider output is used to supply the output clock. Internal latching is unaffected.
17-output_delay	Enable	DLL Enable	6-bit output delay; Bits[5:0]						00h	This sets the fine output delay of the output clock but does not change internal timing.
18-vref	V _{REF} select 0: Primary (0) 1: Secondary (1) 2: Option 2 3: Option 3		6-bit internal V _{REF} adjustment; Bits[5:0]						20h	Select and/or adjust the V _{REF} .
19-user_patt1_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	User-Defined Pattern 1 LSB.
1A-user_patt1_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	User-Defined Pattern 1 MSB.
1B-user_patt2_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	User-Defined Pattern 2 LSB.
1C-user_patt2_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	User-Defined Pattern 2 MSB.
1D-user_patt3_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	User-Defined Pattern 3 LSB.
1E-user_patt3_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	User-Defined Pattern 3 MSB.
1F-user_patt4_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	User-Defined Pattern 4 LSB.
20-user_patt4_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	User-Defined Pattern 4 MSB.
21-serial_control	LSB first				PLL optimize	000: Normal bit stream 001: 8 bits 010: 10 bits 011: 12 bits 100: 14 bits 101: 16 bits			00h	Serial stream control. Default causes MSB first and the native bit stream.
22-serial_ch_stat							Ch output reset	Ch power-down	00h	Used to power down individual sections of a converter(local).
24-misr_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	Least significant byte of MISR (read-only).
25-misr_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	Most significant byte of MISR (read-only).
2A-features							OVR alternate pin	OVR output enable	00h	Auxiliary feature set control.
2B-high pass		Tune				Corner frequency Bit 0: DC Bit 1 to Bit 7: Alternate corner frequencies			00h	High-pass filter control.
2C-ain								Input impedance	00h	Analog input control.
2D-cross_point									00h	Analog input cross point switch.
FF-device_update	Enable HW transfer							SW transfer	00h	Synchronously transfers data from the master shift register to the slave.

¹ 16 進数。² 大部分のデバイスではサポートされていません。