

ADUC702X ファミリによるカウンタの実装

Aude Richard 著

はじめに

ADuC702x ファミリーは、出力にフリップフロップを持つ 16 個のゲートで構成されているプログラマブル・ロジック・アレイを内蔵しています。このロジック回路は、さまざまな機能に使用することができます。このアプリケーション・ノートでは、3 ビット・カウンタの実装方法について説明しますが、これは簡単な任意のシーケンス発生にも適用することができます。

PLA

PLA (プログラマブル・ロジック・アレイ) は、シンプルで外付けロジックを不要にすることが目的のロジックということができます。8 個のエレメントからなる独立な 2 個のブロックで構成されています。この 2 個のブロックはさまざまなクロックを持つことができますが、ブロック内の各エレメントは同じブロック・クロックを使用する必要があります。

16 個の各エレメントには、2 入力のルックアップ・テーブルとフリップフロップが含まれています。このルックアップ・テーブルは、1 個または 2 個の入力を使用する任意のロジック関数を発生するように構成することができます。フリップフロップは、ブロック・クロックで駆動するか、バイパスすることができます。

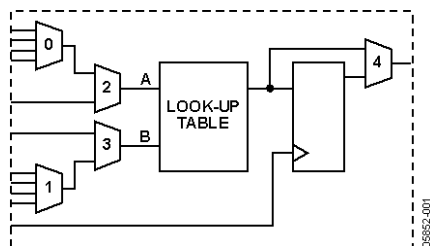


図1. PLA のエレメント

同期カウンタ

同期カウンタ内のフリップフロップはすべて同じクロック信号を使います。3 ビット・カウンタを実装するときは、3 個のフリップフロップと 3 個の出力、次の状態を決定するロジックが必要です (表 1 と表 2 参照)

表 1. 遷移表

State	Actual Outputs			Next Outputs		
	Q ₂	Q ₁	Q ₀	D ₂	D ₁	D ₀
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

表 2. 関数

		Q ₁ , Q ₀			
		00	01	11	10
D ₂	0	0	0	1	0
Q ₂	1	1	1	0	1

$$D_2 = \overline{Q_2}Q_1Q_0 + Q_2\overline{Q_1} + Q_2\overline{Q_0}$$

		Q ₁ , Q ₀			
		00	01	11	10
D ₁	0	0	1	0	1
Q ₂	1	0	1	0	1

$$D_1 = Q_1\overline{Q_0} + \overline{Q_1}Q_0 = Q_1 \oplus Q_0$$

$$D_0 = \overline{Q_0}$$

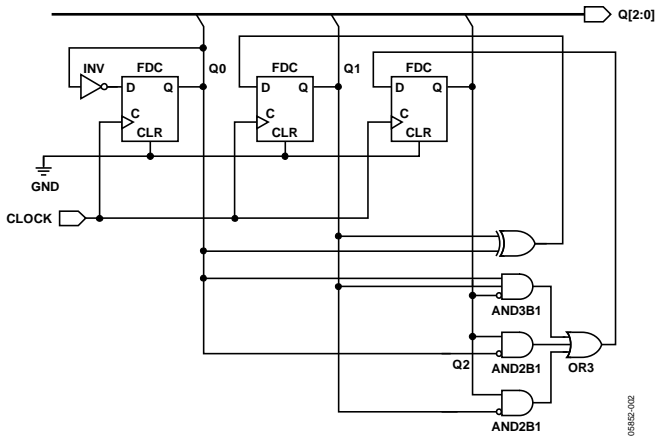


図 2. 回路図

ADuC702x 上での実装

3ビット・カウンタを実装するときは、3個のフリップフロップと3個の汎用出力が必要です。

各 PLA エLEMENTは2入力ゲートのみ内蔵しているため、3入力ゲートを2入力ゲートで置き換える必要があります。

D_2 は次のように書き換えることもできます。

$$D_2 = \overline{Q_2}Q_1Q_0 + Q_2\overline{Q_1} + Q_2\overline{Q_0} = \overline{Q_2}Q_1Q_0 + Q_2\overline{Q_1}Q_0$$

これは、2入力ゲートで容易に実現できます。

フリップフロップに使用するクロックはプログラマブルであることに注意してください。HCLK、内部発振器、またはタイマ1オーバーフローの3本のGPIOうちの1つを使用することができます。タイマ1オーバーフローは、4個のクロック・ソース、プリスケアラ、32ビット・カウンタと組み合わせて多くの柔軟性を提供します。

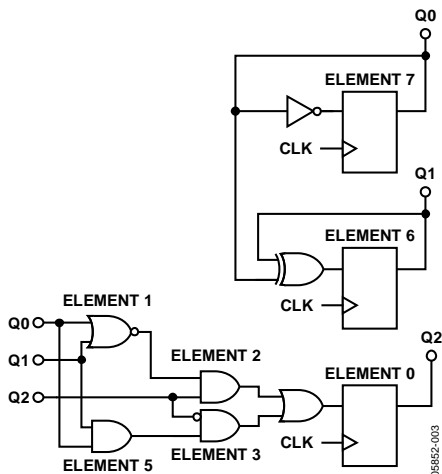


図 3. PLA ツールを使用する実装

結論

PLAを使用した3ビット・カウンタには次の3つの主な利点があります。

- 外付け部品が不要。
- 1つの統合したソリューションとして、処理能力が不要。
- クロックがプログラマブルであり、外部クロック信号が不要。

このアプリケーション・ノートでは、3ビット・カウンタのケースのみを説明しましたが、同じ技術を使って、任意の簡単なシーケンスを容易に発生することができます。

この技術の主な欠点は、デバイス内のゲート数と出力数が少ないことです。

グラフィカル PLA 構成ツールは、アナログ・デバイセズのウェブサイト www.analog.com からダウンロードすることができます。

表 3. コンパニオン・コード PLAINIT.C からの関連部分の抜粋

```
//Code Generated By the ADuC 702X PLA Tool
//FileType:          C PLA Configuration File
//Source:            C Source Code
//Date:              24/10/2005 22:20:13
//=====
#include "ADuC7026.h"
void plaInitialize( )
{
    // Configure Port Pins for PLA mode

//          In order for the PLA Tool to configure the required GPIO pins
//          you must make the necessary selections on the outputs tab!!!
GP1CON = 0x30000000;
GP2CON = 0x00000330;

    // Configure individual elements

    PLAELM0 = 0x02DC;
    PLAELM1 = 0x07CF;
    PLAELM2 = 0x0051;
    PLAELM3 = 0x0145;
    PLAELM5 = 0x07D1;
    PLAELM6 = 0x07CC;
    PLAELM7 = 0x018A;

    // Clk Source configuration

    PLACLK = 0x0004;
```