

## I<sup>2</sup>C<sup>®</sup>リセットの追加

著者 : Jim Greene

I<sup>2</sup>C バスは、多くのシステムで制御用に採用されている高集積度で堅牢なシリアル・バスです。システムの主な構成要素は、少なくとも 1 個のマスターと 1 個のスレーブです。通常状態では全てがうまく機能しますが、問題を発生するのは異常状態です。問題が発生した場合には、デバイスまたはシステムに関係した問題があるか、あるいは両方の組み合わせの問題があるか、という 2 つの疑問が生じます。いずれにせよ、この場合何ができるかです。

ハードウェア故障の発見は比較的容易です。機能しなくなり、電源のオン/オフにより問題が解決せず、ピンがハイ・レベルまたはロー・レベルに固定されるなどになります。システムに関する問題はデバイス故障と見誤られることがあり、さらに悪いときには断続的に発生することもあります。このアプリケーション・ノートでは、バス故障状態の大部分を占める後者の領域について調べます。

I<sup>2</sup>C バスについて簡単に説明します。I<sup>2</sup>C (Inter Integrated Circuit)バスは、Philips 社が開発して特許を取得しています。このバスを使うと、デバイスがオープン・ドレイン(またはオープン・コレクタ)の 2 線式シリアル・バスを介して通信することができます。インターフェースはシンプルで、回路ボードに入出力するのは、シリアル・データ(SDA)とシリアル・クロック(SCL)の 2 信号だけです。配線に関係した低速問題(文字どおり DC~400 kB/s)のために、伝送線効果と整合の問題は生じません。制約要因は、バス容量であり 400 pF に制限されています。

次の用語が、I<sup>2</sup>C バスの規定に使用されています。

**マスター**—メッセージを開始するデバイスで、I<sup>2</sup>C バスの方向を決定します。マスターはクロック(SCL)も発生します(1 バイトあたり 9 クロックで、8 個がデータ用、1 個がアクノリッジ用です)。

**スレーブ**—アドレスを持つデバイス。このアドレスがマスターからアドレス指定されます。

**スタート**—SCL ラインがハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化するバス条件。この条件がバスの最初の動作で、次に必ずアドレスが続きます。最下位(LSB)ビットにより、バス方向が指定されます。LSB = 1 で、バスが読み出し動作を行うことをスレーブに通知し、LSB = 0 で、指定したアドレスへ書き込み動作を行うことを通知します。

**ストップ**—スタートと反対の条件。この条件では、SCL ラインがハイ・レベルの間に SDA ラインがロー・レベルからハイ・レベルに変わります。この条件は、バイトを受信した後に送信を終了する唯一の方法です。

**バイト幅**—すべてのバイトは 8 ビット幅で、例外はありません。

**メッセージ長**—技術的にはメッセージ最大長の制限はありません。最小メッセージは 2 バイト(アドレス・バイトとデータ・バイト)で構成されます。

**ウェイト状態**—この条件はほとんど使用されませんが、理解しておく価値があります。SCL ラインがロー・レベルになった後に、デバイスはそのロー・レベルを続けることにより、ウェイト状態を指定することができます。このウェイト状態を使うと、低速デバイスが送信デバイスとの同期を失わないようにすることができます。例としては、多くのバイトを E<sup>2</sup>PROM へ書き込むときや、プロセッサが割込みを処理するためにスレーブからのデータを遅らせるときなどがあります。

**アクノリッジ**—“ACK”条件では、マスターが SCL ライン上に 9 番目のクロック・パルスを発生し(各バイトに対して)、この間に受信デバイスが SDA ラインをロー・レベルにして、直前のバイトを受信したことを通知します。“NAK”は、追加送信するデータがないことをスレーブに通知するときに、マスターからのみ発生します。NAK をストップの前に使用して、マスターが通信を終了しようとしているときにスレーブが追加データをバスへ出力してしまうのを防止します。

マスター(通常マイクロコントローラまたはゲート・アレイ)は、I<sup>2</sup>C スレーブとの通信の途中で頻繁に割込まれ、リターンしたときに、バスのスタックに遭遇します。最初、これはデバイスの問題のように見えますが、違います。スレーブは、マスターから要求されたデータの残りを送信するために待ち続けます。問題は、割込みまたはリセットが発生したときにマスターが何処にいたかを忘れることです。プロセッサで外部リセットが発生すると、一般にこの状態が発生し、特にプロセッサが自分のステータスを待避できないときに発生します。この時点で、スレーブは次のビットを SDA ラインに出力して(リセットで SCL ラインがロー・レベルにされる)、SCL 上の次のクロックを待ちます。もちろん、プロセッサはクロックを送信しないため、このスレーブは待ち続けることとなります。スレーブが SDA ラインへ出力したビットが 0 の場合、新しくウェイクアップしたプロセッサからは、バスがハングしたように見えます。バスは非動作モードにありますが、これはスレーブに起因するものではありません。これは、プロセッサが開始したメッセージを終了しないことによるプロセッサの故障です。これから抜け出すリセットの発生は、このアプリケーション・ノートの範囲外です。

何をすべきでしょうか。スレーブにこの最後のバイトの送信を終了させるか、または外部からリセットする必要があります。

## ソリューション 1: 問題時にクロックを発生

1 つ目のソリューション(スレーブを終了させる)は、ソフトウェアで実現されるためハードウェアの追加は不要です。この方法は非常に効果的ですが、すべてのメーカーのデバイスで常にバスのハングを解決できるとは限りらないことに注意してください(I<sup>2</sup>C ステート・マシンのデザインによりこのクロック発生法の有効性が決まります)。

この方法は非常にシンプルです。バスを回復して制御をメイン・プログラムへ戻すのはマスターの仕事です。SDA ラインがロー・レベルに固定されているのをマスターが検出したとき、追加クロックを送信してストップ条件を発生させるだけで済みます。追加クロックは何個必要でしょうか。この個数は、スレーブから送信する残りのビット数に応じて変わります。最大は 9 個です。この値はワーストケースの場合で、プロセッサが ACK をスレーブへ送信した直後にリセットされる場合です。スレーブは、8 ビットのデータを送信して、ACK (またはバス回復時は NAK)を受信できるようになります。

手順は次のようになります。

- 1) マスタは、ロジック 1 を SDA ラインに出力しようとします。
- 2) マスタは依然ロジック 0 を検出するため、SCL 上でクロック・パルスを発生します(1→0→1 の変化)
- 3) マスタは SDA をチェックします。SDA = 0 の場合、ステップ 2 へ進みます。SDA = 1 の場合、ステップ 4 へ進みます。
- 4) ストップ条件を発生させます。

クリアされた SDA ラインは、実は 1 であった次のビットがクリアされている可能性があるため、このプロセスを繰り返す必要がある可能性に注意してください。この追加クロック発生とストップ発生が他のペリフェラルへ与える影響について懸念があるかと思いますが、悪影響はありません。他のスレーブはアドレス指定されていないため、これに関与しないためです。メッセージを中断されたスレーブのみがクロックに応答します。

この手順は、SDA = 0 のバス故障が発生した場合に、原因に無関係に、バスの回復を支援するシステム・コードで役立ちます。

## ソリューション 2: I<sup>2</sup>C スレーブへのリセット・ピンの追加

もう 1 つの方法では、I<sup>2</sup>C スレーブをリセットします。一般に、I<sup>2</sup>C スレーブにはリセット・ピンがありません。このタイプの問題に対処するため、追加ハードウェアのアナログ・スイッチからなるリセット機能を追加します。リセット機能を実行するためには、アナログ・スイッチに幾つかの特性が必要です。ADG749 は次の条件を満たしています。

- 小型パッケージ: SC70 の所要ボード・スペースは 5 mm<sup>2</sup> 以下。
- SPDT スイッチはブレイク・ビフォー・メーク・スイッチ動作。
- 非常に小さいオン抵抗: 5 V で 3.5 Ω、3 V で 4.5 Ω。
- 優れたオン抵抗の平坦性(デジタル・デバイスで再設定が可能)。
- 電源電流が 1 μA であるため、消費電力に影響がない。

下図に、ADG749 を使って I<sup>2</sup>C スレーブ・デバイスのリセットを実現する方法を示します。スレーブのリセットが必要なとき、プロセッサはロジック・ローをアナログ・スイッチのコントロール・ピン RESET(図参照)へ送信します。立ち下がりがリセット・パルスは、スイッチがデカップリング・コンデンサと内部回路を放電させるために十分な幅を持つ必要があります。ADG749 は、デカップリング・コンデンサを持つ多くの I<sup>2</sup>C デバイスに対してリセットを発生する能力を持っています。テストでは、15 μs のリセット・パルスにより、2 個のスレーブと 1 μF の容量の V<sub>DD</sub> ラインをグラウンドから 0.1 V 以内に 10 μs 以下でスイッチできることが示されました。ターンオン時間も同様に 5 μs 以下と優れており、これは I<sup>2</sup>C ステート・マシンがパワーアップ時に自分自身をリセットできることを意味しています。

1.8 V ~ 5.5 V の動作電圧範囲では、ADG749 は文字通りすべての I<sup>2</sup>C デバイスをプロセッサからリセットさせることができます。レベル変換機能が必要な場合には、アナログ・デバイスは他のアナログ・スイッチも提供しています。

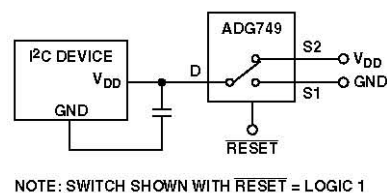


図 1. シンプルなインターフェースによる I<sup>2</sup>C バスのリセット

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の 1 つから I<sup>2</sup>C 部品を購入すると、Phillips 社の制定する I<sup>2</sup>C 標準仕様にシステムが準拠している場合、I<sup>2</sup>C システム内でこれらのデバイスを使うための Phillips 社の I<sup>2</sup>C 特許権のもとにライセンスが購入者に移転されます。