

## Σ-ΔADCs の 50Hz/60Hz 除去

By Adrian Sherry

### はじめに

多くの工業用装置で 50Hz / 60Hz 干渉ノイズの除去は要求されます。このアプリケーション・ノートは、Σ-ΔADC の AD7708/AD7718, AD7709, AD7719, AD7782/AD7783 がこれらの周波数を適切に除去するのにどのように使用されているかについて概要を説明します。

### 電源ライン周波数

50Hz 又は 60Hz の 2 つの周波数のうちいずれか一方の ac 電源が世界中に配電されています。この周波数は電源トランス経由、又は電子装置やシールドの無い電源ケーブルから放射され、電気信号に望ましくないノイズとして混入される可能性があります。又これらの周波数の高調波つまり 100Hz/150Hz、120Hz/180Hz などの干渉ノイズも存在します。ただしこれらの周波数成分は一般的に基本周波数よりは小さくなります。主電源信号の正確な周波数は一般的に時間経過とともに ±1Hz まで変動します。

低レベル信号を高解像度 ADC で測定しようとする時、主電源の干渉ノイズは大きな問題となります。

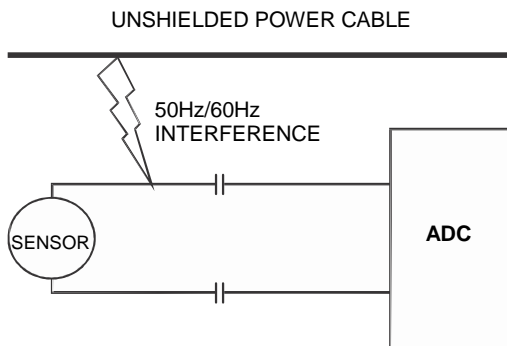


図 1. 50 Hz/60 Hz 干渉ノイズの発生源

### 干渉ノイズの除去

システムが高い同相電圧除去比を持っていれば、差動信号を使用する事によりどんな同相 50Hz/60Hz 干渉ノイズでも除去できます。しかし、差動信号を使用してもノーマルモードの干渉ノイズの除去はしません。

この干渉ノイズを減衰させる一つの解決方法はローパス・アナログ・フィルタを使う事です。高い 50Hz/60Hz 除去比を得るには、このフィルタが低カットオフ周波数として/又は高次である必要があります。低カットオフ周波数は測定する信号の帯域を制限します、一方高次アナログ・フィルタは部品数と基板面積の点で高価です。又カットオフ周波数はドリフトする傾向があります。

アナログ・フィルタの代わりに使用できるのはデジタル・フィルタです。デジタル・フィルタは一つの電源ライン周波数の除去に最適化するように設定したり、又は両方の周波数を同時に減衰するように設定し、周波数が変わっても装置を再設定なしに世界中で使用できるようにする事ができます。検討すべきフィルタの特性は 50 Hz±1Hz そして/又は 60 Hz±1Hz の除去比、それらの周波数の高調波の除去比、フィルタのセトリング時間、そしてフィルタ構築の複雑さ（消費電力などに影響）です。必要とされる除去比は干渉ノイズの大きさとシステムが要求するノイズレベルによります。例えば除去比 60dB は 1mV の干渉ノイズレベルを 1µV に減衰させるのに十分です。

### Σ-ΔADCs

Σ-ΔADC はその回路構成の中で一つの機能としてデジタル・フィルタを内蔵しています。もしそのデジタル・フィルタが正しく設定されていれば、電源ライン周波数で高い除去比があり、しかも入力信号を測定するのに十分な帯域があります。アナログ・デバイス社のこの ADC ファミリーに使用されているフィルタは主電源周波数の除去比が高く、しかもかなり高い更新周波数が得られます。

### SINC<sup>3</sup> FILTER (チョッピング無し)

これら ADC に使用されているデジタル・フィルタは sinc<sup>3</sup> フィルタです。このフィルタの応答はサンプリングレート fs(32.768KHz)と、レジスタ値 SF によって決まります。これは ADC の更新レート、周波数応答でのノッチの位置、そして ADC 変換のノイズを設定します。sinc<sup>3</sup> フィルタの周波数応答は次の式で与えられます。

$$\left[ \frac{1}{8SF} \times \frac{\sin(8SF \times \pi \times f/fs)}{\sin(\pi \times f/fs)} \right]^3$$

そして ADC 更新レートは:

$$\frac{fs}{8SF}$$

# AN611

$\text{sinc}^3$  フィルタはさらに高次の  $\text{sinc}$  フィルタに比べセトリング時間が早いです。従って  $\text{sinc}^3$  フィルタは低ノイズ変調器と共に使用することにより、早い変換スピードが要求される場合にはよい選択となります。

このフィルタ応答は AD7708/AD7718 をチョップオフ (ADMODE[7] = 1) で動作させる時のみ得られます。このモードでチャンネル切り替えた後には、セトリング時間は例えば変換時間の 3 倍かかります。これは  $\text{sinc}^3$  フィルタが完全に安定するのに必要な時間です。図 2 に、SF = 75 (10 進値) に設定した時の周波数応答のグラフを示します。

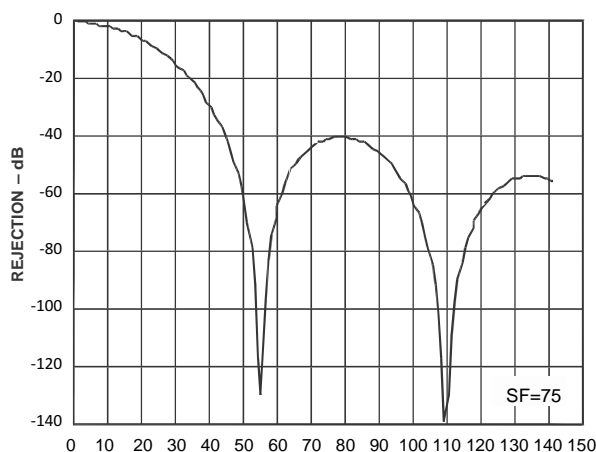


図2. 除去比対周波数; SF=75

SF を上記の値にすると 50 Hz と 60 Hz との中間の 55 Hz あたりで深いノッチができ、 $50\text{Hz} \pm 1$  と  $60\text{Hz} \pm 1$  で少なくとも 57dB の除去比が得られます、一方この場合更新レートは 55Hz で、セトリング時間が 55ms になります。これは 50Hz/60Hz 除去と高い更新レートを得るための SF としてはベストの選択です。

SF を 151 に増やすと 50 Hz/60 Hz 除去比が 3 dB 改善し 60 dB になりますが、セトリング時間は 2 倍の 111ms と長くなってしまいます。SF を最大値 255 に設定すると 68dB の除去比を得られますが、セトリング時間は 187ms に増えます。

もし装置が動作する国が既知で、主電源の周波数がわかっていたら、その周波数に特化して非常に高い除去比を得る事ができます。50Hz 動作の場合、SF=82 の値に設定します; 60Hz 動作の場合 SF = 68 に設定します。これらの設定により選択した周波数で除去比 100dB 以上得られますが、選択してないもう一方の周波数では除去比は低くなり 40dB 程度です。 又一方セトリング時間はそれぞれ 60ms/50ms です。

理論的には更新レート 10Hz で 50Hz と 60Hz 両方の除去が可能ですが、しかしセトリング時間は 300ms で変換レートは非常に低くなります。AD7708/AD7718 の場合可能な最低レートは 16Hz なので、32.768kHz クリスタルを使い 10 Hz (チョップ-オフ) レートにする事は不可能な事に注意してください。

表 1 の計算は正確な 32.768 kHz クリスタル/クロックが ADC に供給されていると想定しています。周波数が正確でない場合には除去比は悪化します。例えばクロックが  $\pm 2\%$  誤差あると仮定すると SF=75 で除去比は最悪 52dB に減少します。しかし 32.768kHz クリスタルは  $\pm 2\%$  誤差よりはるかに正確であることに注目すべきです。

上記のフィルタ応答のすべては 50Hz/60Hz の高調波でも除去比が同様に優れているか、さらに優れています。

## ポスト-フィルタ

ADC データに簡単なポスト・フィルタを加える事により非常に小さなコストで 50 Hz/60 Hz 除去を改善できます。たとえば SF = 171 で ADC 更新レートは 24Hz となり、24Hz, 48 Hz などで深いノッチがあります。外部的に単純な 2 つの平均化を行うと、12Hz, 36 Hz, 60 Hz, などで 1 次のノッチができます。この外部的な 2 の平均化を考慮すると、3dB 周波数は 4.4Hz, セトリング時間は 167ms で、50Hz/60Hz 除去比の最悪値が 71dB になります。又これはクロックの不正確さにほとんど影響を受けず、クロックの  $\pm 2\%$  誤差では 65dB に減少するのみです。ADC ノイズは SF=75 の時よりは低くなります。

表 I. AD7708/AD7718 の除去比 (チョッピングは非アクティブで)

	50 ± 1 Hz Rejection (dB)	60 ± 1 Hz Rejection (dB)	ADC Update Rate (Hz)	Settling Time (ms)	3 dB Frequency (Hz)
SF = 68	40	101	60.2	49.8	15.8
SF = 75	57	59	54.6	54.9	14.3
SF = 82	101	47	50.0	60.1	13.1
SF = 151	60	60	27.1	110.6	7.1
SF = 255	77	68	16.1	186.7	4.2

**チョッピング ADC**

AD7709/AD7719のADCはチョッピング方式を採用している  
ので、超低オフセットとドリフトが得られます。

AD7708/AD7718 も又チョッピング動作が選択可能です。チ  
ョッピングの平均化動作特有の性質により周波数応答に影  
響があり、50 Hz/60 Hz除去比が改善されます。チョッピン  
グした時の周波数応答の式を次に示します;

$$\left( \frac{1}{2} \times \frac{\sin(2 \times \pi \times f / f_{out})}{\sin(\pi \times f / f_{out})} \right) \left( \frac{1}{8SF} \times \frac{\sin(8SF \times \pi \times f / f_s)}{\sin(\pi \times f / f_s)} \right)^3$$

ここで $f_{out}=f_B/(8 \times SF \times 3)$

SFが同等とした場合、ADCの出力レートはチョッピングし  
ない時に比べ1/3で、セトリング時間は2倍の出力時間にな  
ります。 $f_{out}/2$ の奇数倍で周波数応答に追加のノッチがあり  
ます。例えばSF=69(デフォルト)とすると、60Hz付近で通  
常の $\text{sinc}^3$ ノッチがありますが、50Hz付近にもノッチがあり、  
結果的に更新レート19.8 Hz、セトリング時間101msで、最  
悪除去比が60dBになります。100/120Hzでの除去比は多少  
小さくなり46dBです。図3を参照してください。

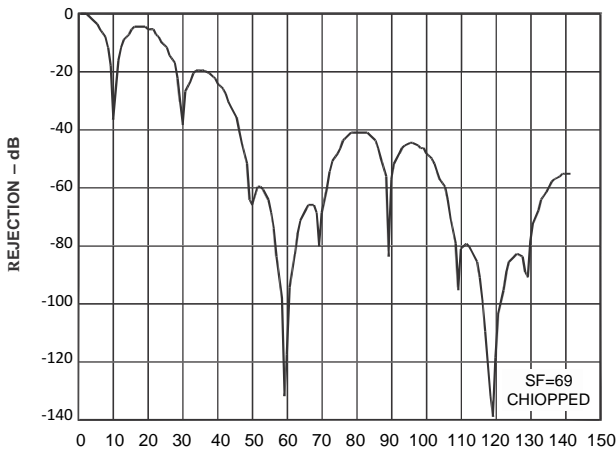


図 3. 除去比対周波数; SF = 69, チョッピング有り

更新レート 17.3 Hz のために SF を 79 に増やすと、100  
Hz/120 Hz でより優れた除去比 67dB と 55dB が得られま  
す。

SF=75 とすると、50 Hz/60 Hz での除去比が 62dB で、100  
Hz/120 Hz での除去比は 65dB となります。

一つの電源ライン周波数で>100dB の除去比を得るには、50  
Hz、60 Hz 各々に対して SF = 82 と SF = 68 に設定する必要  
があります。

**AD7782/AD7783**

AD7782/AD7783 は SF の値を変更できないので、デフォル  
ト値 SF=69 で動作し、又チョッピングされます、更新レー  
ト 19.8 Hz で 50 Hz/60 Hz 除去比が 60dB になります。除去  
比を改善するために、ADC を 32.768 kHz ではなく 28.8 kHz  
で動作させる事ができます。この場合更新レートは 17.4 Hz  
で、除去比は 66dB に改善します。追加の 6dB により干渉ノ  
イズ信号の 2 倍の減衰を得られます。

**まとめ**

この ADC ファミリは変換レートが高く 55Hz まで可能で、  
しかも優れた 50Hz/60Hz 除去比があります。更新レートは  
ソフトウェアで選択可能なので、変換スピードを犠牲にし  
て、50 Hz/60 Hz 除去比をもっと改善でする事ができます。  
チョップオフとチョップオンの両方の場合で、適切な 50Hz  
と 60Hz の同時除去を生じる ADC 更新レートのある値があ  
ります。更新レートを選ぶ時、主電源ノイズの高調波でも十  
分な除去比が有ることを確認する必要があります。

	50 ± 1 Hz Rejection (dB)	60 ± 1 Hz Rejection(dB)	ADC Update Rate (Hz)	Settling Time (ms)	3 dB Frequency (Hz)
SF = 68	54	101	20.1	99.6	4.8
SF = 69	60	95	19.8	101.1	4.7
SF = 75	62	66	18.2	109.9	4.4
SF = 79	75	67	17.3	115.7	4.1
SF = 82	101	53	16.7	120.1	4.0
SF = 150	67	66	9.2	219.7	2.2

