

アパーチャ不確定性と ADC システム性能

by Brad Brannon and Allen Barlow

アパーチャ不確定性

IF サンプリングを行う時、ADC の主な課題はアパーチャ不確定性です。アパーチャ・ジッタとアパーチャ不確定性という言葉は同義語で、文献では頻繁に交互に使用されます。アパーチャ不確定性は変換工程でのサンプル-サンプル間の変動量で、システム性能に 3 つの異なった影響があります。第 1 に、アパーチャ・ジッタはシステム・ノイズを増やします。第 2 に、サンプリングされる信号自信の実際の位相の不確定性に影響し、誤差ベクトル振幅の増加を生じさせます。第 3 に、シンボル間干渉 (ISI) が大きくなる可能性があります。しかし、典型的な通信アプリケーションでは、アパーチャ不確定性は十分小さく、システム・ノイズの条件を満足するので、位相の不確定性と ISI に対する影響は無視できる程度になっています。たとえば、250 MHz の IF をサンプリングする場合を考えます。この速度では、わずか 1pS のアパーチャ・ジッタでも、任意の ADC の SNR を 56dB のみに制限する可能性があります。一方同じ条件で、位相の不確定性誤差は周期 4 ns に対してわずか 0.09 度 rms です。これは GSM のような厳しい仕様でさえ十分許容できる範囲です。したがってここでの解析は、アパーチャ不確定性による全体のノイズへの影響に焦点を絞ります。

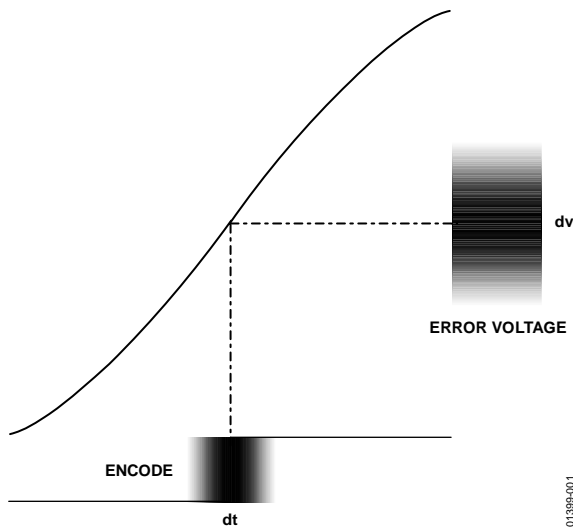


図1. RMS ジッタ対 RMS ノイズ

図 1 はサンプリングの瞬間の時間誤差がサンプリングされる電圧の誤差にどのように影響するかを説明しています。数学的には、サンプリングされる電圧の誤差の大きさは、信号の関数の時間導関数として定義されます。入力信号として正弦波を考えます。

$$v(t) = A \sin(2\pi f t) \quad (1)$$

導関数は

$$\frac{dv(t)}{dt} = A 2\pi f \cos(2\pi f t) \quad (2)$$

最大誤差は関数 COS が 1 すなわち $t = 0$ の時生じます。

$$\left. \frac{dv(t)}{dt} \right|_{\max} = A 2\pi f \quad (3)$$

図 1 からわかるように dv はジッタ dt に対応するサンプリングされる電圧の誤差です。分かりやすくするために、 dv を V_{err} と置き換え、 dt を t_a (アパーチャ誤差) と置き換えて係数を整理しなおすと、次のようになります。

$$V_{err} = A 2\pi f t_a \quad (4)$$

もし t_a が rms 値であれば、 V_{err} も rms になります。これは、入力スループレートが最大の時の誤差で、通常ではなく上限を表しますが、この単純なモデルは、サンプル・クロック・ジッタの関数として SNR の劣化を予測するには、驚くほど正確で有益です。

ジッタと SNR

式 4 が示すように、サンプリングされる電圧の誤差は、入力信号の周波数に比例して増加するので、高い周波数では (たとえば、IF サンプリング・レシーバ・アプリケーション)、クロック波形の純粋度が非常に重要になります。サンプリングは、混合動作です：入力信号は局部発振器、又はこの場合サンプリング・クロックと乗算されます。時間領域での乗算は、周波数領域での畳み込みになるので、サンプル・クロックのスペクトルは、入力信号のスペクトルにより畳み込まれます。アパーチャ不確定性は、クロック信号上で広帯域ノイズになる事を考慮すると、それはサンプリング信号のスペクトルには、周期的で、サンプルレート周辺で繰り返す、広帯域ノイズとして現れます。

ADC のエンコード入力信号は非常に高い帯域幅なので、クロック入力ノイズの影響は、サンプルレート自信の何倍にも拡張され、それがコンバータのベースバンドに折り返されます。したがって、この広帯域ノイズは、ADC のノイズフロア性能を低下させます。振幅 A のサイン波入力信号を考えます。式 4 を使うと、アパーチャ不確定性によって制限される ADC の SNR は：

$$SNR = 20 \log \frac{A}{V_{err}} = -20 \log(2\pi f t_a) \quad (5)$$

式 5 から、なぜ高アナログ入力周波数と高ダイナミックレンジが要求されるシステムでは、低ジッタのエンコード・ソースが必要とされるかが分かります。アナログ入力信号が 200 MHz で、RMS クロックジッタがわずかに 300 フェムト秒でも、SNR は 68.5 デシベルに制限されます。ちなみにこれより低速の 12 ビットコンバータで一般的得られるレベルよりもかなり下回っています。ちなみに式 5 から、SNR のジッタによる制限はコンバータの分解能とは無関係であることに注意してください。（つまり今説明した件に関して、14 ビットコンバータの方が優れているということはありません。）

アパーチャ・ジッタは、常に性能を抑制するといったものでもありません。式 6 は他のノイズ源との重畳の影響を示します。角括弧の初めの項は式 5 から導いたジッタです。これに、量子化ノイズ、DNL、そして熱雑音の項を追加しなければなりません。他の解析目的のために、これら各ノイズを別々に分けることができますが、ここではジッタの影響の分離を簡素化するために、それらを一個の追加項にまとめました。

$$SNR = -20 \log \left[(2\pi f t_a)^2 + \left(\frac{1+\epsilon}{2^N} \right)^2 \right]^{1/2} \quad (6)$$

ここで、

f = アナログ入力周波数

t_a = アパーチャ不確定性(ジッタ)

ϵ = "コンボジット rms DNL" (LSB で表す)、熱雑音も含む

N = ビット数

この簡単な式により、データコンバータのノイズ性能についての理解がかなり深まります。

サブピコ秒・ジッタを測定する

アパーチャ不確定性は、高調波なしの SNR を測定することによって、アナログ入力周波数の関数として容易に決まります。計算には 2 つの測定が必要です。最初の測定は、アパーチャ不確定性が無視できるような十分低いアナログ入力周波数で行います。ジッタは無視できるので、式 6 を簡略化して、 ϵ 、(コンボジット DNL) を求める式に並び変えることができます。

$$\epsilon = 2^N \times 10^{\frac{-SNR}{20}} - 1 \quad (7)$$

ここでの SNR は、低周波数で測定した値です。

次に、高 (IF) 周波数で FFT を実行します。選択する高周波はできるだけ高くする必要があります。繰り返しますが、高調波なしの SNR 値を測定します。この時のジッタはノイズの要因になります。そして式 6 を t_a について解くと次のようになります。

$$t_a = \frac{\sqrt{\left(10^{\frac{-SNR}{20}} \right)^2 - \left(\frac{1+\epsilon}{2^N} \right)^2}}{2\pi f} \quad (8)$$

ここで、

SNR = 後で測定した高周波での SNR 値。

ϵ = 低周波測定で決定した値

例：ジッタと AD9246

ここに示す例では ADC の AD9246 (14 ビット、125 MSPS ADC) の評価ボードを利用しています。“ヴェンツェル・スプリンター” 又は “Ultra-Low Noise” のような外部クロック発振器は、この測定に適したエンコード・ソースです。アナログ信号源には主流の Rohde & Schwarz 社又は Agilent 社の RF シンセサイザが使用できます。通常、これらのジェネレータは、エンコード・ソースとして使用するには、位相ノイズの性能が十分ではありません。アナログデバイス社の評価ボードを構成する方法のさらに詳しい情報については、個々の製品のデータシートを参照してください。

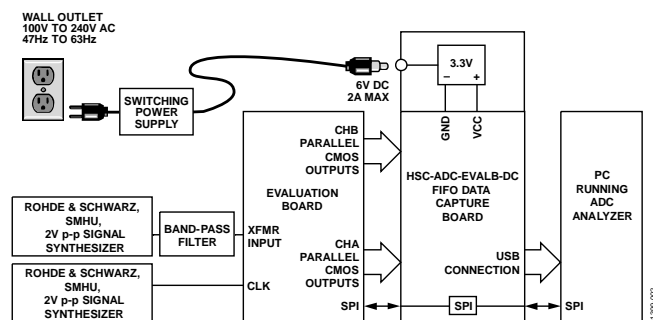


図2 AD9246 顧客向け評価ボードを使ったアパーチャ不確定性の測定セットアップ

図 3 は 125MSPS で 2.3 MHz 正弦波をサンプリングする AD9246 の 5 平均、64K FFT の結果です。Analog Devices' ADC Analyzer™ Software, (www.analog.com/fifo) によりデータが収集、処理され、高調波なしの SNR が報告されます。グラフから SNR は 72.05dBFS です。

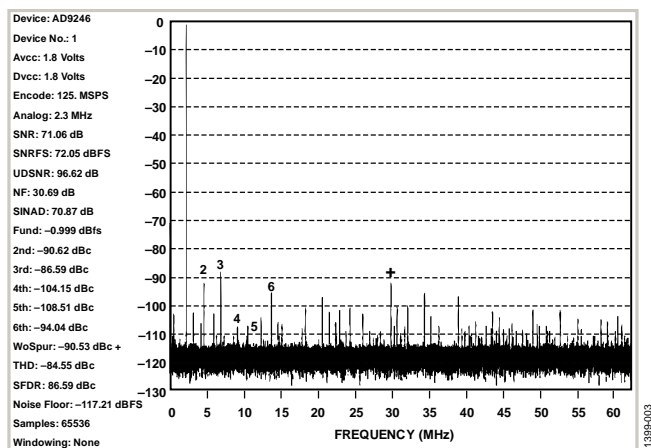


図3 2.3 MHz、FFT

この値を式7のSNRに代入して、このコンバータの"コンポジット DNL (ϵ)" を求めると 3.09LSB になります。

次に、アナログ入力周波数との関係でSNRの劣化がある事がわかります。図4は同じセットアップとクロックですが、アナログ入力周波数を201 MHzにしています。ここで、ノイズフロアが上昇し、その結果SNRが69.05 dBFSになっています。

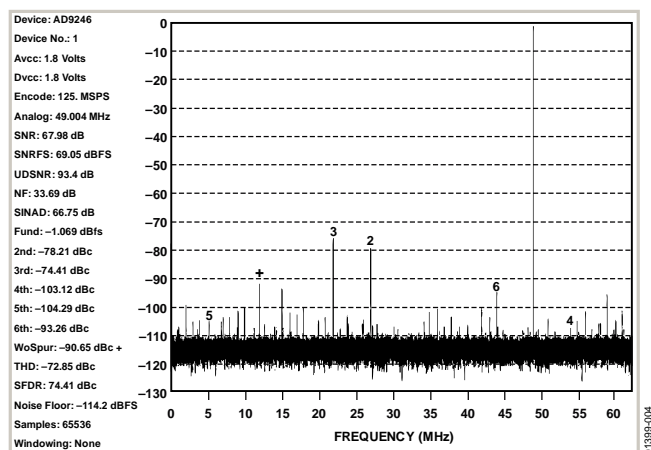


図4 201 MHz、FFT

このSNRと、前に得た ϵ の計算結果を代入すると、式8は次のようになります。

$$t_a = \frac{\sqrt{\left(10^{\frac{-69.05}{20}}\right)^2 - \left(\frac{1+3.092}{2^{14}}\right)^2}}{2\pi \cdot 201 \times 10^6} = 197 \text{ fs rms} \quad (9)$$

この値 197 fs は AD9246 とクロック発振器の両方を足したアパーチャ不確定性です。全2乗ノイズは個々のノイズ成分の二乗の和なので、ソース・クロックのジッタが分かれば、ADCの自身のジッタは、容易に決まります。ここではジッタ約 50 fs の Wenzel ULN 発振器を使用しているため、ADCのジッタは約 190fs になります。これらの単純な測定から、容易に手に入るハードウェアと、単純な数値計算により、非常に小さなアパーチャ不確定性でも測定可能であることがわかります。

図5はいろいろなジッタ値（傾斜線）について式5の曲線を重畳した図ですが、横軸が各種の解像度での特性を制限

する理想的な量子化ノイズレベルです。このグラフはアナログ入力周波数とSNRの要求仕様からジッタの許容レベルを迅速に決定するために役に立つガイドです。

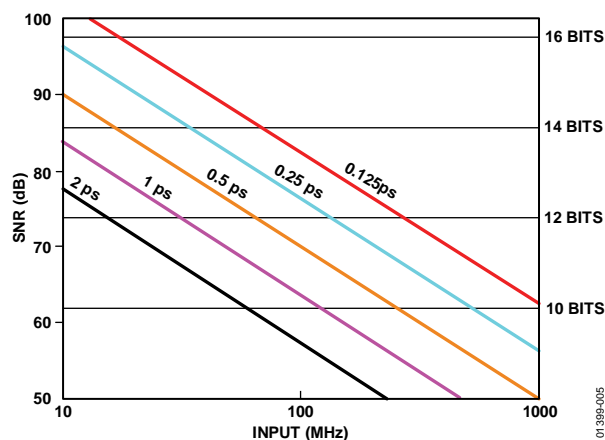


図5 アパーチャ不確定性による信号対ノイズ比

クロック分配

システム・クロックは一般的に複数のコンバータと、さらにシグナル・チェーンに含まれているPGA、ASIC、DSPに分配する必要があります。コンバータに要求される低ジッタのクロックを分配するいくつかの方法があります。

サンプル・クロックが正弦波として生成される場合は、パワー・デバイダを使用して分配したり、図6に示すように、トランスでADCに供給する事ができます。この方法は簡単で、多くのアプリケーション（特にシングル・エンド信号から差動信号に変換する必要がある場合）で問題なく動作します。

しかし、たいていの場合クロックはPLL、VCO、又はVCXOから直接供給するロジック信号です。このような場合、信号をファンアウトしたり、データコンバータを駆動するのにロジック・ゲートを使用した方が有利です。表1は各種ロジックファミリの標準的なジッタ性能をまとめたものです。製品ファミリがより古くなると多くの場合、又現在のFPGAでさえ、十分な特性を得るのはなかなか難しい事に注意する必要があります。いくつかの新しい、高速デバイスは許容できるジッタが得られ、図7に示すようなシングル・エンドの信号を差動信号に変換する能力があります。

表1.

ゲート タイプ	ジッタ
FPGA ¹	33~50 ps
74LS00	4.94 ps
74HCT00	2.20 ps
74ACT00	0.99 ps
MC100EL16 (PECL)	0.70 ps
AD9510 クロック合成および分配	0.22 ps
NBSG16 (低減スイングのECL)	0.20 ps

入力構造や内部配線ゲート、内部DLL/PLLし構造使用に関連したジッタにより導入されたジッタは含まない。
製品データシートに基づき ± 100 ps から ± 300 ps のピーク to ピーク値。

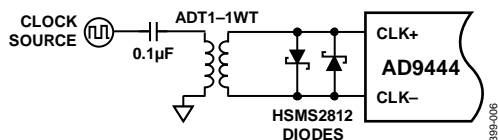


図6 分配と差動エンコードオプション

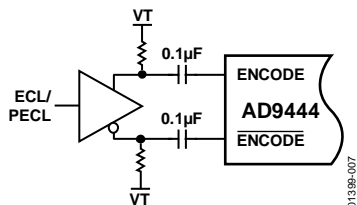


図7 アクティブ差動駆動回路

カスケード接続のゲートを使ったクロック・ツリーはデジタル回路 (図 8 を参照) で一般的に使われていますが、この場合クロックがツリーを下に進んで行くに従ってジッタが蓄積します。

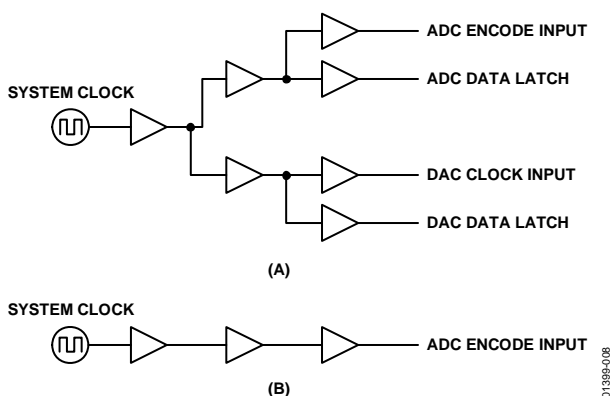


図8 クロック分配チェーン

わずか 3 個の NBSG16 ゲート (優れた性能の一つの) をカスケード接続した回路を通るだけで、累積する rms ジッタは 350 fs に増加します。これは IF サンプリングシステムのシステム性能に重大な影響を与えます。全体的に従来のクロック・ツリーを使用するのは避けた方が無難です。その代わりに、システムレベルの機能としてクロック生成、分配を検討される事をお勧めします。

AD9510 のようなデバイスは、総 RMS ノイズが最小限に収まるようにクロック経路を最適化しています。図 8 と図 9 を比較すると、AD9510 は図 8 と同じクロック分配機能であることが明らかですが、付加的なジッタはわずか 220 fs です。さらに、この製品は完全なクロック・クリーンアップ、合成、および分配機能を一つのパッケージで可能な ADF4106 に似た超低ノイズの PLL を内蔵しています。

またさらに、AD9510 には出力タイプ (LVDS のは、PECL、および CMOS) が選択可能であること、プログラマブル罰金遅延などディスクリート・ロジックにはない他の多くの機能が含まれています。図 10 に、AD9510 の代表的な低ジッタ回路での使用方法を示します。

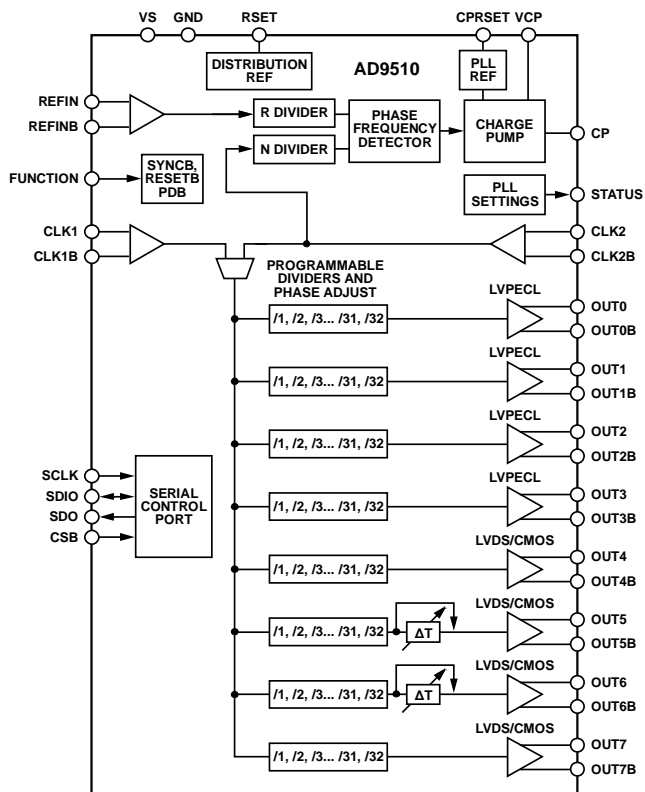


図9 AD9510 クロック合成および分配

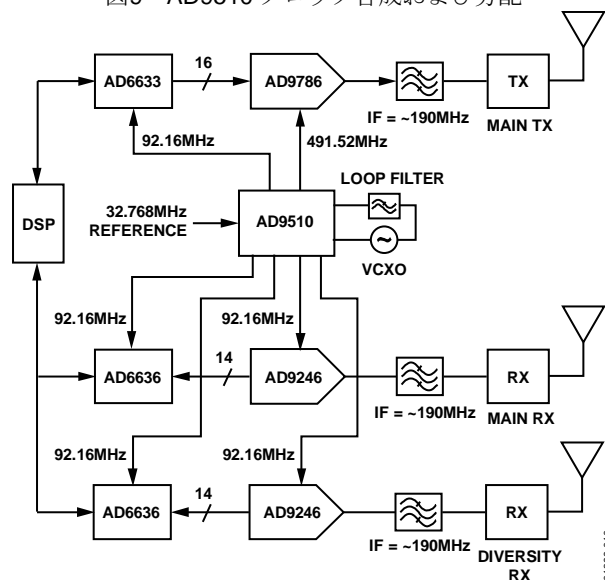


図10 標準的なクロック分配アプリケーション

