

全機能内蔵ダイレクト・デジタル・シンセサイザ AD9850 のためのデスクリート, 低位相ノイズ、125 MHz クリスタル発振器

By Richard Cushing, Analog Devices, Inc.; Steven Swift, Novatech Instruments, Inc.

全機能内蔵ダイレクト・デジタル・シンセサイザ(DDS)AD9850は低価格、高速のデジタル・シンセサイザ・システムを実現するために使用するデバイスとしてよく知られています。最大レートでの125 MHzでAD9850をクロック駆動する事には、多少技術的な困難さが伴います。得にサイン出力の位相ノイズが主な問題となるアプリケーションでは容易ではありません。このアプリケーション・ノートは、AD9850を駆動するための推奨する高速クロック駆動回路についてたくさんのお問い合わせがあったので作成する事になりました。

AD9850を駆動するための安価な125 MHz CMOSクロック発振器はまだ市販されていません。AD9850評価ボードに適した一つのクロック発振器はChampion Technologies 製(Model K1300, 約 \$45)です。これは簡単で楽にクロック源を実現できます、しかし使用するには高価過ぎ、又一般的に、これらは顕著に優れた位相ノイズ性能のクロック発振器としては知られてはいません。

デスクリート部品を使って設計したButler発振器^{*}回路(図1参照)はこれに代わる、より安価なクロック源で、しかも標準的なクロック発振器に比べ相対的に優れた位相ノイズ特性をもっています。下に示したButler発振回路の動作は単電源(+5V)駆動で、TTL出力段です。又部品コストは\$20 から \$25です。この回路は低位相ノイズ性能、回路の複雑さ、コストから見てよい折衷案です。

DDS出力信号の全位相ノイズはAD9850の残留位相ノイズと基準発振器の位相ノイズで構成されます。AD9850の残留位相ノイズは基準クロックを125 MHzとすると、キャリア5 MHzからのオフセットが1 KHzの時、-134 dBcです。DDSは、その周波数分割特性により、基準発振器の位相ノイズの影響を20LOG(出力周波数/基準周波数) 削減します。

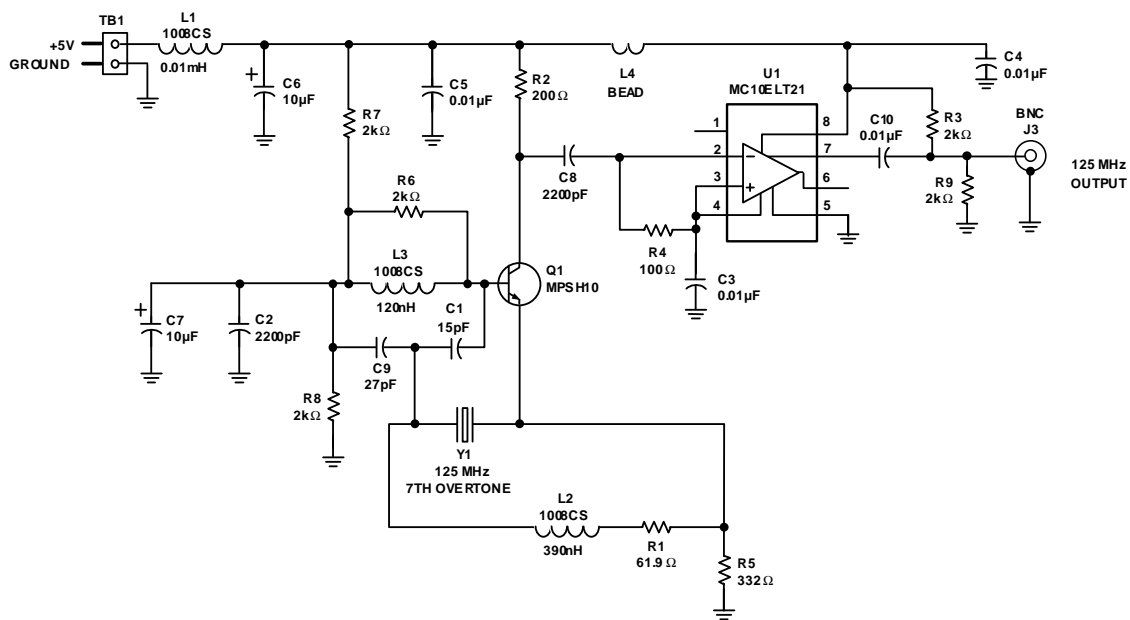


図1.回路図と部品リスト

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

Rev.

AN-419

例えば、AD9850出力信号に対するButler発振器の位相ノイズの影響はクロック周波数が125MHzで、出力周波数が5MHzの時、標準的に-110dBcから-138dBcに低減します。DDS出力周波数が基準発振器周波数のより大きな割合をしめるようになるに従い、DDS出力位相ノイズに対する発振器の影響は増していきます。

プロトタイプ・クロック発振器は2" x 2" 両面銅被膜ボード上(図2と図3)に組み立てられます。出力は50Ω負荷に対しては2Vp-pを駆動し、高インピーダンス負荷に対しては4V p-pよりやや小さめの振幅を駆動します。ボード全体に渡ってチップコンデンサ、チップ抵抗とチップインダクタンスが使われています。Q1としては発振周波数より F_T が3倍~5倍の任意の高周波数NPNトランジスタが使用可能で、一代表的なトランジスタとしてはMPS918とMPS10があります。クリスタルは7次オーバートーン、直列共振モード、HC-49パッケージです。U1はPECL(Positive ECL ロジック) to TTL変換ICで、モトローラのECLinPS "Lite" (Single gate)表面実装デバイスです。

U1の出力はスタンダードTTL出力レベル又は、この場合、外部的にAD9850の電源の1/2 にレベルシフトされたCMOSコンパチブルレベルになります。AD9850の適切なクロック駆動は信号が少なくとも3V p-pで、中心がVDD/2の時に行われます。

回路説明：L2/R1はスプリアス発振を避けるために、クリスタル寄生キャパシタンスと共に共振します。クリスタルが7次オーバートーン直列共振周波数で動作するように、L3を含むタンク回路は125 MHz付近で共鳴します。

R6はタンク回路Qを低減し、自己発振とクリスタル周波数との周波数不一致を防止します。MC10ELT21の PECL to TTL 変換出力はR3とR9で設定された2.5 V中間電圧点にac結合されます。変換ICがTTL出力レベルを発生させるには>200 mV p-pの入力信号が必要です。AD9850のCMOS入力を駆動するためには2.5Vdc オフセット電圧と4V信号スウィングを保つ必要がありますが、そのためには発振器の出力回路の負荷は高インピーダンスでなければなりません。もしほんとうの意味でのTTLレベルが必要であれば、C10、R3 とR9を取り除き、C10の所をジャンパー線で半田付けする必要があります。

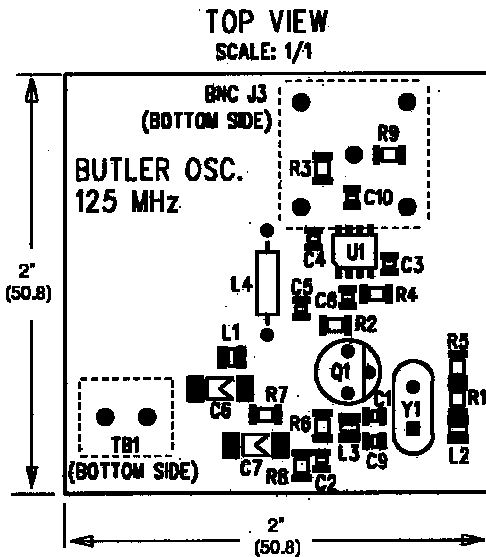


図2.PCB 部品配置

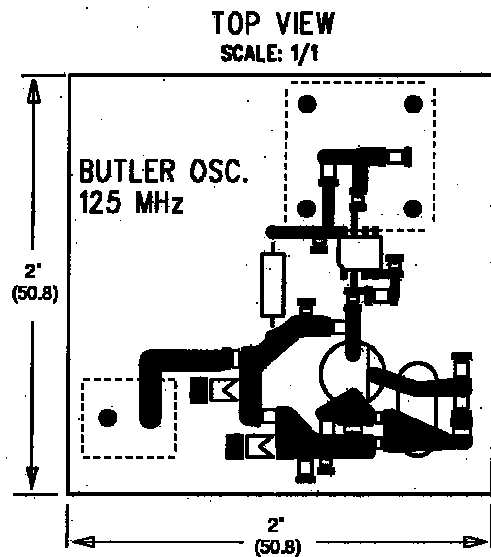


図3.PCB 相互接続

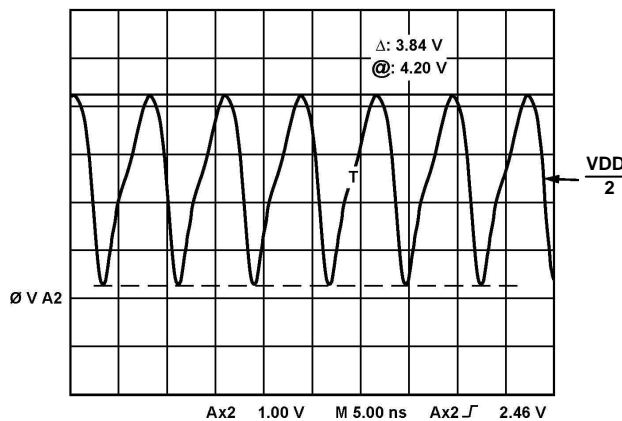


図4.発振器出力のデジタルスコープ印刷出力

