

### ディザ使用によるコンバータ非直線性の改善

著者: BRAD BRANNON

#### はじめに

ここでの説明は、12ビット41MSPS ADCのAD9042を中心に行います。AD9042は、特に広帯域で高SFDR(スプリアス・フリー・ダイナミックレンジ)のフロント・エンド用にデザインされた初めての市販コンバータです。

通信技術とそのサービスが急速に拡大する中で、デジタル・レシーバとトランスミッタの需要も伸びています。広帯域または狭帯域ソリューションのいずれを対象にしたデザインでも、同じ問題が残ります。すなわち、完全に近いダイナミック性能を示すデータ・コンバータはどこで見つけるか。95 dB以上のスプリアス・フリー・ダイナミックレンジを持つ広帯域レシーバのGSMバンドをデジタル化できるデータ・コンバータはどこで見つけるか。今日では困難ですが、95 dBのスプリアス・フリー・ダイナミックレンジを示す広帯域データ・コンバータが入手できる日は近づいています。ただし、“ディザリング”と呼ばれる技術を使うと、AD9042のような多くの優れたデータ・コンバータのダイナミックレンジを大幅に広げて、今日および明日の通信ニーズの厳しい条件を満たすことができます。

#### 歪みのタイプ

データ・コンバータでキャラクタライゼーションされる歪みには、2つのタイプがあります。これまで、これらの歪みはスタティックおよびダイナミックと呼ばれてきました。スタティック直線性は一般に、データ・コンバータの伝達関数を決定することによりキャラクタライゼーションされ、その結果はINL誤差とDNL誤差を使って表されていました。ダイナミック直線性は、SINAD、SFDR、種々の形式のノイズと高調波歪みのような仕様を使ってキャラクタライゼーションされていました。

これまで、このダイナミック直線性は、現代のデータ・コンバータを規定するには不十分であり限界となっていました。AD9027やAD9042のような製品が登場する前には、ダイナミック・コンバータ性能は、コンバータのビット数から期待される性能とは大きく異なるものでした。さらに、コンバータのアナログ入力が高周波に近づくと、高調波性能が急速に低下しました。これらの問題により、多くのコンバータが多くの有望なアプリケーションで使用できないものと見なされてきました。

AD9042のような新しいコンバータでは、高度なアーキテクチャと製造プロセスを利用して、第1ナイキスト・ゾーンで優れたAC直線性を提供しています。

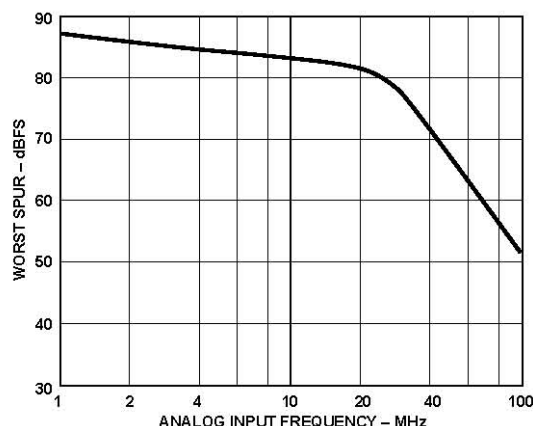


図 1. AD9042 の SFDR (typ)

多くのコンバータがダイナミックな動作に失敗する理由は複雑ですが、共通する失敗の1つは、高速に変化するアナログ入力に追従するために十分なスループットを持つトラック・アンド・ホールド(または入力コンパレータ)がないことです。これが、多くのコンバータが数MHzを超える信号帯域幅で動作に失敗する主な理由です。すべてのコンバータ・デザインで、周波数の関数として高調波歪みが増えることの影響を小さくしようと努力しますが、今日使用できる製造プロセスとアーキテクチャを使って常にこれを達成できるとは限りません。

歪みを調べると、2つの成分が特定できます。歪みは、振幅成分と位相成分を持つベクタと見なすことができます。周波数が増加すると、前述のように歪みの大きさは一般に増加します。さらに、この歪みの位相角が変化します。この位相変化は、すべてのコンバータに存在する固定オーバーチャージ遅延と、コンバータのアナログ・チェーン内に存在するその他の極またはゼロ点により発生します。

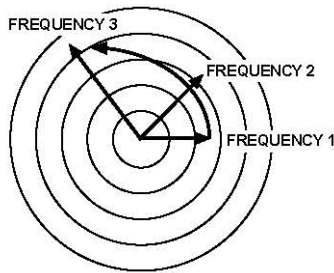


図 2.

スタティック直線性は、一般に DC 伝達関数により規定されます。与えられたデータ・コンバータの伝達関数を取得するために用いる方法は数多く存在します。この関数を規定するものとして、これまで積分非直線性(INL)誤差と微分非直線性(DNL)誤差のような仕様を使ってきましたが、コンバータは 3/4 LSB の INL 誤差と 0.5 LSB の DNL 誤差を持つと規定しても、CCD デジタイザまたはサンプリング・スコープのようなサンプリング・アプリケーションでデジタイザとして使う場合でない限り、デバイスの規定としては直感的に判り難いものです。通信アプリケーションでは、一般的なデータシートに記載されているスタティック直線性結果はほとんど意味がありません。これは、スタティック伝達関数は重要でないと主張するものではありません。逆に、データ・コンバータのスタティック伝達関数こそがダイナミック性能を決定し、それ故に、スタティック伝達関数の挙動解析は議論する価値があります。さらに、内部トラック・アンド・ホールドの特性改善努力が払われたため、SFDR はアナログ・スルーレートではなく、伝達関数の DNL 誤差によって制限されるようになりました。

データ・コンバータの伝達関数を使って理想正弦波信号を近似すると、得られたデータに対してスペクトル解析を行って、デバイスのこれらのスタティック特性が SFDR へ与える影響を求めることができます。これらの結果から、高調波歪みの振幅と位相を表示して、振幅を容易にスイープすることができます。スタティック伝達関数は、AD9042 のような高性能コンバータでは周波数に依存しないため、下に示すように歪みベクタはすべての周波数に対して一定です。ただし、各高調波  $2\sim n$  は異なるベクタを持っています。

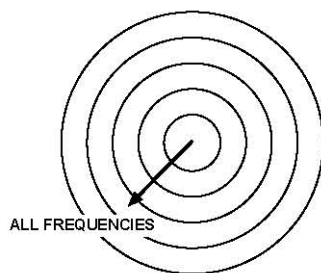


図 3.

歪みをベクタで定義するようになったため、データ・コンバータのスタティック性能とダイナミック性能を加算することができます。実際、下に示すように、項を正確に相殺させることができるため、このようなコンバータでは低周波または高周波での性能に比べて帯域中央での性能を良くすることができます。この現象は、入力帯域幅内で入力周波数をスイープさせたとき、コンバータの SFDR の揺らぎとして頻繁に観測されます。

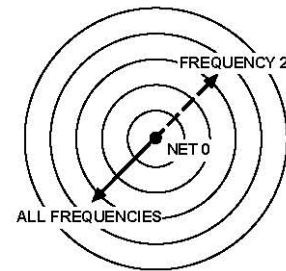


図 4.

AD9042 のような高性能コンバータは、周波数の関数として変化しないスタティック伝達関数を持ち、さらにスルー制限効果に起因する歪みは図 1 に示すように一般に 80 dB よりかなり優れています。これは、特にアナログ入力フルスケールより離れるほど良く当てはまります。広帯域と狭帯域の多くの通信アプリケーションでは、フルスケールよりかなり低い信号で動作する頻度が高いため、高性能コンバータを調べる際には重要な領域となります。

### スタティック直線性のダイナミック効果

前述のように、INL と DNL だけでは、通信アプリケーション用コンバータの性能をキャラクタライゼーションするためには不十分です。例えば、コンバータが +2 LSB のワースト・ケース DNL を持つことがあります(-FS から 1 コードで)。これは非常に大きい誤差ですが、レーザ・アプリケーションでのコンバータに対する影響は小さいものです。これは、コンバータでは  $\pm$ フルスケール近くのコードがほとんど使用されないためです。逆に、コンバータはミッドスケール付近で +0.25 のワースト・ケース DNL 誤差を持つことがあります。詳しく調べると、4 コード連続していることが判ります(各々が +0.25 LSB)。コンバータに対する正味の影響は、その位置での伝達関数誤差 +1 LSB になり、大きな誤差となります。図 5 に示すように、フルスケールに到達することがない信号では、コンバータがクリップされない限り、誤コードを発生することはありません。同様に、レンジの中央で 4 つの誤差を持つコンバータでは、この部分の使用が繰り返されて、ダイナミックな不具合を発生させます。このように、コンバータの INL または DNL の追加情報(位置や周波数など)のない規定は、ほとんど役に立ちません。

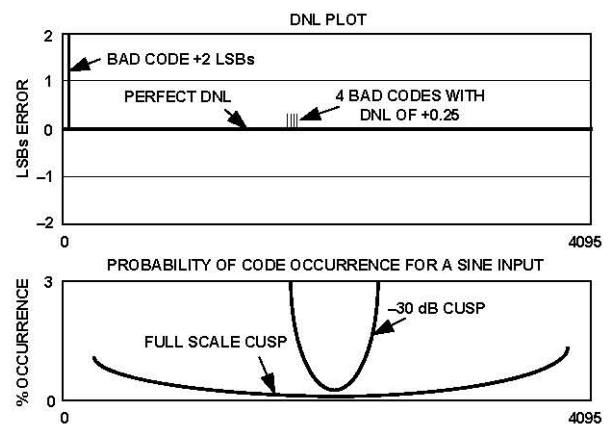


図 5.

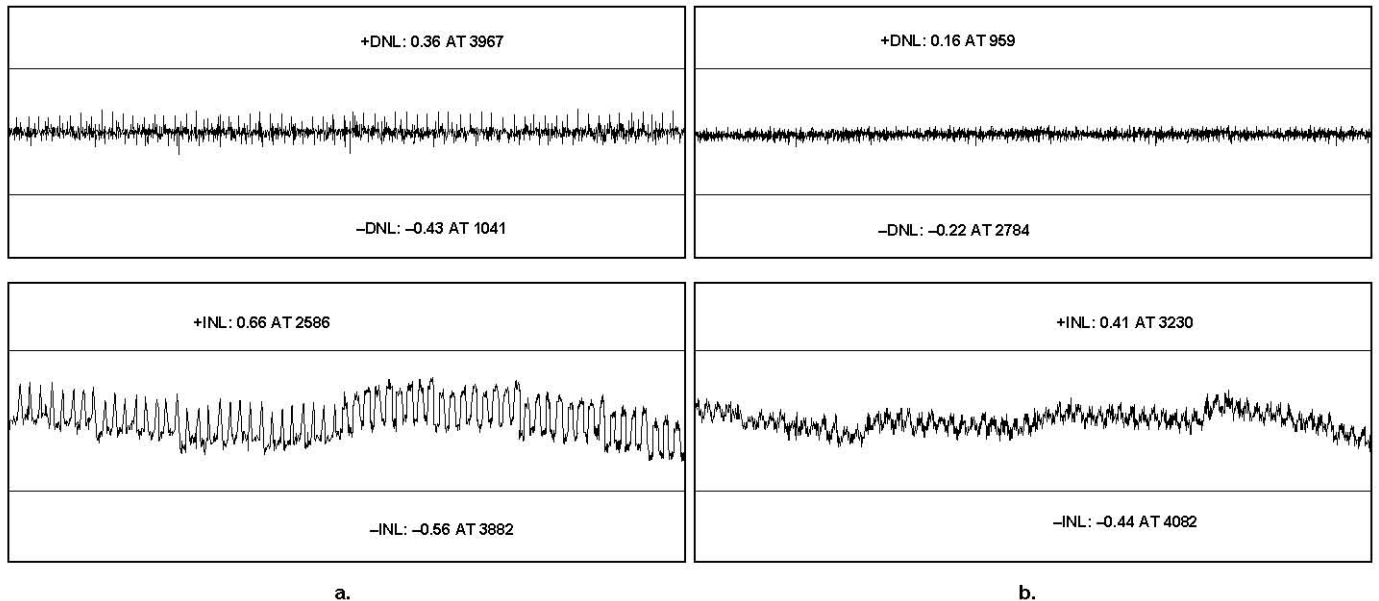


図 6.

高分解能データ・コンバータは一般に、マルチステージ技術を使って、高ビット分解能を実現しており、従来型“フラッシュ”ADC技術を採用した場合に必要な大規模なコンパレータ・アレイを使用していません。一般に、マルチステージ・コンバータは、シリコン利用率が優れていますが、マルチステージ・デバイスであるために、図 6 に示すようにアナログ入力をコンバータの一端から他端までスウィープさせたとき、回路の一部が繰り返し使われます。ワースト・ケース DNL 誤差が 0.25 LSB 以下の場合でも、低レベル・ダイナミック信号での伝達関数の繰り返し性質により混乱が大きくなることがあります。フルスケール SFDR が 88 dBFS の場合でも、フルスケールより下では 20 dB となってしまう、これらの繰り返される DNL 誤差により、SFDR が 80 dBFS を下回ることがあります。

上のプロットは、2 個の AD9042 から取得しました。各々は優れていますが、上の INL と DNL のプロット対は、大幅に異なる直線性特性を示しています。両方とも、マルチステージ・コンバータでの直線性の繰り返し性質を示しています。

## 確率

DNL がデータ・コンバータのダイナミック性能に与える影響を理解するためには、データ・コンバータをシミュレーションする正弦波関数の確率密度関数(PDF)を調べる必要があります。次式は、コンバータ・コードの発生確率を表します。

$$P(I_{th}code) = \frac{1}{\pi} \left( \sin^{-1} \left[ \frac{V(I-2^{N-1})}{A2^N} \right] - \sin^{-1} \left[ \frac{V(I-1-2^{N-1})}{A2^N} \right] \right)$$

V はコンバータのフルスケール・レンジ。

N はコンバータのビット数。

I はコード。

A は入力正弦波のピーク振幅。

この式をフルスケール信号に使用すると、フルスケール・コードの発生確率は 12 ビット・コンバータの場合 1 パーセントとなります。これに対して、ミッドスケール・コードの発生確率はわずか 0.015 パーセントで、正弦波 PDF の“極小値”となっています。これは、正弦関数のスルーレートはミッドスケールで最大になり、max/min でゼロになることに起因しています。このため、各サンプルについて、max/min での信号サンプリングの尤度はゼロ交差での尤度より大きくなります。実際に、PDF アレイに DNL 誤差アレイを乗算して積分すると、総合誤差が得られ、これは与えられた DNL 誤差を持つフルスケール正弦波に対する期待値になります。

$$Error_{total} = \int_{I=\min code}^{\max code} P(I) \times DNL(I)$$

フルスケールより低い -30 dB 入力信号の場合はどうなるのでしょうか。この場合は、コンバータ・コードの 3 パーセントを少し超える分が使用されます。この例では、正弦波ピークでのコード発生確率が 3 パーセントで、ミッドスケール・コードでは 0.5 パーセントです。前と同様に、小さい振幅を持つ正弦波の PDF アレイにこれら同じコードの DNL 誤差を乗算して積分すると、総合誤差が得られ、この値は小さい振幅の信号に対する期待値になります。このプロセスを再度フルスケールより -60 dB 低い信号に対して実行すると、わずか 0.1 パーセント(4 コード)が使用されます。この場合、ピーク・コードは約 28 パーセント発生し、ミドル・コードは 22 パーセント発生します。前と同様に、PDF アレイに DNL 誤差アレイを乗算して積分すると、総合誤差が得られます。

これはダイナミック性能とどのような関係があるのでしょうか。たとえば、すべてのコンバータ・コードが、コード値 1985 (DNL 誤差+1.5 LSB)以外では、完全な DNL (すなわち 0 誤差)を示すとして。フルスケール正弦波入力では、通常の量子化誤差に対する誤差の増加は、 $1.5 \times 0.0001555$  すなわち  $0.00023325$  LSB ですが、フルスケールより-30 dB 下での信号では、式は  $1.5 \times 0.03$  すなわち  $0.045$  LSB になります。この影響は、フルスケール入力の場合に比べて小さい信号レベルの方がほぼ 200 倍になります。さらに、PDF は図 7 に示すように極小値(CUSP)を持つため、ダイナミック性能は極小値の周縁にコード 1985 が近づくと徐々に悪化し、信号が-30 dB を下回る(コード 1985 が使用されなくなる)と急速にほぼ完全な性能にもどると予測できます。

この例では、小さい信号では信号ピークでのみ誤差が発生するため、信号が小さくなったときの主要な成分は 2 次高調波となります。実用的なコンバータでは、前のセクションの図に示すように、DNL 誤差は複雑で、高い頻度で繰り返されます。信号レベルを小さくしたときに改善(または維持)するためにディザを除去しようとするのは、この影響によります。

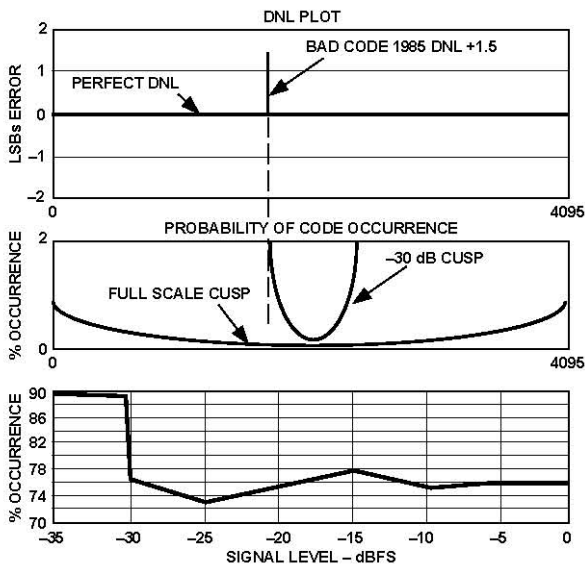


図 7.信号レベル

### DNLの性質

コンバータでの DNL の性質を理解するためには、問題となっているコンバータのアーキテクチャを理解する必要があります。図 8 に、12 ビットの 41 MSPS A/D コンバータ AD9042 を示します。前述のように、AD9042 のようなほぼすべての高分解能コンバータは何らかの形式のマルチステージ変換を採用しています。AD9042 では、初段コンバータは 6 ビット ADC です。2 段目のコンバータは 7 ビット・コンバータです。合計 12 データビット+1 誤差補正ビット(6 ビット ADC の非直線性を内部で補償)になります。マルチステージ・コンバータが正しく動作するためには、非常に正確な D/A コンバータを使用して、初段ステージの ADC (AD9042 では 6 ビット)結果をアナログに戻して、元の入力から減算する必要があります。AD9042 では、この DAC はほぼ 14 ビット精度です。アーキテクチャ内では DAC の後ろにアンプが続きます。このアンプを使って減算を行い、2 段目 ADC (AD9042 では 7 ビット)に対するゲインを定めます。ここでも、アンプのゲインは 2 段目 ADC のレンジに精確に一致する必要があります。これらの条件が満たされない場合、結果が不一致になり、DNL 誤差として現れます。これは、実際に DNL プロットに示したものより悪い結果になります。不一致が小さい場合でも問題が発生します。例えば、マッチングを 12 ビットに維持しても、発生する DNL 誤差は $\pm 1$  LSB になります。14 ビットのマッチングを実現しても、AD9042 では全体 DNL 誤差が $\pm 0.25$  LSB になります。前に示した実際の DNL プロットから、AD9042 はトリムなしのデバイスであるにもかかわらず、マッチングが 13 ビットと 14 ビットの間に維持されていることは明らかです。

さらに、マルチステージ・コンバータでは、2 段目 ADC のレンジを多数回使用するため、DNL パターンが多数回繰り返されます。実際、DNL の繰り返し回数は  $2^N$  になります。ここで、N は初段 ADC のビット数です。AD9042 では、 $N=6$  であるため、繰り返し回数は 64 になります。上に示す実際の DNL プロットを詳しく見ると、DNL スパイクが 64 回発生していることが分かります。この事実は、すべてのマルチステージ・コンバータとセグメント化された抵抗ラダーを持つ“フラッシュ”ADC に当てはまります。

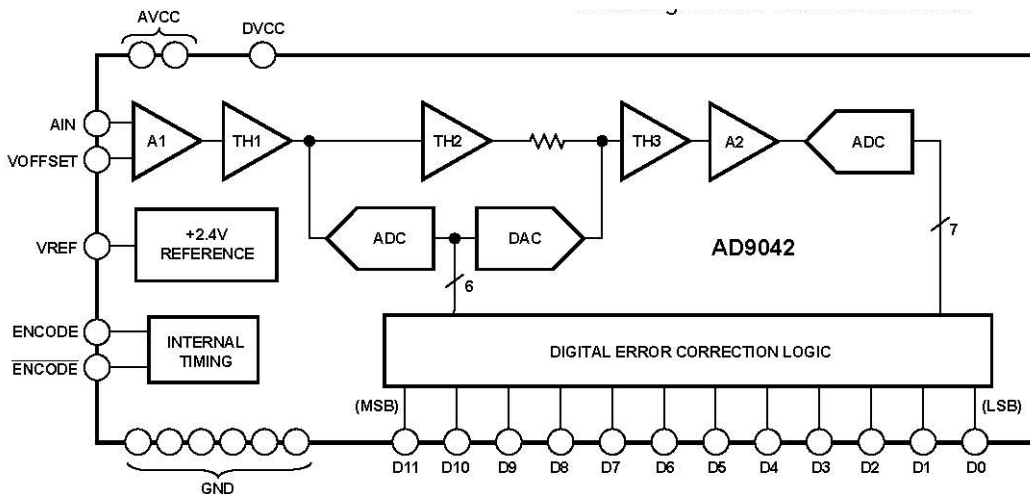


図 8. AD9042 の機能ブロック図

## ディザとは何か、またどう役立つか？

簡単に言うと、ディザは関連のない信号で、通常は疑似ランダム・ノイズであり、データ・コンバータのアナログ入力に加えられます。これを行う方法は多数あります。ディザは広帯域ノイズですが、加えるノイズの量に応じて、コンバータの SNR が犠牲になります。この問題を回避する方法は 2 つあります。1 つ目では、ディザは疑似ランダム・デジタル・ナンバー・ジェネレータを使って発生することができます。このデジタル・データが DAC に加えられます。このデジタル・データは被テスト ADC への入力と加算されます。ADC のデジタル出力で、DAC へ送られたデジタル信号がコンバータ応答から減算されます。図 9 を参照してください。この方法では、アナログ入力に加算されたノイズがデジタル的にデジタル出力から減算されて、SNR 性能が通常の性能に戻されます。この技術は、大きなディザ信号の場合に最適です。

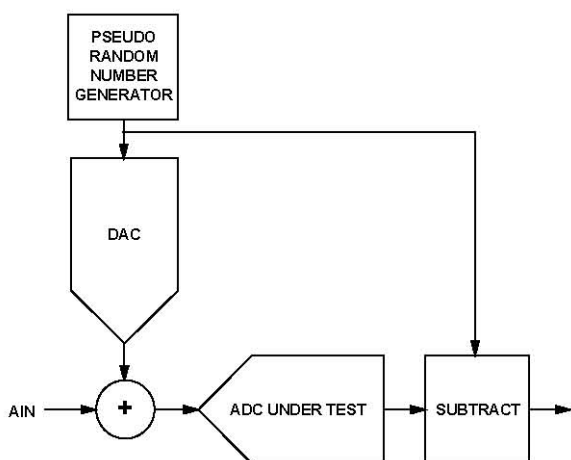


図 9.広帯域ディザの減算

図 10 に示すもう 1 つの方法では、注目する帯域の外でノイズが発生するようにします。帯域外信号の 2 つの位置としては、DC とナイキスト周波数があります。一般に、レシーバ・デザインでは様々な理由で、これらの 2 つのゾーンの内の方を使用しません。これらの 2 つの位置の 1 つは、一般に数百 KHz の帯域幅になり、ここにノイズを配置することができます。

ディザの主な目的は、コンバータの DNL 誤差を拡散またはランダム化することです。この方法では、すべてのコードの DNL は一定に均一化されて、上のプロットで示した繰り返しがなくなります。この動作を説明するため、図 11 の誇張した DNL プロットの拡大部分を見てください。DNL プロットのこの部分では、64 DNL スパイクが 2 個とこれらの間のコードが表示されています。

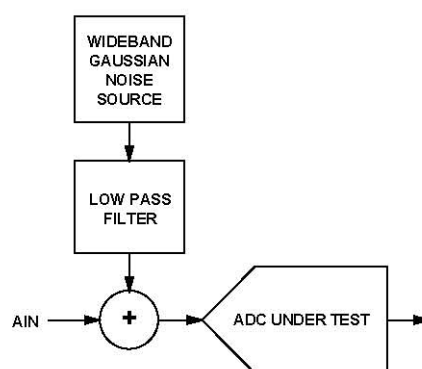


図 10.帯域外ディザ

ディザの目的は、与えられた入力電圧により特定の正しいコードまたは誤りコードが発生しないで、代わりに正しいコードと誤りコードの“平均”コードのみが発生するように、DNL 誤差を均一状態に近づけることです。

下の一連のプロットに、ガウス・ノイズの PDF と DNL プロット(最初の図)を畳み込むことにより微分直線性が“平均化”される様子を示します。後ろのプロットほど、ディザ量が増えています。

ディザ化された最初の直線性は5.3コード rms ディザ、2番目は10.6コード rms ディザ、3番目は16コード rms ディザ、最後は21.3コード rms (128 ピーク to ピーク)の場合です。ディザが21.3コードより大きくなると、隣接不一致誤差はまとまりはじめるため、全体小信号ダイナミック性能をほとんど改善しません。図から分かるように、最後の2つのプロットはほぼ同じ振幅を持っており、SFDR が殆ど改善されていません。

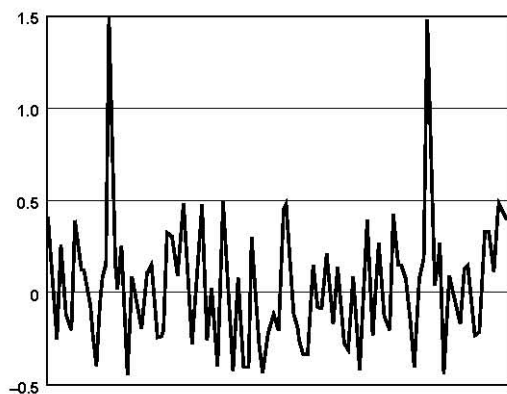


図 11. ディザなしの DNL

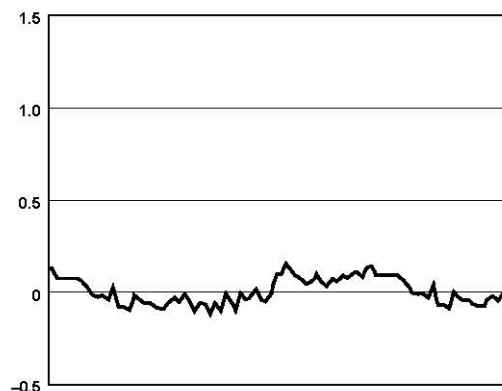


図 13. 10.6 コードのディザを追加

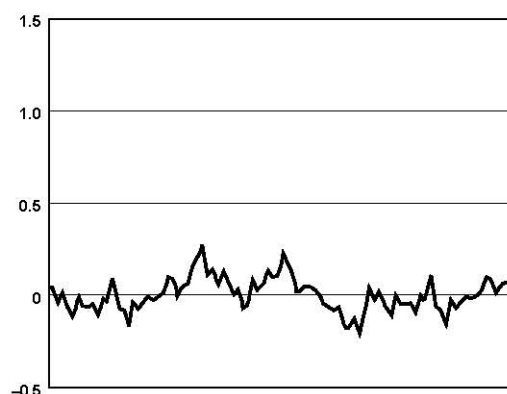


図 12. 5.3 コード RMS ディザを追加

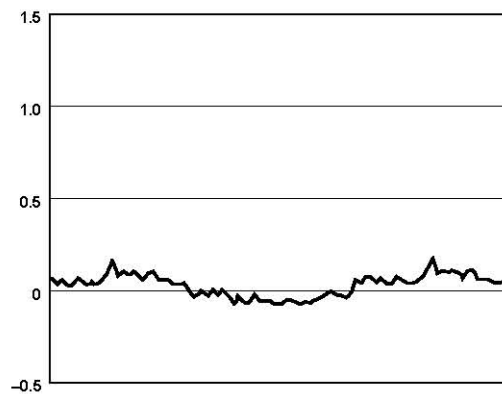


図 14. 16 コードのディザを追加

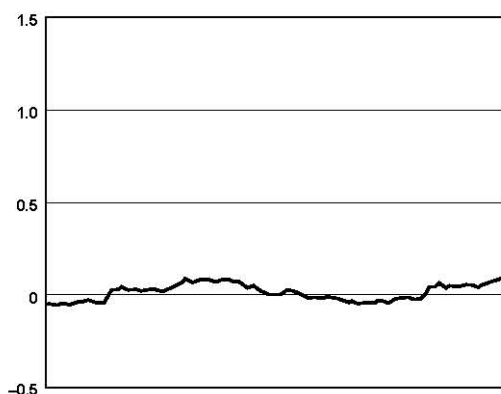


図 15. 21.3 コードのディザを追加

したがって、AD9042 では、最適ディザは 16 コード rms と 21.3 コード rms の間です。これは、それぞれディザ電力-35 dBm と-32.5 dBm に等価であることが分かります。これを超えると、小信号ダイナミック性能はほとんど改善されません。これらのディザ電力を加えると、非フルスケール信号に対して、スプリアス性能は一般にノイズ・フロアまで低下することが予測されます。これを、次の 128K FFT プロットに示します。最初のプロットは、ディザを AD9042 コンバータに加える前です。ディザを加える前のスプリアス性能は 82 dBFS です。ディザを加えると、スプリアス性能は-103 dBFS に低下します。このテスト・セットアップでは帯域外ディザ方法を使用しています。

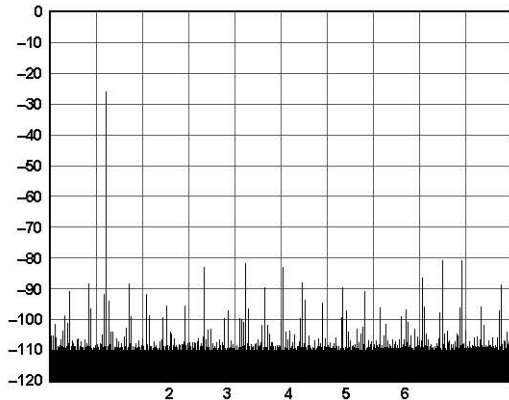


図 16. 128K FFT、ディザなし

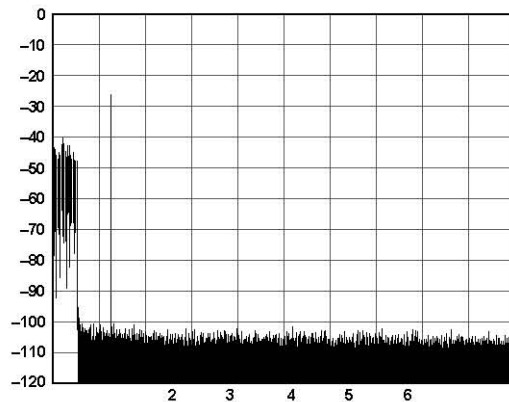


図 17. 128K FFT、ディザあり

### シンプルなディザ回路

ディザはコンバータ性能に注目すべき利点を提供しますが、ディザを発生する回路はシンプルです。ディザはガウス・ノイズであるため、まず必要なのはノイズ・ソースです。これには大きな値の抵抗を使うことができます。この抵抗のノイズは  $v^2 = 4kTR\Delta f$  です。ただし、使い易いノイズ・ダイオードも市販されています。ダイオードまたは抵抗から出力されるノイズ電力レベルが非常に小さいため、増幅する必要があります。システム負荷の時間変化を考慮するためにシステムで可変ディザ・レベルが必要な場合は、ある種のノイズ・ゲイン制御が必要です。下に示す回路は、1 V の制御信号で 80 dB のノイズ調整範囲を提供します。ゲイン制御が不要な場合は、固定ゲイン・ブロックを使うことができ、わずか数百 KHz ノイズ帯域幅だけが実際に使用されるので、低価格オペアンプでも可能です。

### 結論

ディザは、データ・コンバータのスプリアス性能を改善する際に役立つ強力なツールです。ディザを使うと、すべての DNL 誤差が平均化されるように DNL 誤差が簡単に正規化されます。ディザはコヒーレント信号スプリアスをノイズ・フロアに拡散する効果を持っています。実際、上の 128K FFT プロットで、信号スプリアスがノイズ・フロアに拡散されると、コンバータのノイズ・フロアが実際に大きくなり、全体の rms 誤差は同じであることに注意してください。これらのスプリアスは簡単に非コヒーレント・ノイズに変換されます。また、ディザを加えたコンバータの実効 DNL を考慮すると、DNL 誤差は、実用的な意味ではほぼ完全な性能に近づき、下に示す SNR の式を考慮すると、上に示す畳み込み DNL プロットに示すように、平均 DNL はゼロに近づくことができます。これにより、ジッタ、熱ノイズ、量子化レベルにのみ基づく SNR を効果的に大きくすることができます。DNL 誤差は、FFT プロットに示すように全体 SNR (または SFDR) に寄与しません。

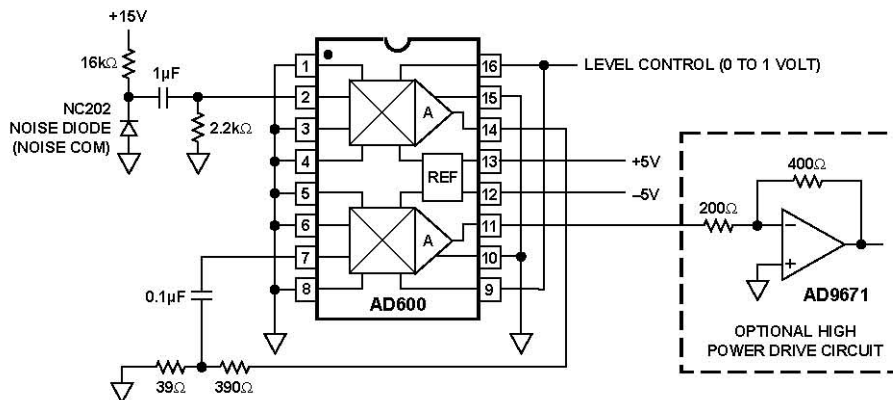


図 18.

$$SNR = 20 \log \left[ \left( 2\pi F_{analog} t_{j\ rms} \right)^2 + \left( \frac{1 + \epsilon}{2^{12}} \right)^2 + \left( \frac{V_{noise\ rms}}{2^{12}} \right)^2 \right]^{1/2}$$

式 1

$f_{analog}$  =アナログ入力周波数。  
 $t_{j\ rms}$  =エンコードの rms ジッタ(エンコード・ソースと内部エンコード回路の rms 和)。  
 $\epsilon$  = ADC の平均 DNL (typ)。  
 $V_{noise\ p-p}$  = ADC アナログ入力に換算した rms サーマル・ノイズ。  
 ここでは詳細を説明しませんが、ディザは大スケール・ダイナミック性能を改善する強力なツールでもあります。ここでの大スケールとは、フルスケール近くの信号であるが、大信号ディザがハーフスケールを超えないことを意味し、コンバータの有効ダイナミックレンジが 1/2 に小さくなります。ここで、歪みモードは、少し異なり、コンバータの大きなレンジに適用されます。これは、下に示す SFDR の等高面の拡大部分にはっきり示されています。図 19 で、大スケール・ディザの効果はディザの信号レベルがフルスケールに近づくと、明確になります。ここでは、ハーフスケール信号の SFDR は、ディザがハーフスケールまで大きくなると -79 dB から -85 dB に改善されます。

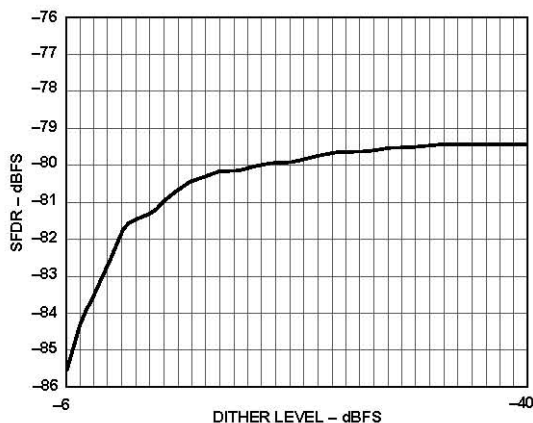


図19.ディザ掃引でのハーフスケール入力SFDR

ここでの検討から、4K、8K、16K の FFT では深さが足りないことが分かります。この問題を解決するため、下側-110 dBFS までのテストが可能な 128K メモリと FFT を開発しました。それでも、ディザあり AD9042 の高調波能力は、このデータ解析セットアップによって大きな負担になります。

結びとして、データ・コンバータのアナログ入力にディザを加えることにより、SFDR の大きな改善が得られました。狭帯域ディザは発生が簡単で、大きな性能改善が得られます。経済的には、価格数ドル分の部品で、データ・コンバータの SFDR を少なくとも 25 dB 改善することができます。

## AD9042 のモデル化

テキスト内に説明したように、AD9042 のダイナミック性能は、第 1 ナイキスト・ゾーン内の信号に対して、内蔵トラック・アンド・ホールドで決定されません。代わりに、性能は主にコンバータのスタティック伝達関数により決定されます。このスタティック伝達関数は、多くの標準直線性計測ツールを使って決定することができます。AD9042 では、直線性を同期化したランプ・ヒストグラム技術を使って測定しました。得られた DNL 情報は、スケールされた伝達関数の生成に使うことができます。伝達関数を使うと、第 1 ナイキスト・ゾーン内のアナログ入力信号はこの伝達関数を使って変換することができ、データ・コンバータの解析に適する技術を使って調べることができます。この同じ技術を使って複雑なシステムをモデル化して、AD9042 のような製品を採用したシステムの正確な動作モデルも提供することができます。

## 参考資料

1. "CRC Standard Mathematical Tables," 27th edition, 1984 by CRC Press, Inc., Boca Raton, Florida.
2. "The FFT: Fundamentals and Concepts," revised 1982, Tektronix, Inc., Beaverton, Oregon.
3. "Dynamic Performance Testing of A to D Converters," Product Note 5180A-2, Hewlett-Packard.
4. "Multistage Error Correcting A/D Converters," High Speed Design Seminar, 1989 Analog Devices.
5. "Baseband Vector Signal Analyzer Hardware Design," December 1993, Hewlett-Packard Journal.
6. AD9042 Data Sheet.