

標準リニア集積回路に電氣的に導入される損傷:**最も一般的な原因と再発防止策**

著者 : by Niall Lyne

はじめに

電氣的過渡オーバーストレスに対する電子部品の感受性は良く知られた問題で、集積回路の発展とともに大きな問題になっています。小型化、高集積化、内蔵保護機能に割り当てられる面積の制約はすべて感受性を高めます。システムの各セグメントでのコスト削減努力の中で、過渡電圧保護機能を他の効果の小さい方法に変えることもあります。

過渡電圧からの保護機能技術は製造段階に応じて決まります。集積回路の製造時と電子装置の組み立て時には、保護機能は静電気防止テープ、リスト・ストラップ、イオン化ブロー、静電気保護出荷チューブなどの良く知られた対策により実施されています。ここでは、静電放電(ESD)保護機能に関してこれらの方法は簡単な説明のみにします。同様に、このアプリケーション・ノートでは、出荷、装着、装置の修理で採用される対策については説明しません。代わりに、プリント回路ボードの組み立て時、装置の通常動作時(対策を訓練されていない操作員による操作時)、過渡電圧環境が不明な稼働状態で必要とされる保護機能を中心に説明します。

過渡電圧環境は大幅に変わります。例えば、車載システム、航空機搭載装置、船舶装置、宇宙システム、工業用装置、民生品の間では大きな違いがあります。すべてのタイプの電子部品で、破壊または性能低下が発生します¹。コンデンサ、リレー、コネクタ、プリント回路ボードなどでも、集積回路よりスレッショールド・レベルは高いですが被害を受けます。中でもマイクロ波ダイオードとトランジスタは、最も感受性が高い部品です。ただし、これらは用途が広く、ここでの範囲を超えるため、このアプリケーション・ノートの対象は、標準のリニア集積回路に限定します。

このアプリケーション・ノートでは、最初に動作環境での集積回路に対する脅威の性質をレビューし、次にデバイス保護機能全体を(1)人による取り扱いや自動ボード挿入装置などで発生する ESD 事象、(2)パワーアップ/パワーダウン・シーケンス誤りやエッジ・コネクタ接触不良によるフローティング・グラウンドなどで発生するラッチアップ、(3)電源、故障した回路ボード、回路ボードのトラブルシューティングなどから発生する高過渡電圧について短く説明します。

静電放電

静電放電とは、静電荷の 1 つの高速な移動で、次の原因から発生します。

- 異なる電位の 2 つの物体の間での直接接触による移動、または
- 近い距離にある 2 つの物体の間の高い静電界

静電気の主な発生源のほとんどは絶縁体であり、一般には合成物質です。例えば、ビニールまたはプラスチックの表面、絶縁靴、木椅子、スコッチ・テープ、プラスチック包装材、非接地のハンダ鏝などです。これらの発生源での電圧レベルは極めて高くなります。これは、電荷が表面を容易に移動できないか、または他の物体に伝導できないためです。

2 つの物体をこすることにより発生する静電気は、摩擦電気効果と呼ばれています。高い RH 環境(約 60%)での摩擦静電気の発生源の例としては、次のようなものがあります。

- カーペット上の歩行⇒1000 V~1500 V が発生。
- ビニール・フロア上の歩行⇒ 150 V~250 V が発生。
- 透明プラスチック・カバーで保護された物質の取り扱い⇒ 400 V~600 V が発生。
- ポリエチレン・バッグの取り扱い⇒ 1000 V~1200 V が発生。
- ポリエチレン・フォームのボックスへの注入⇒ 1200 V~1500 V が発生。
- 静電気保護出荷チューブからの IC 取り出し⇒ 25 V~250 V が発生。

注: 低い RH 環境(30%以下)の場合、発生する電圧が上記の 10 倍以上になることがあります。

ESDモデル

シミュレートされたストレス環境に対してデバイスの感受性を評価するため、多くのテスト波形が制定されています。半導体すなわちディスクリート・デバイスにおける ESD 事象のシミュレートに現在一般に使用されている波形の内の主要な 3 つは、人体モデル(HBM)、マシン・モデル(MM)、帯電デバイス・モデル(CDM)です。図 1～図 3 に、これらの 3 つのモデルのテスト回路と電流波形特性を示します。これらの各モデルは、基本的に異なる ESD 事象を表しています。したがって、これらのモデルに対するテスト結果間の相関は小さいです。

人体モデル²

正または負電位に帯電した人体が異なる電位にある IC に触れたときに発生する放電事象をシミュレートします。

RLC = 1.5 k Ω 、約 0nH、100 pF。

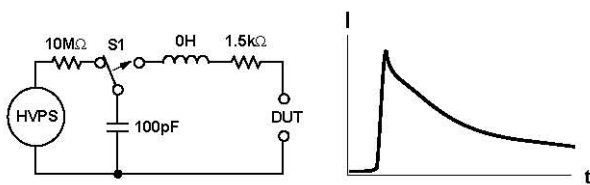


図 1.人体モデル

マシン・モデル:

ワーストケース HBM に基づく日本式モデル

RLC = 0 Ω 、500 nH、200 pF。

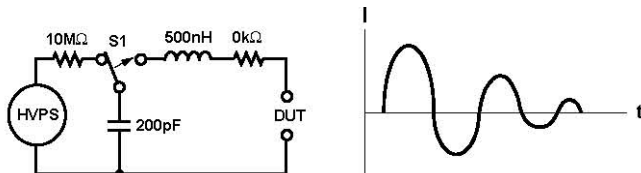


図 2.マシン・モデル

帯電デバイス・モデル:

正または負電位に帯電した IC ピンが異なる電位(通常はグラウンド)の導体表面に接触したときに発生する放電をシミュレートします。

RLC = 0 Ω 、約 0 nH、1 pF～20 pF。

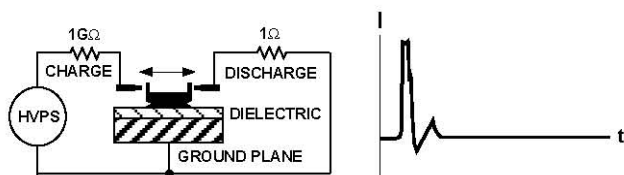


図 3.帯電デバイス・モデル

HBM、MM、CDMの各波形の比較

図 4 に、同じ電流と時間のスケールを使って 400 V の HBM、MM、CDM 放電波形を示します。これらの波形は、これら 3 つのモデルでシミュレートされた ESD 事象により、特定のデバイス・タイプで発生する故障メカニズムを予測する際に使用されます。

HBM 波形の立上がり時間は 10 ns 以下で(一般に 6 ns～9 ns)、立下がり時間の方は 150 ns 以上で 0 V に向かって指数関数的に減衰します。MIL-STD-883³ メソッド 3015 静電放電感受性分類では、10 ns 未満の立上がり時間と 150 ± 20 ns の遅延時間を規定しています(メソッド 3015 では、遅延時間をピーク電流の 90%からピーク電流の 36.8%まで波形が低下するのに要する時間として定義しています)。HBM 波形のピーク電流は、約 400 V/1500 Ω すなわち 0.267A です。このピーク電流は 400 V の CDM 事象および MM 事象の場合と比べると小さいですが、HBM 事象の継続時間は比較的に長いため、比較的高いエネルギーの放電になります。

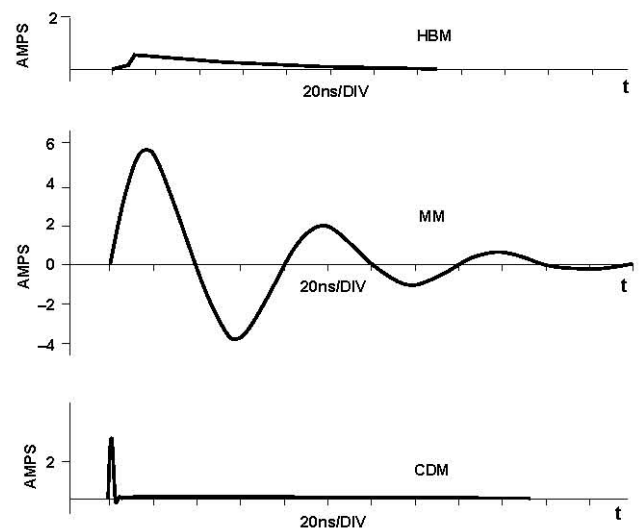


図 4. 400 V の HBM、MM、CDM 放電の比較

MM 波形は、立上がりりと立下がりりの正弦波ピークと指数的に減衰するピーク振幅から構成されています。最初の MM ピークの立上がり時間は約 14 ns、すなわち 1 つの HBM ピークの立上がり時間より少し大きくなっています。MM 波形の合計継続時間は、HBM 波形とほぼ同じですが、400 V MM 事象の最初のピークでのピーク電流は約 5.8 A であり、3 つのモデルの中で最大です。次の 4 つのピークでは電流は減少しますが、すべての振幅は 1 A 以上を維持しています。継続時間の長いこれらの複数の高電流ピークにより、全体放電エネルギーは 3 つのモデルの中で最大になります。これは電流制限機能が R = 0 Ω であるためです。

CDM 波形は、実世界の最短 ESD 事象に対応します。ソケット使用の CDM 波形の立上がり時間は 400 ps で、CDM 事象の合計継続時間は約 2 ns です。CDM 事象の終わりに小さいリングングが発生して立下がりピークが発生しますが、CDM 波形は本来ユニポーラです。

400 V の帯電で、ソケット使用の CDM 放電では 2.1 A のピーク電流になりますが、CDM 事象全体の継続時間が非常に短いので、放電全体は比較的低いエネルギーになります。

ESDモデルの一覧

表 I に、3 種類の ESD シミュレーション・モデルの最も重要な特性比較を示します。

表 I.

Model	HBM	MM	Socketed CDM
Simulate	Human Body	Machine	Charged Device
Origin	US Military Late 1960s	Japan 1976	AT&T 1974
Real World	Yes	Generally No	Yes
RC	1.5 k Ω , 100 pF	0 Ω , 200 pF	1 Ω , 1 pF-20 pF
Rise Time	<10 ns	14 ns*	400 ps**
I _{PEAK} at 400 V	0.27 A	5.8 A*	2.1 A**
Package Dependent	No	No	Yes
Leakage Recovery	No	No	Yes
Standard	MIL-STD-883 Method 3015	ESD Assoc. Standard S5.2; EIAJ Standard ED-4701, Method C-111	ESD Assoc. Draft Standard DS5.3

* これらの値は ESD Association Standard S5.2 によります。EIAJ standard ED-4701 メソッド C-111 には波形仕様はありません。

**これらの値は、直接帯電法(ソケット使用)を対象としています。

防止策

ESD 保護対策を行う施設の監査では、次の点を考慮する必要があります⁴。

- 静電気に感受性を持つデバイスを扱う作業機は接地する必要があります。

- a) 人体のグラウンド・ストラップ(リスト・ストラップ)
- b) 伝導性トレイまたはシャントなど
- c) 伝導性作業面
- d) 伝導性フロアまたはマット
- e) 1つのコモン・グラウンド・ポイント

- デバイスの保管に使用するスチール製の棚またはキャビネットはすべて接地する必要があります。
- 相対湿度を制御する必要があります。範囲は 40%~60%。高い相対湿度レベルを維持できない場合は、イオン化空気流を使用して静電荷を除去する必要があります。
- その領域で使用されるすべての電気装置は接地する必要があります。

- 例えば、スコッチ・テープのような静電気発生源の使用は禁止する必要があります。
- 最小3ヶ月間隔で ESD 監査のフォローアップを行う必要があります。
- トレーニング: 効果的な ESD 管理プログラムにとって重要なのは"トレーニング"です。集積回路に接触する全員にトレーニングを行い、さらに例えば ISO 9000 監査などの認定用にドキュメント化する必要があります。

ESD または電氣的オーバーストレス(EOS)のいずれによりデバイスが故障したか判定が困難な場合には、故障解析技術者にまかせるのが最適なこともあります。電氣的解析と内部目視解析では、一般に ESD による損傷は、EOS の場合より判断し難いものです。ESD の場合、1 kV 以上の事象(デバイスの ESD 定格に依存)により、酸化物(チップ内部の絶縁体層)が破壊されて、10 ns 以内にジャンクションが損傷を受けます(図 6 参照)。あるいは、1~3 A の電流で継続時間 1 ms 以上になる EOS 状態では、ボンディング・ワイヤーが溶断するために十分な自己発熱が発生します。このような状態は、ラッチアップのために発生します。小さい電流でも、チップのメタル配線層とその他の配線層で急速な溶融が発生します(図 5 参照)。

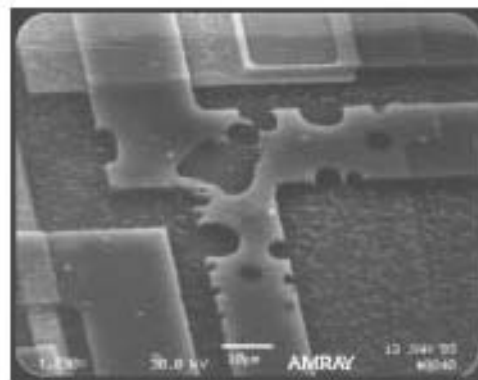


図 5. 電氣的オーバーストレスから発生した金属溶断部分の走査電子顕微鏡写真

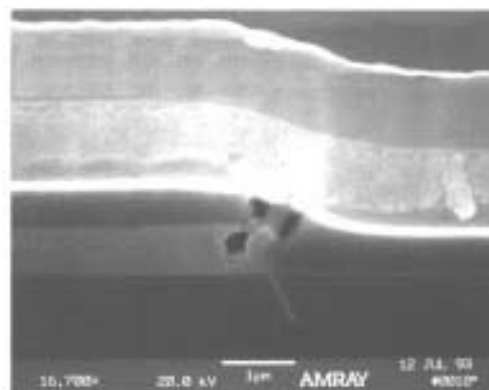


図 6. CDM ESD 部分の走査電子顕微鏡断面写真
この表面下の部分は、光学顕微鏡では見えません。

デバイスにオーバーストレスが加わったか、または ESD 事象に遭遇したかを確認するために、その場で迅速に解析を行うことができます。この解析では、疑わしいデバイスと良品デバイスの I/V 結果をピンごとに比較するために、カーブ・トレーサまたは同様な装置を使う必要があります。図 7 に、12 ビット DAC のデジタル入力ピンでの短絡、断線または ESD リークの I/V トレースの代表的なセットを示します(V_{SS} 電源ピンを基準とします)。

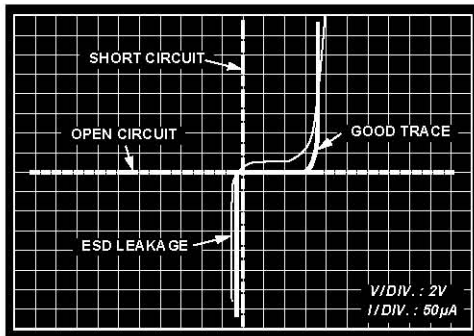


図 7.電源なし時のカーブ・トレーサ解析の例
電源ピン(V_{SS})を基準としてデジタル・ピンを表示

ラッチアップ

ラッチアップは、寄生アクティブ・デバイスがトリガされて、正と負の電源を短絡させて破壊に至る状況です。電流制限がない場合、電気的オーバーストレスが発生します。ラッチアップの従来型ケースは CMOS 出力デバイスで発生しました。このデバイスでは、過電圧事象の間に 2 つの寄生ベース-エミッタ間ジャンクションの内の 1 つが瞬時的に順方向バイアスされると、ドライバ・トランジスタとウェルにより pnpn SCR 構造が形成されます。この SCR がターンオンして、 V_{DD} とグラウンドの短絡が発生します。

トリガ・メカニズム

主なトリガ・メカニズムは 2 つあります。1 つ目は、入力/出力(I/O) ピン電圧が正電源より高くなるか、または負電源より低くなると、寄生トランジスタの 1 つがターンオンします。コレクタを通して電源へ戻る電流により、2 つ目の寄生トランジスタのベース-エミッタ間に電圧降下が発生します。次に、2 つ目のトランジスタのコレクタ電流により、1 つ目のトランジスタのベース-エミッタ間で順方向バイアスが維持されます。2 つのトランジスタのゲイン積が 1 より大きい場合、この状態が自己保持されて、外部電圧がなくなっても維持されます。

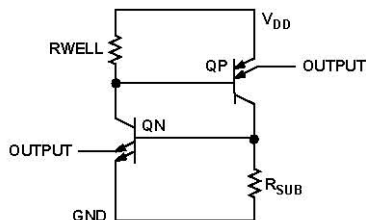


図 8.寄生 SCR。CMOS 出力での拡散により寄生 SCR が形成されます。抵抗は n ウェル・プロセスの場合の表示。

I/O ピンに大きな電圧オーバーシュートが発生した場合、またはデバイスに電源が加わる前に、または静電放電により信号が入力に加わった場合に、このトリガ・メカニズムが起動されます。このラッチアップは通常、ピンに直接接続されるデバイスに限定されます。

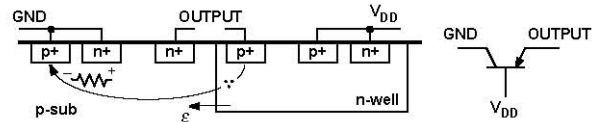


図 9a.出力過電圧トリガ。出力電圧が V_{DD} より高くなると内部正孔電流が流れます。この電流により、NMOS デバイスの下のサブストレートで電圧が上昇します。

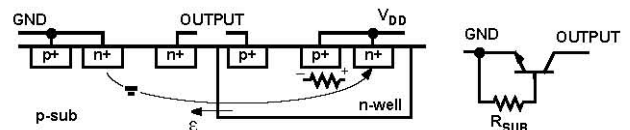


図 9b.電流増幅。サブストレート電圧の上昇により、2 つ目の寄生トランジスタが導通するようにバイアスされます。次に電子電流により n ウェルで電圧降下が発生して、1 つ目のトランジスタがさらにターンオンさせられます。電流ゲインの積が 1 より大きい場合、電源間を流れる最終的な電流が自己保持され、内部抵抗すなわち SCR によってのみ制限されます。

トリガは過電圧事象(一般に電源より上または下のダイオード降下のみ)によって発生しますが、業界では内部寄生抵抗によりラッチアップ条件を維持するために十分な電圧降下が発生される前に、この過電圧条件下でピンがソースまたはシンクできる電流の大きさで、I/O 感受性を分類しています。ラッチアップは 200 mA で発生しないと見なされる場合、一般に 100 mA の値は妥当と見なされています。

電源電圧が内部ジャンクションのブレイクダウンを発生させるために十分なレベルに上昇すると、前述の SCR に電流が注入されて、2 つ目のトリガ・メカニズムが起動されます。

このトリガ・メカニズムは、電源過渡電圧、または電源レールにシャントされる静電放電により発生します。I/O トリガの場合とは異なり、ラッチアップはチップの任意の場所で発生し、外部電源接続または I/O ピンの近傍に限定されません。

電源過電圧に対する感受性は、通常、デバイスの製造プロセスにより制限され、データシートの絶対最大定格仕様に記載されています。この定格を超えると、永久的な EOS 損傷が発生します。最大定格付近でデバイスを動作させると、デバイスの長時間信頼性が低下します。また、電気的仕様はデータシートに規定される電源でのみ適用され、これらの定格より上では保証されません。

デザイン・ルール

CMOS およびバイポーラ—CMOS IC を使用するすべての設計者が従う必要のあるルールのセットを次に示します⁵。

1. デジタル入力と出力では、常に $V_{DD} + 0.3V$ を超えることはできません。これには、 $V_{DD} = 0V$ のときのパワーダウン状態が含まれます。
2. また、デジタル入力と出力では、 $DGND - 0.3V$ を下回ることもできません。
3. ミックス・シグナル・デバイスの場合、 $DGND$ は $AGND + 0.3V$ を超えることはできません。
4. CMOS またはバイポーラ—CMOS DAC の場合、 I_{OUT} は一般に $AGND - 0.3V$ を下回ることはできません。DAC によっては、ラッチアップの恐れなしに大きな I_{OUT} 電流に耐えることができるものもあります。

ラッチアップ防止技術

一般に、前述のいずれかのルールを満たさない CMOS IC およびバイポーラ—CMOS IC を使うすべてのアプリケーションに対して、次の推奨事項を実施する必要があります。

1. デバイスのデジタル入力または出力が V_{DD} を超えることがある場合、 V_{DD} に直列にダイオード(例えば 1N914)を接続して、SCR の動作と後続のラッチアップを防止します。これにより、ダイオードにより寄生ラテラル PNP トランジスタのベース電流が V_{DD} ピンから流出することが防止されて、SCR のトリガが防止されます。これを図 10 に示します。パワーアップ・シーケンシングが故障メカニズムとして特定されている場合には、ダイオードは信頼度の高いソリューションになります。このような場合、ロジック入力と V_{DD} 電源レール間にショットキー・ダイオードを接続すると(ダイオードのアノードをロジック入力に接続)、ロジック入力が $V_{DD} + 0.3V$ を超えないことが保証されるため、デバイスのラッチアップが防止されます。

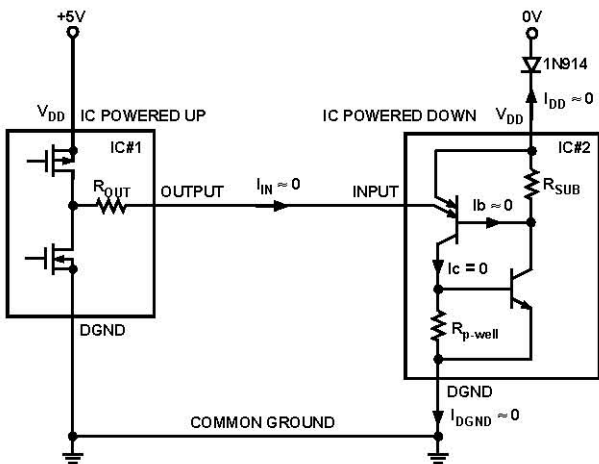


図 10. 電源が加わっていない IC の V_{DD} ピンに直列に安価なシリコン・ダイオードを接続すると、寄生ラテラル PNP トランジスタのベース電流が流れるのが効果的に防止されるため SCR 動作がなくなります。

ただし、このルールの唯一の例外は、デバイスの入力範囲がデバイスの電源電圧範囲を超える場合です。例えば、デザイン上 AD7893-10(12 ビット A/D サブシステム)では、入力範囲は $\pm 10V$ で、電源は $+5V$ になります。

2. デバイスのデジタル入力と出力が $DGND$ を下回ることがある場合、ショットキー・ダイオード(例えば HP5082-2835)をこれら入力または出力と $DGND$ との間に接続して、効果的に負の変化を $-0.3V \sim -0.4V$ にクランプします。これにより、寄生 NPN トランジスタのエミッターベース間ジャンクションがターンオンするのが防止されて、SCR のトリガも防止されます。図 11 に、ショットキー・ダイオードの接続を示します。

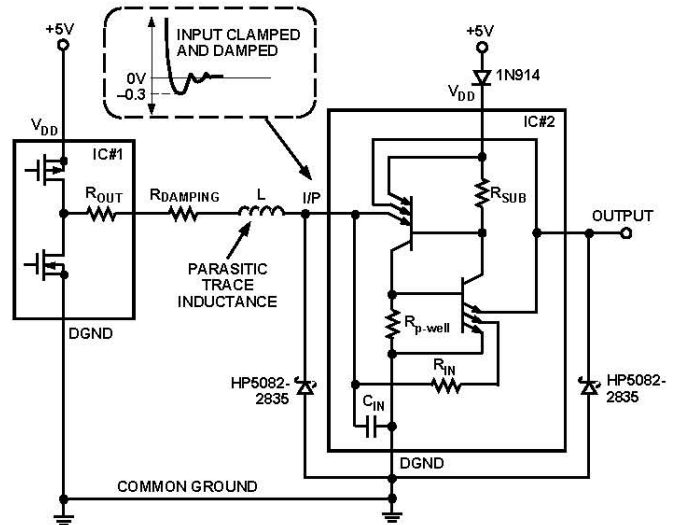


図 11. ショットキー・ダイオードを CMOS IC の入力および出力と、 $DGND$ との間に接続すると、寄生 NPN を導通させる低電圧を防止して、SCR 動作も防止することができます。直列制動抵抗を使うと、長い PC ボード・パターンにより発生するリングングを迅速に減衰させることができます。

3. $DGND$ 電位が $AGND + 0.3V$ を超えることがある場合、ショットキー・ダイオードをデバイスの 2 本のピンの間に接続して、対応する寄生 NPN トランジスタの導通を防止します。これにより、図 12 に示すようにラッチアップに対する保護機能が追加されます。追加ダイオードを前述と逆向きに並列接続すると、逆向きに $DGND$ を $AGND$ にクランプするため、IC へ注入されるデジタル・ノイズを小さくするのに役立ちます。

上の(2)と(3)で説明したように過電圧事象と低電圧事象を識別するときは、各ピンの最大定格仕様に設定して、ストレージ・オシロスコープを使用することが推奨されます。Time/Div. をオシロスコープの最小設定値(ns レンジ)に設定します。このテストは時間をかけて行う必要があります(例えば夜通し)。

4. CMOS IC の I_{OUT} ピンに $AGND$ より低い電圧を入力することがある回路では、これらの 2 本のピンの間にもう 1 本のショットキー・ダイオード・クランプを接続すると、感受性を持つ IC のラッチアップを防止することができます。

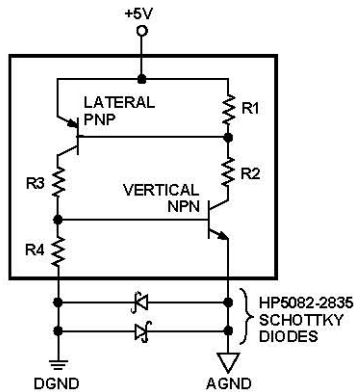


図 12. DGND と AGND との間にショットキー・ダイオードを接続すると、寄生 NPN トランジスタの導通を防止するため、DGND からアナログ出力へ混入するノイズを小さくすることに役立ちます。

この状態は、DAC の後ろで電流/電圧コンバータとして使用される高速バイポーラ・オペアンプで発生することがあります。パワーアップまたはパワーダウンの変化時に、オペアンプの反転入力、 I_{OUT} から負電源レールで低インピーダンスを示します。AGND への推奨ショットキー・ダイオード・クランプを使用しないと、保護されていない DAC は故障します。

- 部品間に長いデジタル PC ボード・パターンを持ち、そのために誘導性リンギング問題が発生するデザインでは、 $10\ \Omega \sim 100\ \Omega$ の直列制動抵抗を使うと有効です。この抵抗により、等価直列 RLC 回路の制動ファクタが大きくなって、リンギングの減衰が迅速になります。これは、入力または出力の保護ダイオードの導通防止に役立ちます。

過渡高電圧

故障メカニズムとして電源の過電圧が特定された場合、信頼度の高いソリューションは、TransZorb*過渡電圧サプレッサ(TVS)を使用することです。TVS とはどのようなもので、どんな機能を持つものでしょうか。

過渡電圧サプレッサ⁶ (TVS)は、ESD、誘導性負荷のスイッチング、雷誘導電源過渡電圧のような電氣的オーバーストレスから影響を受けやすい回路を保護するときに使うデバイスです。TVS 内部では、有害な電圧スパイクがクランプにより制限されるか、または頑丈なシリコン pn ジャンクションのアバランシェ動作により過渡電圧振幅を無害なレベルまで減衰させます。

回路内では、過渡電圧が現れるまで TVS は"見えない存在"である必要があります。ブレイクダウン電圧(V_{BR})、スタンバイ(リーク)電流(I_D)、容量のような電氣的パラメータは、通常の回路性能に影響を与えない必要があります。

スタンバイ電流を制限するため、および TVS の温度係数によって発生する V_{BR} の変動を許容するため、TVS ブレイクダウン電圧は通常、逆スタンバイ電圧(V_R)より 10%高くしています。これがほぼ回路の絶対最大動作電圧になっています。過渡電圧が発生すると、TVS は直ちにスパイク電圧をクランプして、クランプ電圧(V_C)と呼ばれる安全なレベルに制限し、有害な電流を保護対象部品から遠ざけます。

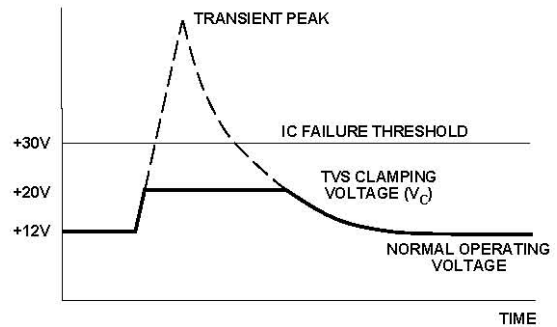


図 13. TVS を使って数 kV の過渡電圧を安全なレベルにクランプすることができます。

TVS は過渡電圧保護用にデザイン、仕様規定、テストされています。一方、ツェナー・ダイオードは、電圧レギュレーション用にデザインされ、仕様が規定されています。このため、過渡電圧保護の場合、ツェナー・ダイオードより TVS の方を選択する必要があります。

TVS のサージ電力とサージ電流の能力は、ジャンクション面積に比例します。シリコン TVS ファミリーのサージ定格は、通常、与えられた波形でのピーク・パルス電源(P_P)を使い、kW 数で規定されます。初期のデバイスは $10/1000\ \mu s$ 波形(ピークまでの立ち上がりが $10\ \mu s$ 、指数関数的な $1/2$ ピークまでの減衰が $1000\ \mu s$)を使って規定され、その後は、 $8/20\ \mu s$ テスト波形に対してデバイス定格が規定されています。電力定格の範囲は、 $10/1000\ \mu s$ で $5\ kW$ から $8/20\ \mu s$ で $400\ W$ までです。この電力は、TVS 両端のピーク電圧とデバイスを流れるピーク電流の積として計算しています。

TVS は、幾つかのファミリーでは $5\ V$ から $376\ V$ まで何種類かの回路動作電圧を提供しています。広範囲な電圧と電力定格(さらに一般的な過渡電圧)が提供されているため、TVS は多様な回路とアプリケーションで採用されています。

一例として、 $28\ V$ で動作する圧力トランスジューサについて考えてみます。ソース・インピーダンス = $2\ \Omega$ 、継続時間 = $10/1000\ \mu s$ 、 $140\ V_{peak}$ の過渡電圧が発生する環境に置かれるものとします。トランスジューサの故障スレッシュホールドが $40\ V$ であるため、TVS は $40\ V$ 以下にクランプする必要があります。この過渡電圧による電流は、

$$I = (140\ V - 40\ V) / 2\ \Omega = 50\ A$$

TVS の電圧クランプ動作により、分圧器が構成されることに注意してください。このため、過渡電圧の開放電圧がソース・インピーダンスと TVS デバイスを結合した両端に現れます。このため、過渡電圧から TVS クランプ電圧が減算されて $100\ V$ の正味ソース電圧になります。クランプ電圧が過渡電圧ピーク電圧に比べて高い場合、電流は大幅に削減されます。

*TransZorbは、General Semiconductor Industries, Incの登録商標です。

この回路は、容易にサージ電流を維持できる 5 kW 定格の TransZorb TVS で保護することができます。

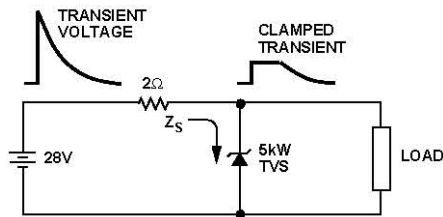


図 14. サージ電流を処理するためには 5 kW の TVS が必要です。

もう 1 つのさらに経済的な方法は、直列抵抗を追加して、実効的にソース・インピーダンスを大きくして、図 15 のようにサージ電流を小さくする方法です。通常の動作でトランスジューサを流れる電流は小さいため(一般に 20 mA 以下)、電源電流の削減により性能は悪影響を受けません。

小さい負荷電流 10 mA の場合、追加抵抗での電圧降下は小さく、25 Ω の抵抗で約 250 mV です。この抵抗を追加すると、サージ電流は次の値に削減されます。

$$I = (140V - 40V) / (2\Omega + 25\Omega) = 3.7A$$

この値は、抵抗なしのサージ電流の 1/10 以下になります。低い電力定格の TVS で、この削減された電流を処理することができます。この場合、500 W のサプレッサで 5 kW のデバイスを置換えると、ボード・スペースとコストを削減することができます。

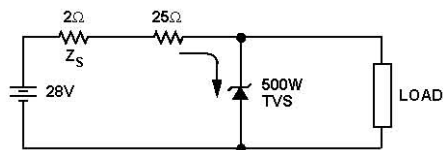


図 15. 直列抵抗により過渡電流を削減すると、使用する TVS を小型化できます。

このアプリケーションには、エネルギー消費能力が大きい炭素化合物抵抗の使用が推奨されます。定常状態で抵抗により消費される電力($V \times I$)は 2.5 mW であるため、最小定格の抵抗を使用しても十分な余裕が得られます。

代表的なTVSアプリケーション

DC電源アプリケーション

電源ラインに TransZorb TVS を使用すると、過渡電圧、電源の反転、または電源のオン/オフ・スイッチングにより発生する IC 故障を防止することができます(図 16)。

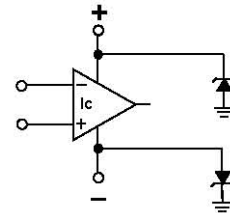


図 16.

TransZorb TVS を使用する電源の場合、逆スタンドオフ電圧が DC 出力電圧以上になるように TransZorb TVS を選択します。アプリケーションによっては、直列抵抗(R)をインダクタで置換えることが望ましい場合もあります(図 17)。

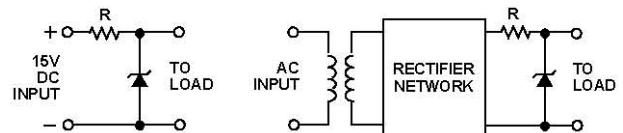


図 17.

信号ライン・アプリケーション

入力ピンは、低エネルギー高電圧の静電放電または信号線へのクロストークに対して脆弱です。クランプ・ダイオードまたは IC サブストレート内の入力回路により提供される保護機能は限定的です(図 18)。

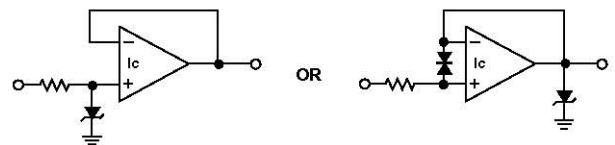


図 18.

ライン上で発生する過渡電圧は、継続時間が数 μs ~ 数 ms、振幅は 10,000 V まで変化します。ダイオードを流れる大きな電流により、断線または回路性能の徐々の低下が発生します。TransZorb TVS を信号ラインに接続すると、この大きなエネルギーを吸収することができます(図 19)。



図 19.

TransZorb を回路保護に使用する際の参考資料は、アナログ・デバイゼスのアプリケーション・ノート AN-311「How to Reliably Protect CMOS Circuits against Power Overvoltage」でも提供しています。

まとめ

集積回路に対して最大の保護機能を持つアプリケーションのデザインは、ソリューションが多くのファクタに依存するので困難な問題です。このアプリケーション・ノートで説明した保護方式を次に短くまとめます。

1. 作業者は、EOS/ESD 損傷を防止する取り扱い技術のトレーニングを受ける必要があります。
2. 装置とデータラインのシールドなど、優れた接地システムを採用する必要があります。
3. 過渡電圧サプレッサを注意深く使います。すなわち、電源ラインとグラウンド・ラインにこれらのピンの最大定格を超えるスパイクが存在することを確認します。
4. デバイスのパワーアップ・シーケンスが正しいことを確認します。通常の正しい順序は、GND、メイン電源(可能な場合サブストレート電源が先)、 V_{CC} 、 $V_{REF+/-}$ 、そして最後に他のすべてのピンの順です。
5. データシート特に最大定格のセクションをレビューします。

テストで不合格になったロットまたは故障デバイスと同じ状態に置かれたロットの中の残りのデバイスを調べて、潜在的な損傷がないか確認する必要があります。オーバーストレス状態が存在しても直ちに故障が発生せずに、代わりに潜在的な損傷を与えて、これが長時間信頼性の問題に発展する可能性があるために、この解析が必要になります。

最後に、アンプの入力過電圧保護の問題はこのアプリケーション・ノートで説明していませんが、アナログ・デバイセズの 2 つの出版物(1) Joe Buxton、*「Simple Techniques Protect Amplifiers from Input Overvoltage」* アナログ・ダイヤログ 28-3、1994、および(2) Joe Buxton、*「Input Overvoltage Protection」* システム・アプリケーション・ガイド、アナログ・デバイセズ、1993、pp 1-56~1-74 で詳しく説明しています。

参考資料

- ¹ Henry Domingos, "Circuit Design for EOS/ESD Protection," Proc. 1982 EOS/ESD Symp., pp. 1-17 to 1-21.
- ² John A. Schmidt, Manager of Technical Services IMCS Corporation, Santa Clara, CA, "CDM-The Newest ESD Test Model," 1991.
- ³ MIL-STD-883 Method 3015, "Electrostatic Discharge Sensitivity Classification," Military Standard Test Methods and Procedures for Microelectronics.
- ⁴ ESD Prevention Manual, 1986. Norwood MA; Analog Devices Inc., pp 9-11. その他の参考資料も含まれています。
- ⁵ Mark Alexander, "Understanding and Preventing Latch-Up in CMOS DACs," AN-109. Free from Analog Devices, PMI Division.
- ⁶ General Instrument, Power Semiconductor Division Data Book/11th edition, pp. 633, 696-703. その他の参考資料も含まれています。
Andrew Olney, Analog Devices, Inc., personal communication