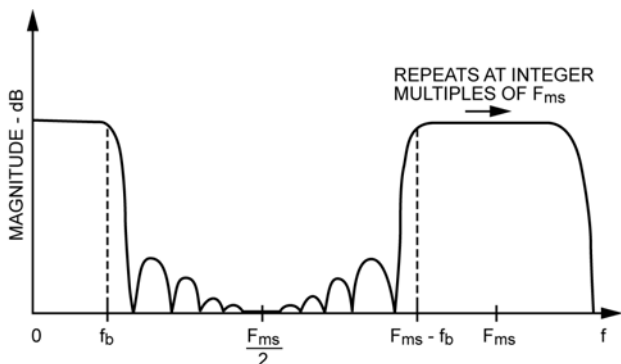


### シグマ・デルタ・コンバータの使い方（その1）

**Q:** シグマ・デルタ A/D を使いたいと思っていますが、これまで使っていたものとはかなり異なるようなので、いくつか質問したいことがあります。まず第一に、アンチエイリアシング・フィルタの設計ではどんな点を考慮する必要があるのでしょうか？

**A:** オーバーサンプリング・コンバータの大きな長所は、エイリアスを防ぐために必要なフィルタリングをきわめて簡単なもののできることです。その理由とフィルタの制約を理解するために、このようなコンバータで行われている基本的なデジタル信号処理を調べてみましょう。アンチエイリアス・フィルタの設計のために、シグマ・デルタ・コンバータをナイキスト・サンプリング周波数よりはるかに高い周波数でサンプリングする従来の高分解能コンバータの後段にデジタル・デシメータ/フィルタを追加したものと考えられます。デジタル・デシメータへの入力ノイズ・シェーピング伝達関数のある1ビット・シリアルであるということは、問題ではありません。

入力信号は変調器の入力サンプリング・レート ( $F_{ms}$ ) でサンプリングされますが、これは最大入力信号周波数の2倍（ナイキスト周波数）よりもずっと高速です。次の図は、デシメーション・フィルタの周波数応答の様子を示したものです；  $f_b$  と  $F_{ms}-f_b$  の間の周波数成分が大幅に減衰しています。このように、デジタル・フィルタは、コンバータ出力の  $[0, F_{ms}-f_b]$  内のすべてのノイズ・エネルギーを除去し、その中の成分が、対象となる帯域幅  $[0, f_b]$  に入り込まないようにします。しかし、コンバータでは、入力に現れる  $[0, \pm f_b]$  範囲内の信号と  $[kF_{ms} \pm f_b]$  範囲内の信号（ここで  $k$  は整数）を区別できません。これらの範囲内にある任意の信号（またはノイズ）は、サンプリング過程で信号帯域内  $[0, f_b]$  に折り返されます； デシメーション・フィルタはデジタル化されたサンプルにのみ作用するため、これらの信号の減衰には役立ちません。



このため、このような帯域  $[kF_{ms} \pm f_b]$  内の入力ノイズ・エネルギーをアンチエイリアシング・フィルタで取り除いてから、入力信号をコンバータでサンプリングする必要があります。

**Q:** 90dB のダイナミック・レンジを持つ AD1877（1994 年春に発売）を使用するとしたら、アンチエイリアシング・フィルタは  $F_{ms}-f_b$ （約 3MHz）で 90dB を十分に上回る減衰を持つ必要があるのでしょうか？

**A:** そんなことはありません。A/D に変調器のサンプリング周波数に近い周波数のフルスケール入力があると想定しているかもしれませんが、大部分のシステムではそういうことはありません。通常エイリアシングに関して問題となる唯一の信号入力は、コンバータの前段にある回路やセンサーからのノイズです。普通このノイズは低いため、簡単な RC フィルタでアンチエイリアス・フィルタの役目を果たすことができます。

**Q:** 設計するアプリケーションが単極 RC フィルタで十分であるとどのようにわかるのでしょうか？ また、フィルタの時定数を決めるにはどうしたらいいのでしょうか？

**A:** 一般的に設計されるアプリケーションによって、入力信号帯域内の入力信号の最大許容減衰量が決まるでしょう。これによって、RC フィルタの 3dB カットオフ周波数の最小値が決まります。この点を詳しく説明するために、AD1877 を使った例で単極フィルタで十分フィルタリングが行えることを確認してみましょう。

対象となる帯域幅が 0~20kHz であり、この範囲の信号が 0.1dB、つまり倍率 0.9886 [電圧では  $\text{dB} = 20\log_{10}(\text{ratio})$ 、パワーでは  $10\log_{10}(\text{ratio})$ ] 以上減衰してはいけなアプリケーションを考えてみましょう。次の単極フィルタの減衰量の式から、以下のようになります。

$$\text{ratio} = \frac{1}{\sqrt{1 + (2\pi fRC)^2}} > 0.99 \text{ at } f = 20 \text{ kHz}$$

$$RC \leq \sqrt{\frac{1 - (\text{ratio})^2}{(2\pi f)^2 (\text{ratio})^2}} \approx 1.21 \times 10^{-6} \text{ s}$$

使用部品の公称誤差を考慮して  $RC = 1.0\mu\text{s}$  を選ぶと、-3dB 周波数は 159kHz になります。これで、ベースバンドに折り返される周波数帯域  $kF_{ms} \pm f_b$  でのフィルタの減衰量を計算できます。AD1877 の変調器のサンプリング・レートが 3.072MHz（出力サンプリング・レートは 48kHz）とすると、一番目の周波数帯域は 3.052~3.092MHz になります。これらの周波数での RC フィルタの減衰量は、この帯域全体で約 25.7dB（約 0.052）です。2 番目の帯域（6.124~6.164 MHz）では、減衰量が 31.8dB（0.026）になります。これらの2つの帯域（およびそれより広域のすべての周波数帯域）の間でフィルタを通りぬけて A/D 入力に入るノイズは、ベースバンドに折り返され、rms 値の2乗和平方根 (rss)、つまり  $\sqrt{n_1^2 + n_2^2 + \dots + n_1^2}$  として加算されることとなります。dB 単位の値については、付録に示す式からただちに dB 単位の結果が得られるので、倍率を計算する必要はありません。

ホワイト・ノイズの場合、ノイズ・スペクトル密度は周波数により一定であり、それぞれの高調波は同じ帯域幅を持つため、各々の帯域からフィルタの入力と同じ量のノイズが入ります。したがって、それぞれ違う周波数帯域の減衰量を  $r_{ss}$  方式で加算していくことにより、RC フィルタの実効減衰量を求めることができます。たとえば、最初の 2 つの帯域の減衰量  $\sqrt{0.052^2 + 0.026^2} = 0.058$ 、つまり 24.7 dB と一番目の帯域の減衰量 25.7dB を比べれば、最初の 2 つの帯域のノイズの影響度と一番目だけの帯域のノイズの影響度はほぼ同じであることがわかります。折返しノイズの合計を計算するとき、いくつくらいの帯域を考慮しなければならないのでしょうか？ この場合、最初の 3 つの帯域の  $r_{ss}$  和が -24.2dB、4 つで -24.0dB、5 つで -23.9dB、6 つで -23.8dB になります。したがって、最初の帯域がきわめて支配的です；その減衰量はすべての帯域の減衰量の 2dB 以内に入ります。ノイズが例外的に大きいか非ホワイト・ノイズ・スペクトルがある場合を除き、通常は最初の帯域だけを考慮すれば十分です。さらに、A/D 自体は高速ですが、帯域幅には限界があるので、高次の帯域は排除される傾向があります。

減衰量がわかったところで、ノイズの大きさ自体を考慮することができます；控えめに（約 50%）見積もって、フィルタの実効減衰量を 20dB（つまり、0.1V/V）としましょう。単極フィルタを使用したときの最大許容ノイズ・スペクトル密度を計算するには、折返しノイズに起因する最大の特性劣化を見積もる必要があります。AD1877 のダイナミック仕様から、コンバータ内部の合計ノイズパワーはフルスケール入力の 90dB (32ppm) 以下であることがわかります。システム全体でたとえばこの仕様の 0.5dB 以内に収めるとすれば、合計折返しノイズパワーは -90dB と -89.5dB または -99.1dB ( $11.1 \times 10^{-6}$ ) との  $r_{ss}$  差を超えてはいけません。このほかに AD1877 の入力フルスケールが 3Vp-p であるということも考えると、折返しノイズが  $3/(2\sqrt{2})V \times 11.1 \times 10^{-6} = 11.8\mu V$  を超えないようにする必要があります。すべての折返しノイズが 1 つの帯域に集中していると想定すると、rms ノイズ = ノイズ・スペクトル密度  $\times \sqrt{BW}$  であることから、次の結果が得られます。

$$N.S.D. < \frac{11.8 \mu V}{\sqrt{3.092 \text{ MHz} \times 3.052 \text{ MHz}}} = 59 \text{ nV} / \sqrt{\text{Hz}}$$

これは、許容できる最大のポストフィルタ・スペクトル密度になります。すでに設定した 20dB（つまり、 $\times = 10$ ）の実効フィルタ減衰量を用いて、最大プリフィルタ・スペクトル密度 (MPSD) を求めるには、 $M.P.S.D. = 10 \times 59 \text{ nV} / \sqrt{\text{Hz}} = 0.59 \mu V / \sqrt{\text{Hz}}$  になります。

明らかに、簡単な RC フィルタでは不十分なために、このシステムは 3~6~9~12MHz の領域でかなりノイズが多くなるに違いありません。ただし、いつものように周囲の RF ピックアップにも注意を払う必要があります。

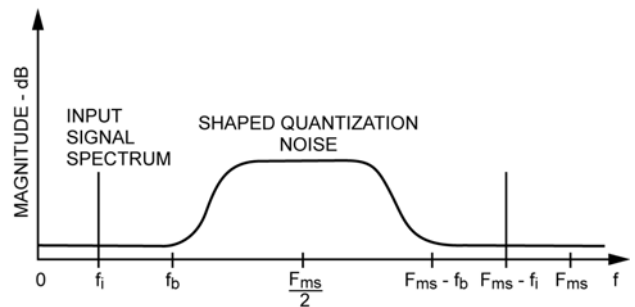
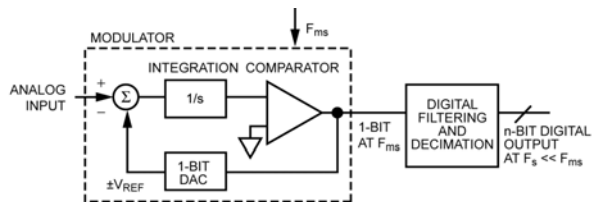
Q: どうやら、シグマ・デルタ・コンバータのノイズ・フロアには若干の不規則性があるようですね。これについては何か考えていらっしゃるでしょうか？

A: 大部分のシグマ・デルタ・コンバータには、ノイズ・フロアに「アイドル・トーン」と呼ばれる若干のスパイクがあります。一般に、これらのスパイクのエネルギーは低く、コンバータの S/N 比に大きな影響を与えることはありません。それでも、周波数スペクトル上、ホワイト・ノイズ・フロアをはるかに超えるスパイクを許容できないアプリケーションは多数あります。たとえばオーディオ・アプリケーションでは、たとえシステムの総合 (0~20kHz) ノイズを十分に下回るアイドル・トーンであっても、大きな入力信号がない状態では人

間の耳はそのアイドル・トーンをはっきりと聞き分けてしまいます。

アイドル・トーンには 2 つの発生源があります。その最も一般的な原因は、基準電圧源の変調です。このメカニズムを理解するには、シグマ・デルタ・コンバータの基本的な理解が必要です。ここでは、短期集中式でシグマ・デルタ・コンバータについて学んでみましょう（詳細については参考文献をご覧ください）。[1]

ブロック図が示すように、基本的なシグマ・デルタ A/D コンバータは、オーバーサンプリング変調器と、それに続くデジタル・フィルタとデシメータで構成されています。変調器の出力は 2 つの状態（ハイレベルとローレベル、0 と 1、または +1 と -1）の間をスイングし、平均出力は入力信号の大きさに比例します。変調器の出力は常にフルスケール (1 ビット) まで振れるため、大きな量子化誤差が生じます。ただ、変調器は、量子化ノイズの大部分を信号帯域幅  $f_b$  以上のスペクトル部分に押し込むように作られています。



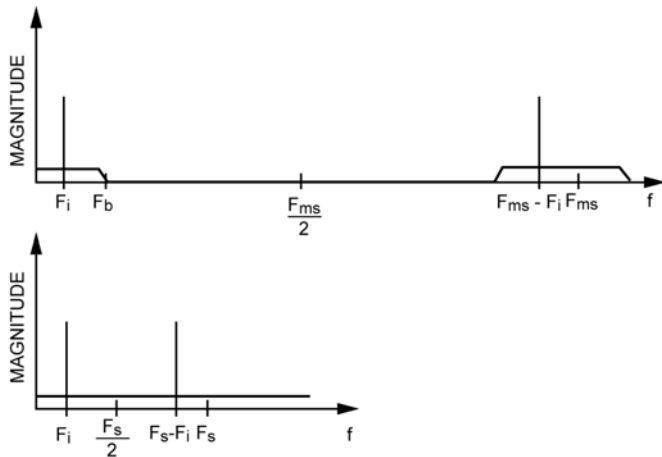
図に示すように、 $f_i$  と  $F_{ms} - f_i$  のスペクトルの縦棒（単一周波数）は入力信号に対応しており、影を付けた領域が、どのように量子化ノイズを信号帯域幅 ( $f_b$ ) を超えた部分に押し出して (Shaped) いるかがわかります。

デジタル・フィルタ（しばしば  $n$  タップの FIR フィルタです。）は、高速低分解能 (1 ビット) の変調器出力を取り込み、所望のフィルタ特性で設定された方法で  $n$  個の変調器出力の加重平均をとります。フィルタの出力は高分解能ワードでそれは A/D の出力になります。デジタル・フィルタは、 $f_b$  と  $F_{ms} - f_b$  との間の「すべて」を取り除くように設計されています。ここで、 $F_{ms}$  は変調器のサンプリング・レートです。 $f_b$  と  $F_{ms} - f_b$  の間にあるすべてのノイズを一掃することで、どのスペクトルもオーバーラップ（つまり、エイリアシング）することなく、サンプリング・レートを  $F_{ms}$  と  $2f_b$  の間の値に下げることができます。

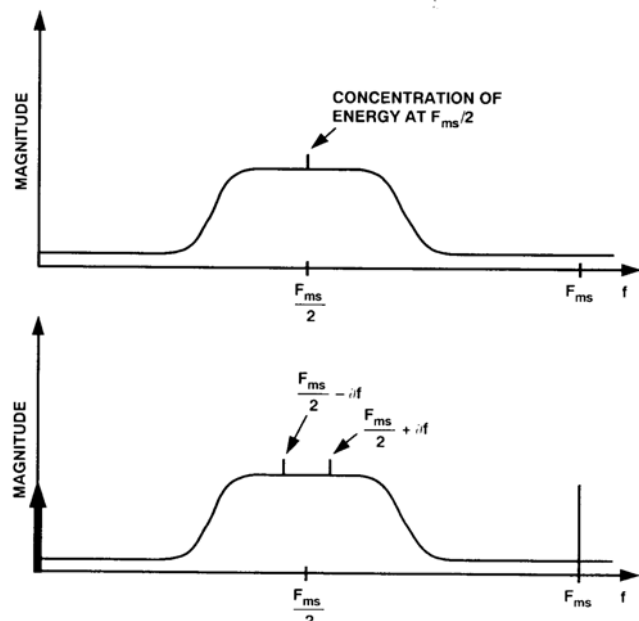
概念的には、サンプル・レートを減らす（つまり、デシメーション）とは、 $d$  番目ごとのデジタル・フィルタ出力のみを A/D 出力に送信することと考えることができます。ここで、 $d$  はデシメーション係数です。これによって、図に示すようにスペクトルの各周波数間の距離が縮まるため、まるでオーバーサンプリングが行われていないコンバータからの出力のように見えます。上の図は、デジタル・フィルタリング後で、デシメーション前の変調器の出力です。下の図は、デシメーション後のスペクトル出力（最終的な A/D 出力）を示してい

ます。

現実のコンバータでは、設計と製造のコスト削減のためにデジタル・フィルタリングとデシメーションが密接に組み合わされています。したがって、「デジタル・フィルタ」と「デシメータ」という用語は、変調器出力を処理してコンバータの出力を生成するデジタル信号処理回路を述べる時に同義で用いられています。



では、「アイドル・トーン」に戻しましょう。まず、DC 信号が入力に印加されたときの変換器の出力を観察することから始めましょう。正確な 1/2 フルスケールの DC 入力電圧では、変調器の出力は同じ確率でハイレベル (1) かローレベル (0) になります。つまり、パルス密度は 0.5 であり、010101 のようなビットストリーム・パターンになります。このような規則的なパターンは、 $F_{ms}/2$  で出力スペクトルにスパイクがあることを意味しています (上の図)。DC 入力が 1/2 フルスケールから少しシフトすると、変調器出力のビット・パターンもそれに伴って変化します。変調器出力のスペクトルは、 $F_{ms}/2 - \Delta F$  と  $F_{ms}/2 + \Delta F$  でスパイクを生じます。 $\Delta F$  は 1/2 フルスケールからの DC 変化に比例します (下の図)。



効果的なデジタル・フィルタリングを使っても、このようなアイドル・トーンがベースバンドに現れるのはなぜでしょうか？ 答えは基準電圧源の変動の影響です。デジタル出力は、アナログ入力と基準電圧との比の大きさです。基準電圧の大きさが  $x\%$  変化すると、デジタル出力ワードの大きさが  $-x\%$  変化します。つまり、基準電圧の変化によって A/D 出力の振幅変調が行われることになります。コンバータの内部に  $F_{ms}/2$  で動作するクロック (場合によっては外部クロック) があります。クロック・パルスのごく一部が基準電圧の配線に漏れると、基準電圧が若干変化し、それによって  $F_{ms}/2 - \Delta F$  と  $F_{ms}/2 + \Delta F$  でアイドル・トーンが変調します。この変調によって生じる差の周波数の 1 つは  $\Delta F$  にありますが、これは明らかに信号帯域幅内です。また非直線性により、 $\Delta F$  の倍数でアイドル・トーンが生じることがあります。

Q: ご説明からすると、コンバータに AC 信号を印加するならアイドル・トーンのことを心配する必要はないということになるのでしょうか？

A: 一般的にどんな AC 信号にもその AC 信号に関連して DC 成分がありますが、これは変調器出力に反映されることになります。したがって、ここには先ほどの説明が当てはまります。しかし、システムの合計 DC 入力オフセット (つまり、コンバータの内部オフセット+外部オフセット) が正確に 0 である場合は、アイドル・トーンは DC (0 Hz) になります。

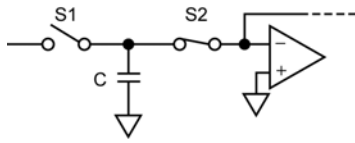
低次 (<3 次) 変調器の場合は、アイドル・トーンの発生源がもう 1 つあります。変調器の次数 (積分の回数) は、量子化ノイズのシェーピングが何回行われるかの目安になります。たとえ基準電圧の変調が行われていなくても、2 次変調器がベースバンドに直接現れるビット・パターンを実際に発生させることがあります。AC アプリケーション向けに設計されたアナログ・デバイゼズのシグマ・デルタ・コンバータが高次 ( $\geq 3$ ) のシグマ・デルタ変調器を使用しているのは、1 つにはこのためです。

Q: では、アイドル・トーンが A/D 変換で干渉する可能性を最小限に抑えるには、どうしたらいいのでしょうか？

A: コンバータのメーカーが推奨するレイアウトの推奨方法やバイパス方式に従ってください。これは基準電圧だけでなく、電源や接地についても同様です。コンバータの内部で起こる基準電圧の不具合を最小限に抑えることはメーカーの責任ですが、外部からの干渉を最小限に抑えることはシステム設計者の責任になります。こうしたガイドラインに従うことによって、干渉を無視できる程度まで低減することができます。十分に注意して設計したにもかかわらずアイドル・トーンが問題になる場合は、もう 1 つの方法があります。前述のように、アイドル・トーンの周波数は DC 入力の関数です。したがって、A/D 入力に十分な DC オフセットを与えることで、対象となる帯域幅にあるアイドル・トーンをデシメーション・フィルタで除去できる場所まで移動させることができます。この DC オフセットをシステム内に伝播させたくない場合は、A/D のデータを処理するプロセッサによって引算することができます。

Q: 私の信号処理回路から見てシグマ・デルタ・コンバータの入力はどのような負荷になるのでしょうか？

A: それは、コンバータによって異なります。入力にバッファがあるシグマ・デルタ・コンバータの場合は、入力インピーダンスがきわめて高く、負荷は無視できます。しかし、多くの場合、入力はコンバータ内部の変調器に直接接続しています。スイッチド・キャパシタ型のシグマ・デルタ・変調器は、図に示すような簡略化された等価回路になっています。



スイッチ  $S1$  と  $S2$  は、2相のクロックによって制御されてそれぞれ交互に閉じます。 $S1$  が閉じている間、入力コンデンサが入力電圧をサンプリングします。 $S1$  が開くと、 $S2$  が閉じて  $C$  の電荷が積分器に供給され、コンデンサが放電します。入力インピーダンスを計算するには、外部回路から  $C$  によって引き込まれる平均電荷を計算します。 $S1$  が開く前に  $C$  を完全に入力電圧まで充電できれば、入力への平均電流は、入力とグラウンドの間に  $1/(F_{sw}C)$  オームの抵抗が接続されている場合と同じになります。ここで、 $F_{sw}$  は入力コンデンサが入力電圧をサンプリングするレートです。 $F_{sw}$  は、コンバータに印加されるクロックの周波数に正比例します。つまり、入力インピーダンスはコンバータの出力サンプル・レートに反比例します。

場合によっては、ゲインなどのその他の要因が入力インピーダンスに影響を与えることがあります。16/24ビットのAD771x シグナル・コンディショニング A/D ファミリーの場合がそうです。これらのコンバータの入力は、1~128V/Vのゲインに対して設定できます。ゲインの調整には特許取得済みの技術が使用されますが、コンバータの出力サンプル・レートを一定に保ちながら、 $F_{sw}$  を効果的に増やし、複数サンプルからの電荷を混合します。これらのコンバータの入力インピーダンスは、デバイスの外部クロックが 10MHz で入力ゲインが 1 の時に、たとえば、2.3M $\Omega$  になります。入力ゲインが 8 の場合、入力インピーダンスは 288k $\Omega$  に減ります。

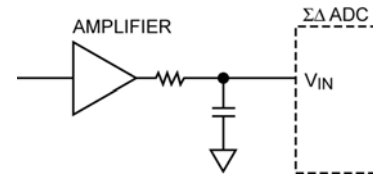
これらのインピーダンスは、前述のように、コンバータを出入する平均電流を表します。しかし、これらは A/D 駆動回路の最大許容出力インピーダンスを決める時に検討の対象とするインピーダンスではありません。その代わりに、 $S1$  が閉じたときのコンデンサ ( $C$ ) の充電時間を確認する必要があります。DC アプリケーションでは、 $S1$  が開く前にコンデンサ ( $C$ ) が要求精度内の値まで充電されるように駆動回路のインピーダンスは、十分低くなければなりません。インピーダンスは、 $S1$  が閉じられている時間 (サンプリング・レートに比例)、容量 ( $C$ )、入力と並列な  $C_{EXT}$  ( $C_{EXT} \gg C$  の場合を除く) の関数になります。次の表に、 $f_{CLKIN} = 10\text{MHz}$  として、AD7710 のさまざまなゲインと外部容量の値に対して、20ビットの 1LSB のゲイン誤差を避けることができる、外付け直列抵抗の許容値を示します。

20ビットのゲイン誤差を生じない標準的な外付け直列抵抗

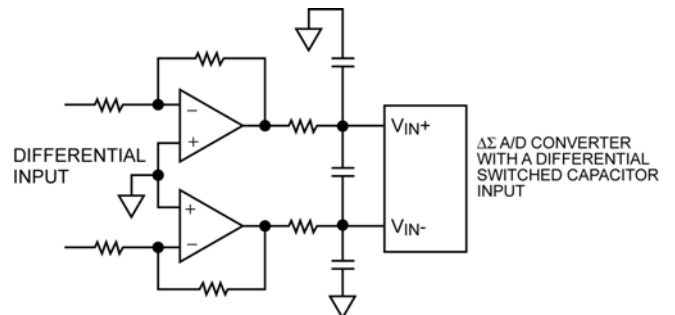
ゲイン	外付け容量 (pF)					
	0	50	100	100	500	5000
1	145 k $\Omega$	34.5 k $\Omega$	20.4 k $\Omega$	5.2 k $\Omega$	2.8 k $\Omega$	700 $\Omega$
2	70.5 k $\Omega$	16.9 k $\Omega$	10 k $\Omega$	2.5 k $\Omega$	1.4 k $\Omega$	350 $\Omega$
4	31.8 k $\Omega$	8.0 k $\Omega$	4.8 k $\Omega$	1.2 k $\Omega$	670 $\Omega$	170 $\Omega$
8-128	13.4 k $\Omega$	3.6 k $\Omega$	2.2 k $\Omega$	550 $\Omega$	300 $\Omega$	80 $\Omega$

オーディオなどの AC アプリケーションの場合、変調器のサンプル・レートは 64x のオーバーサンプリングに対して約 3MHz であり、コンデンサが放電モードに切り替わる前に、入力コンデンサの電圧がコンバータの分解能で規定された精度内に収まらないことがあります。実際、入力コンデンサの充電が RC 回路の指数関数曲線に従っていれば、入力コンデンサの切り替えが早すぎてもゲイン精度しか損なわれないことが明らかです。

指数関数的充電が必要ということは、オペアンプがスイッチド・キャパシタの入力を直接駆動できないことを意味しています。オペアンプ出力の容量性負荷が切り替わると、出力振幅が瞬間的に低下します。オペアンプがこの状況を是正しようとする過程でスルーレートの限界 (非線形応答) に達すると、出力に過度のリングングが生じることがあります。このような状況を改善するために、図に示すように、アンプと A/D 入力との間に小さな時定数の RC フィルタを挿入することができます。(低い値の) 抵抗がアンプをスイッチド・キャパシタから分離し、入力とグラウンドの間の容量がスイッチド・キャパシタの充電に必要な電荷の大部分を供給または吸い込みます。このため、オペアンプに負荷の過度特性が現れることはありません。この追加したフィルタは、アンチエイリアシング機能も果たすことができます。



コンバータが差動入力の場合、下の図に示すように、この回路を差動入力にして使用することができます。一方の入力がグラウンドを基準にして正であり、他方が負であるため、一方の入力 (負の入力) には負電荷を供給する必要があります。他方の入力では、入力コンデンサが入力ラインに切り替わる時には負電荷を取り除く必要があります。2つの入力の間にコンデンサを接続すれば、一方の入力が必要とする電荷の大部分を、他方の入力によってうまく供給できます。これによって、アナログ・グラウンドとの間で入出力する望ましくない電荷移動をできる限り抑えることができます。



## 付録

**対数値の RSS 加算:** 2つの rms 信号( $S_1$  と  $S_2$ )の 2乗和平方根には、 $\sqrt{S_1^2 + S_2^2}$  という rms 値があります。所定の基準にをもちに、dB 単位で表した 2つの数値の rss 和を計算しなければならないことがよくあります。それには、真数を取り、rss 加算を行い、その結果を dB に再変換する必要があります。これらの 3つの操作を合わせて、1つの式に便利にまとめることができます。 $D_1$  と  $D_2$  が dB 単位の比率 [負または正] の場合、その和は dB 単位で次のように表すことができます。

$$10 \log_{10} \left( 10^{D_1/10} + 10^{D_2/10} \right)$$

同様に、2つの rms 量の差を求めるには、次の式を計算します。

$$x = \sqrt{S_2^2 - S_1^2}$$

dB 単位の結果 ( $x$ ) は、次のようになります。

$$10 \log_{10} \left( 10^{D_2/10} - 10^{D_1/10} \right)$$

## 参考文献 (アナログ・デバイセズでは提供していません)

- <sup>1</sup> 『Oversampling Delta-Sigma Data Converters - Theory, Design, and Simulation』 J.C. Candy, G.C. Temes 編、IEEE Press、Piscataway、NJ、1991 年
- <sup>2</sup> J. Vanderkooy, S.P. Lipshitz 「Resolution Below the Least Significant Bit in Digital Systems with Dither」 J. Audio Eng. Soc., vol. 32、106～113 ページ (1984 年 3 月) ; 同修正、889 ページ (1984 年 11 月)
- <sup>3</sup> A.H. Bowker, G.J. Lieberman 『Engineering Statistics』 Prentice Hall、Englewood Cliffs、NJ、1972 年