

オペアンプを使った積分器

著者: Ray Stata

現代の半導体オペアンプは非常に優れた積分器として動作します。アンプと帰還コンデンサの選択に応じて、ほぼいかなる精度でも実現可能です。アナログ・コンピュータにおける積分器の誤差についてはかなり多くの文書で取り上げられているので、本書では言及しません*。ここでは、計装回路の積分器の性能を制限するオペアンプ（ある程度はコンデンサも制限）の非理想的な特性について再吟味します。アプリケーション用のアンプを選択する際に本書をご活用ください。

*Korn および Korn, 『Electronic Analog and Hybrid Computers』 McGraw Hill

積分器アプリケーションにとって理想的なオペアンプの特性は、オープン・ループ・ゲインと入力インピーダンスが無限で、オフセット電圧/電流がゼロ（すなわち、 $e_{os} = 0$ のとき $e_o = 0$ ）であることです。図 1 に、この場合の理想的な積分器の特性を示します。

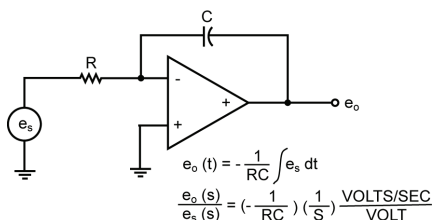


図 1. 理想的なオペアンプ積分器

回路のゲイン（または時間特性）は $1/RC$ で与えられます。つまり、出力は入力信号の電圧ごとに $(1/RC)$ ボルト/秒だけ変化します。ソース電圧 e_s からみた入力インピーダンスは R の値によって決まります。

オフセット誤差とドリフト誤差

積分器において誤差源として際立っているのは、アンプのオフセット電圧とドリフトです。図 2 に、オフセット電圧による誤差を予測できる等価回路を示します。ここでは、オープン・ループ・ゲイン A とオープン・ループ入力インピーダンス R_d が無限であると仮定します。

Analog Dialogue (1967) 1-1 より転載

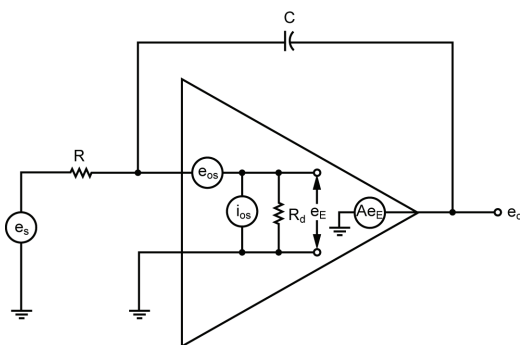


図 2. 積分器の等価回路

$$e_{os} = E_{os} + \underbrace{\frac{\Delta e_{os}}{\Delta T} \Delta T}_{\substack{\mu V \\ at \\ 25^\circ C}} + \underbrace{\frac{\Delta e_{os}}{\Delta V_S} \Delta V_S}_{\mu V/\%} + \underbrace{\frac{\Delta e_{os}}{\Delta t} \Delta t}_{\mu V/day}$$

$$i_{os} = I_{os} + \underbrace{\frac{\Delta i_{os}}{\Delta T} \Delta T}_{\substack{pa \\ at \\ 25^\circ C}} + \underbrace{\frac{\Delta i_{os}}{\Delta V_S} \Delta V_S}_{pa/\%} + \underbrace{\frac{\Delta i_{os}}{\Delta t} \Delta t}_{pa/day}$$

上式に示すように、オフセット電圧 e_{os} とオフセット電流 i_{os} は、ドリフト係数を使用して任意の温度、電源電圧、期間で計算できます。一般には、バイアス回路を追加してオフセット電圧 E_{os} とオフセット電流 I_{os} の初期値をゼロに調整することができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

© Analog Devices, Inc. All rights reserved.

オフセット誤差を分析する場合は、図 3 に示すようにこれらの誤差をソース電圧として換算するのが最も簡単な方法です。この場合、オフセット電流に R を掛けると電圧ソースになります。入力については、オフセットは入力信号とは区別できないので、信号の積分で基本的な誤差が生じます。誤差率の%誤差 = $(e_{os} + i_{os}R) / 100 \bar{e}_s$ で表されます。この場合の \bar{e}_s は積分期間における入力信号の平均時間です。アンプに対しては、オフセット誤差を最小限に抑えるために R をできるだけ小さくします。ただし、R によって積分器の入力インピーダンスも決まるので、この点は留意する必要があります。

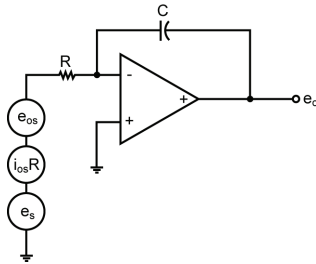


図 3. 入力換算オフセット

積分器と反転 DC アンプとでは、入力換算時のオフセット誤差の分析に、それほど大きな違いはありません。詳細については、アナログ・デバイゼスのアプリケーション・ノート「Part IV, Offset and Drift in Operational Amplifiers」を参照してください。

アプリケーションによっては、有意な結果を導き出すためにオフセット誤差を出力に換算する必要があります。この場合、出力誤差はドリフト・レートであり、次式で求めることができます。

$$\frac{de_o}{dt} = \frac{e_{os} + Ri_{os}}{RC} = \frac{e_{os}}{RC} + \frac{i_{os}}{C}$$

前にも触れましたように、出力ドリフト・レートは R の最小値と C の最大値を使って最小限に抑えられます。オフセット電圧に起因するドリフト・レートは回路のゲイン $(1/RC)$ によって固定されますが、オフセット電流に起因するドリフト・レートは C の増大によって低減されるのです。

R と C を選択する場合は、次のような制限を受けます。

1. ソース・インピーダンスは、R に等しい入力インピーダンスに見合う最小値を設定します。
2. 大きい値のコンデンサ（特に $1 \sim 5 \mu\text{f}$ より大きい）を使うときに、物理的なサイズ、価格、品質などがすべて大きな問題となります。

差動入力アンプの場合は、一般に、各入力とグラウンド間のインピーダンスを平衡させるのでオフセット電流に起因する誤差は低減されます。図 3 の回路では、プラス入力とグラウンド間に R と等しい抵抗を挿入することになります。差動アンプの入力が対称性を示すために各入力のオフセット電流は同じになる傾向があり、また温度変化に追従する傾向があるため、ドリフト誤差はインピーダンスの平衡化により低減されます。

有限ゲイン、入力インピーダンス、および帯域幅による誤差

ほとんどのオペアンプのオープン・ループ・ゲイン応答は、図 4 のグラフで表すことができます。

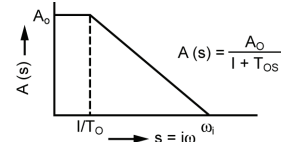


図 4. 代表的なオープン・ループ・ゲイン応答

4. 図 2 に戻り、アンプが図 4 のゲイン応答をもち、かつオープン・ループ入力インピーダンス R_d をもつと仮定した場合、積分器ゲインは次式で正確に表すことができます。

$$\frac{e_o(s)}{e_s(s)} = \underbrace{\left[\frac{-1}{RCs} \right]}_{\text{ideal}} \underbrace{\left[\frac{1}{1 + \left(\frac{1 + T_0 s}{A_o} \right) \left(1 + \frac{1}{R_p Cs} \right)} \right]}_{\text{error due to finite gain and bandwidth}} \quad (1)$$

ここで、 $R_p = R_d R / R_d + R$ (並列和)

$A_o \gg 1$ と仮定した場合（これでまったく問題なし！）、式 (1) は以下のように簡素化できます。

$$\frac{e_o(s)}{e_s(s)} = \left[\frac{-1}{RCs} \right] \left[\frac{1}{1 + \frac{s}{\omega_1} + \frac{1}{A_o R_p Cs}} \right] \text{ for } A_o \gg 1 \quad (2)$$

ここで、 $\omega_1 \approx A_o / T_0$ はアンプのユニティ・ゲイン帯域幅です。

有限帯域幅による高周波誤差

積分器が入力の瞬時の変化に応答する能力は、アンプの有限な帯域幅によってある程度制限されます。t = 0 時の過渡動作は、高周波時の式 (2) の動作を調べることで予測できます。この場合、式 (2) は次の式 (3) のように表されます。

$$\frac{e_o(s)}{e_s(s)} = \frac{-1}{RCs} \left(\frac{1}{1 + s/\omega_1} \right) \text{ for } s \gg \frac{1}{A_o R_p C} \quad (3)$$

これは理想的な積分器に関する式であり、ユニティ・ゲイン帯域幅 ω_1 に反比例する時間的なズレは考慮していません。有限帯域幅による誤差については、ステップ関数入力に対する応答 (3) が式 (4) と図 5 で与えられるものとします。

$$e_o(t) = \frac{1}{RC} (t - 1/\omega_1) \text{ for } e_s(t) = -\mu_1(t) \quad (4)$$

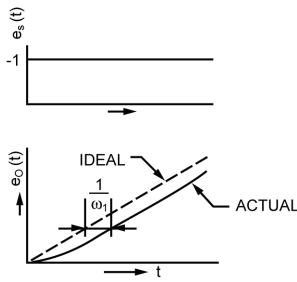


図 5. t = 0 時の積分器のステップ応答

時間のズレはアンプのオープン・ループ帯域幅 ω_1 にのみ左右され、R と C の値には左右されません。

有限ゲインによる低周波誤差

積分器の長期の動作は、回路の低周波応答によって予測できません。この場合 ($s \ll \omega_1$)、式 2 は次のようになります。

$$\frac{e_o(s)}{e_s(s)} = \left[\frac{-1}{RCs} \right] \left[1 + \frac{1}{A_o R_p C s} \right] = -\frac{A_o R_p / R}{1 + A_o R_p C s} \quad (5)$$

式 (5) が理想的な積分器の応答に等しいことがわかれば、低周波時の積分器の動作を深く理解することができます。図 6 に示すように、理想的な積分器は無限ゲインの入力インピーダンス・アンプを備えています。帰還抵抗 $A_o R_p$ が帰還コンデンサに並列に接続されています。

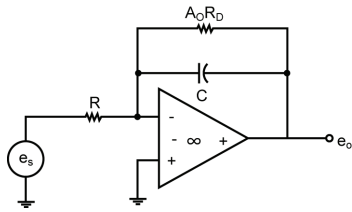


図 6. 積分器の低周波等価回路

低周波誤差の影響をさらに明確にするために、式 (6) と 図 7 で与えられるステップ関数入力に対する式 (5) の応答について考えてみます。

$$e_o(t) = \frac{R_p A_o}{R} (1 - e^{-t/A_o R_p C}), \text{ for } e_s(t) = -\mu_{-1}(t) \quad (6)$$

式 (6) の冪級数展開：

$$e_o(t) = \frac{t}{RC} - \frac{t^2}{2A_o(R_p C)(RC)} + \dots$$

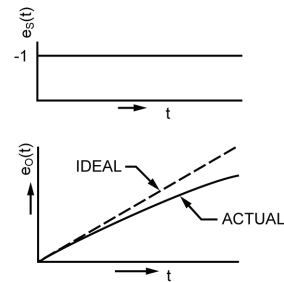


図 7. 有限ゲインによる低周波誤差を示すステップ応答

この級数の最初の項は理想的な積分器の応答ですが、第 2 項は主な誤差成分であり、時間の二乗で大きくなります。

要するに、積分器の低周波誤差は有限のオープン・ループ電圧ゲインに反比例します。これは次の事実からも明らかです。つまり、ゲインが有限の場合は、通常の想定どおり、誤差電圧はゼロにならないので、出力増大に伴って入力電流は低下傾向を示します。

積分器のホールド誤差

積分器回路を使用する際の重要事項の一つは、電位を正確に記憶または保持することです。アンプのゲインが有限であれば、積分器の固定出力電圧は低下します。

図 6 から直感的にわかるように、有限の電圧ゲインと入力インピーダンスに起因する実効リーク抵抗 $A_o R_p$ により、帰還コンデンサに蓄えられた固定電圧は放電傾向を示します。この誤差を定量化するために、図 6 の回路の初期条件が $e(0) = E_o$ 、および $e_s = 0$ とします。この場合、出力電圧は単に次のように表されます。

$$e_o(t) = E_o e^{-t/A_o R_p C}$$

これを展開すると、

$$e_o(t) = E_o - E_o \left[\frac{t}{A_o R_p C} - \frac{t^2}{2(A_o R_p C)^2} + \dots \right] \quad (7)$$

(7) の最初の項は理想的な積分器の出力であり、角カッコに囲まれた項は有限ゲインによる誤差を示しています。図 8 に積分器のホールド誤差を示します。

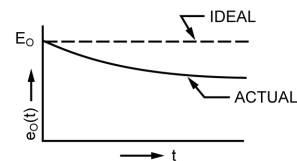


図 8. 積分器のホールド誤差

面白いことに、最小誤差は入力抵抗が短絡状態ではなくオープン・サーキット状態のときのホールド動作中に得られます。この場合の等価回路を図9に示します。

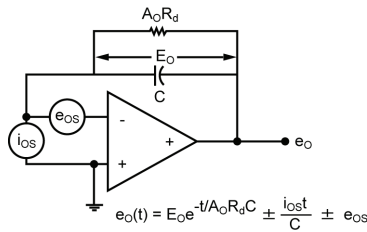


図9. 入力オープン時のホールド回路

等価帰還リーク抵抗は、オープン・ループ入力インピーダンスとゲイン ($A_0 R_d$) によってのみ決まります。また、出力ドリフト・レートはオフセット電流によってのみ決まります。電圧オフセットは固定オフセットとして出力に現れます。

帰還用コンデンサー

現在のオペアンプを性能面からみると、ほとんどの高精度アプリケーションは帰還コンデンサの品質によって精度が制限され

ます。したがって、ここではコンデンサによる制限事項を簡単に説明しておきます。これは、高精度の積分器を設計する際に役立つはずです。

図10のチャートに、各種高品質コンデンサの主な特性を示します。このデータは、積分器アプリケーション向けの高品質コンデンサの製造を専門とするSouthern Electronics社（カリフォルニア州バーバンク）の支援により編集されたものです。コンデンサ仕様の詳細については、同社のアプリケーション・ノート『Capacitor Talk』を参照してください。

スケール・ファクタ精度が重要なアナログ・コンピュータでは、通常、帰還コンデンサを恒温槽に入れます。この場合、ポリスチレン・コンデンサやマイラー・コンデンサの容量値の長期安定性は1年当たり約0.1%です。

絶縁抵抗 — 積分器コンデンサの大きな制限要素の一つは絶縁/リーク抵抗です。この制限要素を規定する仕様は一般にメガオーム-マイクロファラッドで表されますが、それはコンデンサの固定蓄積電圧がその初期値の63%まで放電される時間（秒単位）に相当します。一般に、最大絶縁抵抗は1マイクロファラッド・コンデンサ値の約2倍であり、これはコンデンサ値が小さい絶縁抵抗の制約となります。

Dielectric							
	Mylar	Metalized Mylar	Poly-carbonate	Metalized Poly-carbonate	Polystyrene	Teflon	Metalized Teflon
Temperature Range							
Hi Temp (°C)	+125	+125	+125	+125	+85	+200	+200
Lo Temp (°C)	-65	-65	-65	-65	-65	-65	-65
Temperature Coefficient							
-65°C to 25°C (%)	-6	-6	-1.5	-1.5	+0.9	+1.9	+0.5
25°C to Hi Temp (%)	+12	+12	±0.5	±0.5	-0.6	-3.7	-1.0
Dielectric Absorption							
% @ 25°C	0.1	0.1	.05	.05	.02	.01	.02
Dissipation Factor							
@25°C (%)	0.3	0.5	0.1	0.2	0.02	0.01	0.1
@ Hi Temp (%)	1.2	1.7	0.07	0.6	0.04	0.02	0.2
Insulation Resistance							
@ 25°C (MΩ-μf)	2x10 ⁵	5x10 ⁴	4x10 ⁵	2x10 ⁵	1x10 ⁶	1x10 ⁶	5x10 ⁵
@ Hi Temp (MΩ-μf)	3x10 ²	1x10 ²	1.5x10 ⁴	15x10 ²	7x10 ⁴	1x10 ⁵	2.5x10 ⁴
Approximate Size for 50Vdc							
cubic inch/μf (uncased)	.12	0.06	.19	0.09	.44	1.1	0.39

図10. コンデンサの仕様の比較

絶縁抵抗の影響は、図 6 と 図 9 で $A_o R_p$ または $A_o R_d$ に並列な別の抵抗として表すことができます。したがって、式は修正されています。最良のコンデンサの絶縁抵抗は約 $10^{12} \Omega$ です。これに対し、チョッパ安定化オペアンプはオープン・ループ入力インピーダンス R_d が $10^6 \Omega$ 、オープン・ループ・ゲイン A_o が 10^8 、 10^{14} の等価抵抗を提供します。安価な差動アンプでも、等価リーク抵抗が $10^{10} \sim 10^{11} \Omega$ です。したがって、性能の上限は通常、アンプではなくコンデンサの特性で決まります。

誘電体吸収 — 積分に関する最も重要な動的誤差の一つは、誘電体吸収に起因するものです。このような動的誤差が発生するのは、コンデンサの充放電時にはすべての誘電分極が即座に生じるわけではないためです。したがって、比較的長い時定数で残存電圧がかなり残る可能性があります。このパラメータの仕様では、コンデンサ放電後の約 1 秒間に測定される印加電圧の割合を残留電圧として規定しています。ポリスチレンやテフロンは誘電体吸収による誤差が小さく、測定可能なので、高精度積分器にはほとんどがこれらの材料を使用します。誤差源の分析については、『An Analysis of Certain Errors in Electronic Differential Analyzers II-Capacitor Dielectric Absorption (P. C. Dow 著、IRE Trans., Electronic Computers, Vol. EC-7, pp.17-22, 1958 年 3 月)』を参照してください。

誘電正接 — 誘電体吸収に関連する用語であり、コンデンサにおける全損失の合計を指しています。これは無効容量に対する等価直列抵抗の比率 (%) または損失角度の正接として表されます。誘電正接は AC 積分器にとって、あるいは反復積分が実行されるアナログ・コンピュータにとって重要です。

リーク抵抗

最高性能の積分器では、加算接点のリークまたは帰還コンデンサ両端子間のリーク抵抗は、達成可能な性能を実現する際に大きな役割を果たします。加算接点とそのリードは、リーク経路からグラウンド電位以外の電位までシールドすることがきわめて重要です。たとえば、良質のチョッパ・アンプの優れた積分器性能にとって大きな制約源の一つとなるオフセット電流が約 10^{-11} アンペアとします。15V の DC 電源電圧からのリーク電流を 10^{-11} アンペア未満に抑えるには、絶縁抵抗を 100 万メガオームより大きくしなければなりません。しかし、ほとんどのワイヤやコネクタの絶縁抵抗はこの条件を満たしていません。加算接点とそのリードを適正にシールドすれば、個々のアク

ティブ・ソースからのリーク電流はグラウンドにシャントされ、それらの電位から加算接点までの間は非常に強い絶縁抵抗が効果的に形成されます。

また、積分器のリセットに用いる帰還コンデンサのクランプ回路のリーク抵抗は、帰還コンデンサの実効リークを計算するときに見落とさないようにしてください。たとえば、コンピュータ・グレードのコンデンサのリーク抵抗は $10^{12} \Omega$ (typ) ですが、この値はリレーや固体スイッチのリーク抵抗に比べると無視できる程度の大きさです。

AC積分器

アプリケーションによっては、かなり長い時間 AC 信号を積分する必要のある場合があります。出力を周期的にゼロにリセットできないことがあります。この場合は、図 11 に示すように、DC クローズドループ・ゲインを制限することで DC オフセット問題をある程度軽減できます。

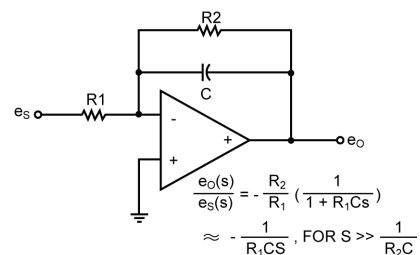


図 11. AC 積分器

図 12 に、この回路のクローズドループ応答を示します。

$1/R_2C$ より大きな周波数の場合、応答は $1/R_1C$ のゲインをもつ理想的な積分器の応答に近くなります。たとえば、コーナー周波数 $1/R_2C$ から 1 デイケード離れた信号周波数 ω_s の場合、ゲイン誤差はわずか 0.5% となります。

R_2 で DC ゲインを制限した場合の利点は、アンプ出力が飽和状態に陥らないということです。出力はそうならず $e_o = -R_2/R_1 (e_{os} + R_{i_{os}})$ の DC 値をとります。この出力で AC 出力信号のダイナミック・レンジは制限されますが、オフセットが十分に小さいアンプを選択すれば、多くの AC 積分器アプリケーションに適した動作が得られます。

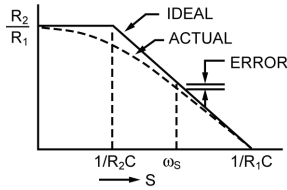


図 12. AC 積分器のゲイン応答

超低周波の AC 信号を積分する場合、前出の回路は大きな DC ゲインが必要となります。その結果、出力は飽和状態となります。この場合は、次の回路を使って DC ゲインを低減できます。

正確に積分できる最小周波数は、 C_2 のサイズによって制限されます。コーナー周波数 ω_1 と ω_2 の一般式はかなり複雑であり、実際に、その周波数は試行錯誤の計算でしか求めることができません。最小信号周波数 ω_3 は ω_2 の 10 倍以上となります。

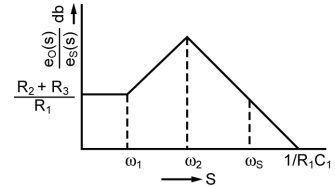
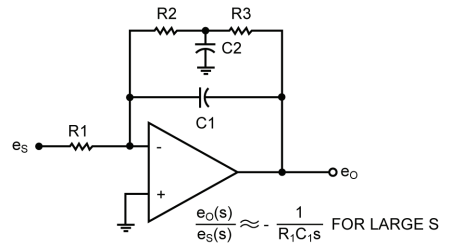


図 13. 低周波 AC 積分器