

低周波回路と高周波回路のグラウンド設計

効果的な設計のためにグラウンド経路と信号経路を理解すること

電流は、抵抗ではなくインピーダンスが最小の経路に流れる

Paul Brokaw、Jeff Barrow 共著

ノイズを低減させることは、ほとんどの電子回路システムにおいて設計上の大きな課題になっています。消費電力の制約、周囲温度の変化、サイズの制約、速度と精度の条件のほかに、「いろいろな種類のノイズ」という要素も、設計を最終的に成功させるために解決すべき問題になります。ここでは、外来ノイズ（信号と一緒に外部から入ってくるもの）を低減するためのテクニックは取り上げません。一般的にこのようなノイズは、設計技術者が直接コントロールできないものであり、フィルタ処理、アナログ信号処理、デジタル信号処理アルゴリズムなどの手段により、設計上でシステムの動作として対処する必要があるからです。

これに対し、内部ノイズ（回路内またはシステム内で発生したり結合で生じるノイズ）による信号の劣化を防ぐことは、設計技術者においての本来の責任範囲です。設計サイクルの初期段階でノイズ源について十分に考慮しないと、最終的な性能が低下し、高分解能システムの本来の力を発揮できないことがあります。少なくとも、コストのかかる設計のやり直しや修正が必要になります。設計上でノイズとシステム動作を関連づける要素は、すでに論じられてきています^{1,2,3,4,5}。ここでは、システムの回路図、回路構成、「グラウンド」の最終レイアウトが、内部で生成されたノイズに結合することを最小限に抑えるうえで、きわめて重要な役割を果たすことについて論じることにします。

ノイズにきちんと対処するには、部品の実際の内部ピン接続（ピン接続を論理的に考えた場合と比較して）、基準電位であるグラウンドを考慮した信号配線のための推奨回路図、ノイズの生成とピックアップに対するレイアウトの影響などいくつかの観点で考える必要があります。考慮すべきこれらの点は、ノイズ自体の帯域幅に応じて、部分的に重複する2つの領域に分けられます。グラウンド・ノイズ源、問題、解決策が「低周波と高周波で異なる」ことです。ただし幸いにして、ひとつの帯域で良好なグラウンド方式は、もうひとつの帯域側でも基本的に有効な方法になります。

¹ 「Noise and Operational Amplifier Circuits」 D. H. Sheingold, L. R. Smith 著, Analog Dialogue 3-1 (1969)
² 「Understanding Interference-Type Noise」 Alan Rich 著, Analog Dialogue 16-3 (1982)
³ 「Shielding and Guarding」 Alan Rich 著, Analog Dialogue 17-1 (1983)
⁴ 「Ground Rules for High-Speed Circuits」 Don Brockman, Arnold Williams 著, Analog Dialogue 17-3 (1983)
⁵ 「Amplifier Noise Basics Revisited」 Al Ryan, Tim Scranton 著, Analog Dialogue 18-1 (1984)

オペアンプの基本的な配線

オペアンプに関してはすでに数多く論じられていますが、理想的なオペアンプは一对の差動入力と1個の出力を備えた3端子デバイスとされています（図1）。しかし出力電圧は何らかの基準電位に従って出力される必要があり、アンプの出力電流がアンプ自体に戻る閉回路も必要です。理想的な差動オペアンプの同相ノイズ除去性能は無限大であり、入力と出力それぞれの基準電位とは無関係です。入力端子は高い入力インピーダンスなので出力電流がここに戻ってくることはありません。したがって、4番目の端子が必要になり、これが「グラウンド」と呼ばれることもあります。

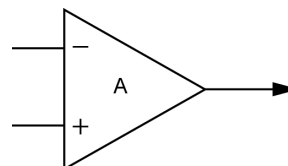


図1. 通常の「3端子」オペアンプ

もちろん、ほとんどのICオペアンプにはグラウンド端子はありません。この4番目の端子は、一般に両電源（これは他のアンプやシステムの電源になることもあります）の共通端子への接続と見なされています。実際に低周波数領域ではこの4番目の端子は目的の機能を果たしますが、アンプの周波数帯域幅内のすべてにおいて、電源ラインがアンプに対して低いインピーダンス（理想的にはゼロ）を示さなければこれは成り立ちません。この条件が満たされないと、電源端子のインピーダンスが信号ラインに影響を及ぼし、ノイズ、過渡応答の不具合、さらには発振などさまざまな問題が発生します。

オペアンプは差動信号を完全に受け入れ、この4番目の端子の電位を基準にして、差動信号をシングルエンド出力に変換させなければなりません。図2に基本的かつ汎用のオペアンプ・ファミリーにおける、実際の信号の流れを示します。アンプ出力と負側電源ライン間の電圧差の大部分は、積分アンプ（オープンループ周波数応答特性を決定づけるもの）の補償コンデンサの両端に現れます。負側電源電圧が急激に変化した場合、積分アンプの出力はこのアンプのプラス側入力端子のレベル変化にすぐに反応します。一般的なクロズドループ構成のオペアンプでは、入力の誤差信号が出力を復元しようとはしますが、この回復速度は積分アンプの帯域幅によって制限されます。

技術情報誌 Analog Dialogue Volume 23, Number 3, 1989 に掲載

この種のアンプは低周波での電源電圧変動除去性能が優れている場合がありますが、負電源への除去性能は高い周波数では限界があります。出力レベルの復元はアンプのゲインに依存するため、クローズドループ帯域幅を上回る周波数の信号の場合、負電源除去性能はゼロに近づきます。その結果、高速・高レベルの回路が、負側電源ラインの共通インピーダンスを通して低レベルの回路に影響を与えるようになってしまいます。

対策としてデカップリングが推奨できますが、良い方法はありませんが、悪い方法もたくさんあります。電源の近くにデカップリング・コンデンサを配置し、数センチもの配線で離れたオペアンプに接続させることがあります。これはまるで高い Q のコイルのようです。デカップリング・コンデンサをオペアンプの近くに置いて、問題は解決されないことがあります。デカップリングするために、このコンデンサの他端を、なんだか良く判らないまま「グラウンド」らしいものに接続しなければならないからです。

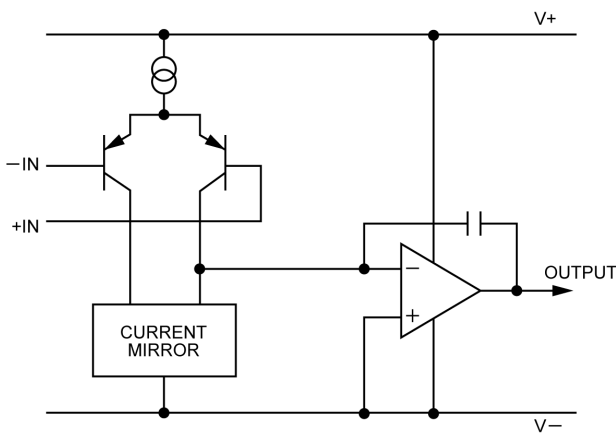


図 2. 「実際の」オペアンプの簡略図

図 3* にデカップリング・コンデンサを接続し、負側電源ラインとグラウンド間の暴れを最小限に抑える方法を示します。負荷電流の高周波成分はこの経路を流れ、グラウンドを介した経路には通りません。図 4 はさらに複雑な事例で、前段のオペアンプは仮想グラウンド（後段のアンプの入力端子）に接続された負荷を駆動し、実際の負荷電流はグラウンドを流れません。その代わりに、後段のアンプの正側電源端子からこの電流が流れる必要があります。そこで前段のアンプの負側電源端子を後段のアンプの正側電源端子にデカップリングすると、グラウンドのパターンや信号の経路に影響を与えず、高速の信号電流ループ経路が実現できます。

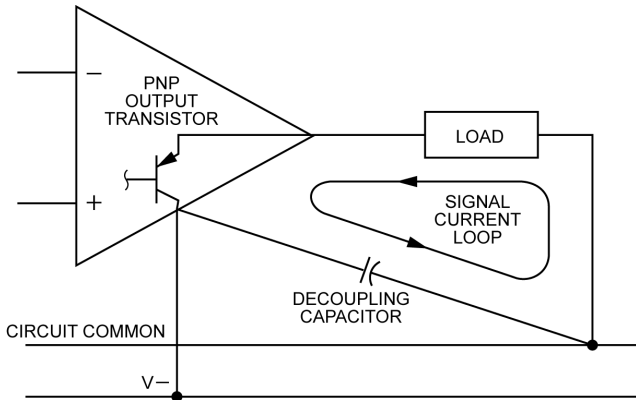


図 3. 接地された負荷の場合の負電源のデカップリング

* これらのイラストの多くについては、無料のアプリケーション・ノート「An I.C. Amplifier User's Guide to Decoupling, Grounding, and Making Things Go Right for a Change」(Paul Brokaw 著) をご覧ください。

これらの電流が低レベル信号と同じグラウンド経路にあると、問題を生じることがあります。図 5 に不注意なグラウンド設計が原因で、負荷抵抗を駆動するアンプの性能が低下してしまう例を示します。負荷電流は電源から供給されたものがアンプで制御され出力されます。A 点と B 点間が電源配線のグラウンドである場合、A 点に電源からの配線を接続すると、負荷電流が低レベル入力信号配線の一部を共有して流れることになります。

たとえば 15cm の AWG22 ワイヤは約 $8m\Omega$ の抵抗になり、電流により電圧を生じます。10V の出力振幅で $2k\Omega$ 負荷の場合、 ΔV と記された 2 点間に約 $40\mu V$ が生じます。この電圧は非反転入力に直列な電圧源に相当し、大きな誤差を引き起こすことがあります。ゲインが 800 万のアンプだと、この $1/250,000$ の正帰還によって、アンプのオープンループ・ゲイン単独での誤差と比べてもゲイン誤差が 32 倍も悪化します。さらにこの正帰還によって、大きなクローズドループ・ゲイン（一般に $>250V/mV$ ）の場合、回路がラッチアップまたは発振することがあります。そこで電源を B 点に接続すれば、この正帰還インピーダンスをなくすることができます。

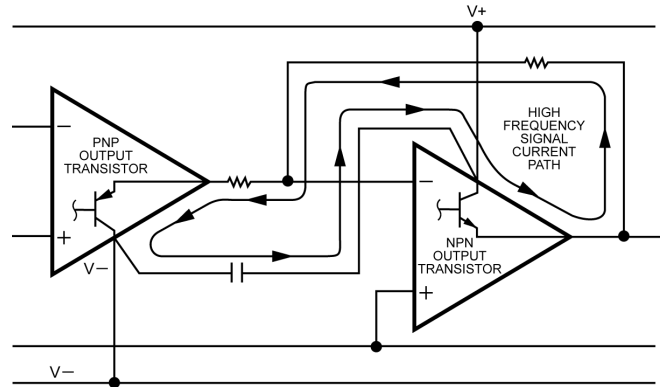


図 4. 「仮想グラウンド」負荷の場合の負電源のデカップリング

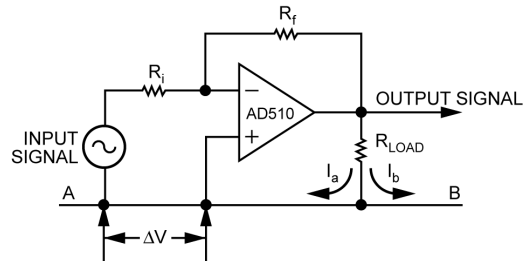


図 5. この問題を最小限に抑制するための正しい電源接続

しかし現実のシステムでは事態はもっと複雑です。図 5 でフローティングになっている入力信号源自体も、電源に戻す必要のある電流の生成源になることがあります。電源のリターン接続経路を B 点に接続した場合でも、 R_f 以外の抵抗に流れる電流がアンプの動作に干渉を与えることがあります。図 6 のようにアンプがカスケード接続された場合を考えると、共通インピーダンスのフィードバックによる結合なしに、負荷抵抗を駆動できるよう示しています。出力電流は負荷抵抗を流れ、電源共通（コモン）接続を通じて電源に戻ります。また図 4 と同じようにバイパス経路が接続されており、入力抵抗と帰還抵抗に流れる電流はアンプを通じて電源から供給されます。アンプの入力電流のみが信号共通（コモン）接続経路に流れ、通常その影響は十分に小さく、無視することができます。

本来の負荷が何で、信号電流がどこを流れるかを理解しておくことは大切です。回路を最適化するポイントは、これらの電流をグラウンド経路やそのほかの信号経路から迂回させてバイパスさせることです。2 点間の電圧（より正確には電位差）により電流の流れが定義されます。

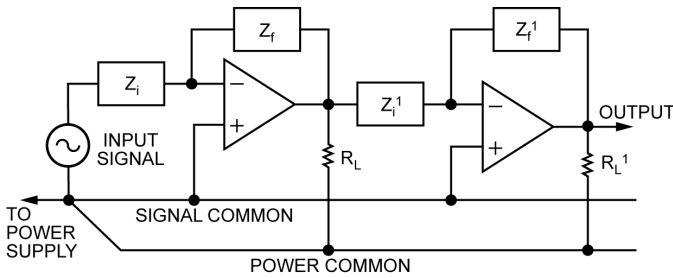


図 6. 共通インピーダンスの結合の抑制

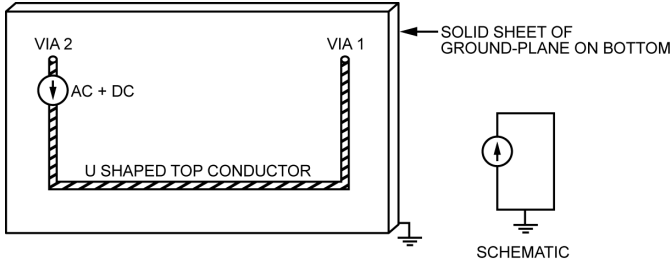


図 7. PC ボード上に U 字形パターンがあり、グラウンド・プレーンにリターン経路がある場合の電流源の回路図とレイアウト

高周波動作のグラウンド設計

グラウンド・プレーン（べた）層は、コンバータ、リファレンス、その他のサブサーキットの基準電位の層になりますが、電力系と信号電流の最適なリターン経路であるとも言われます。しかしグラウンド・プレーンを積極的に活用しても、AC 回路に対しての高品質な基準グラウンド電位が得られるわけではありません。

図 7 のような簡単な回路が 2 層プリント基板上にあるとします。表層に AC/DC 電流源があり、ビア 2 でグラウンド・プレーンに接続され、さらに U 字形銅パターンを経由しビア 1 からグラウンド・プレーンに接続されています。どちらのビアも基板を貫通しグラウンド・プレーンに接続しています。理想的にはインピーダンスはゼロであり、電流源の両端に生じる電圧もゼロになるはずですが。

この簡単な回路図では、問題点の本来の細かいところを見出すことがほとんどできません。しかし電流がグラウンド・プレーン内をビア 1 からビア 2 までどのように流れるかを理解すれば、実態が明らかになり、高周波レイアウトでグラウンド・ノイズを回避する方法がわかります。

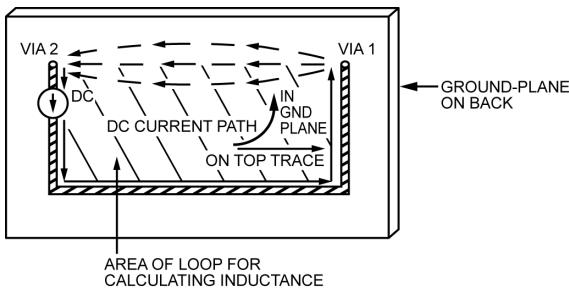


図 8. 図 7 の DC 電流パス

DC 電流は図 8 のように流れ、ビア 1 からビア 2 間で最も抵抗が小さい経路を選択すると考えられるでしょう。若干電流は広がりますが、この経路から大きく離れて流れる電流はほとんどありません。AC 電流はこれとは対照的に、この最も抵抗が小さい経路ではなく、最もインピーダンスが小さい経路を選択します。インピーダンスが最小になるのはインダクタンスに依存します。

インダクタンスは、電流の流れによって形成されるループの面積に比例します。この関係は図 9 に示す右手の法則と磁界によって説

明できます。ループ内ではそのあらゆる部分で電流により磁力線が生成され、それが構造的に重なっていきます。しかし、ループから離れた磁力線が互いに打ち消しあうように作用します。したがって磁界は主にループ内に制限されます。ループが大きいほどインダクタンスが大きくなります。つまり同じ電流レベルに対し、大きい磁気エネルギー (Li^2) を持つことになり、インピーダンスも大きくなり ($X_L = j\omega L$)、その結果同じ周波数でも生じる電圧降下が大きくなってしまいます。

電流はグラウンド・プレーン内ではどのような経路を選択するのでしょうか。もちろんインピーダンスが最小の経路です。表面の U 字形のパターンとグラウンド・プレーンによって形成されるループを考え、抵抗成分を無視すれば、高周波 AC 電流はインダクタンスが最小（つまり面積が最小）の経路を通ります。

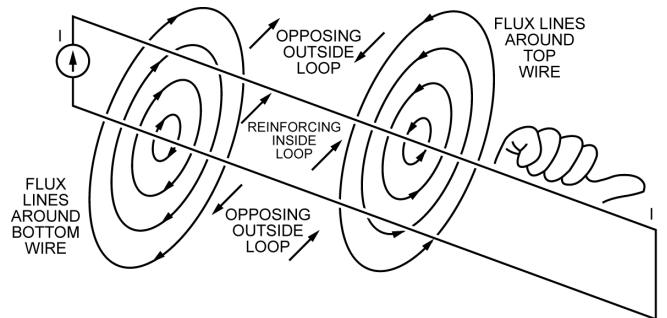


図 9. 磁力線と誘導ループ

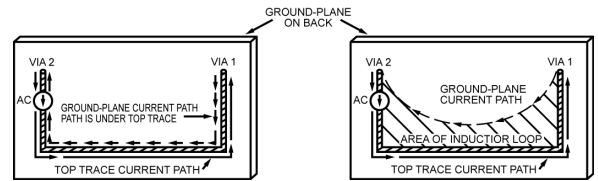


図 10. AC 電流パス：グラウンド・プレーンに抵抗がない場合（左）と抵抗がある場合（右）

この簡単な例では、面積が最小のループは、U 字形の表層パターンと、その真下のグラウンド・プレーンだということは明らかです。図 8 は DC 電流の経路でしたが、図 10（左）の場合、グラウンド・プレーンに AC 電流が流れる経路も、その大部分はループ面積が最小となる U 字形の表層パターンの真下になることがわかります。しかし同図（右）のように実際にはグラウンド・プレーンに存在する抵抗によって、低い周波数から中くらいの周波数での電流の流れは、表層パターンの真下と、ビア同士を結ぶ線との間のごく近くなります。しかしリターン経路が表層パターンのほぼ下になるのはせいぜい 1~2MHz の低い周波数止まりです。

レイアウトの問題を回避するには、グラウンド・プレーンにおけるリターン電流パスについて理解したら、レイアウト問題が発生しそうな場所を特定し修正することです。たとえば図 11 ではパス A が重要であることがわかります。したがってこの経路をできる限り短くし、デジタル・ラインから離し、ビアをなくす必要があります。パス B はそれほど重要ではありませんが、A と交差しなければなりません。一般的には A の下でグラウンド・プレーンをカットし、B を 2 つのビアを経由して A の下で通します。

しかしこのとき、2 つの信号のグラウンド・リターン経路にインダクタンスが発生してしまいます。グラウンド・プレーンが遮断されると、2 つのリターン経路のループが大きくなるためです。パス A は高周波信号が通っているため、グラウンド・プレーンの開口部の両端に誘導電圧による電圧降下が生じます。ECL 信号や TTL 信号では、この電圧降下が数百 mV を超えることがあり、10MHz の

12ビット・コンバータや、20MHzの8ビットのユニットの性能を著しく低下させることがあります。簡単な解決策としては、グラウンド・プレーンのカットした部分の間にワイヤを直接配線し、実際のループ面積を小さくすることです。

もう1つの重要な問題は電力配分です。電源ラインはできるだけ特性インピーダンス ($\sqrt{L/C}$) を低くする必要があります。このL/Cの比率を小さくするには、グラウンド・プレーン層を電源ライン層の下に配置してインダクタンスLを減らし、容量Cを増やします。また前述のように、重要な箇所にバイパス・コンデンサを適切に配置することで、容量をさらに増やすこともできます。たとえば電源ピンに0.1 μ Fコンデンサを取り付けてインピーダンスを減らす対処をするだけでも、30nHのインダクタンスを持つ電源ラインにおける信号遷移による過渡変動を約3MHz程度の振動にまで減衰できるでしょう。

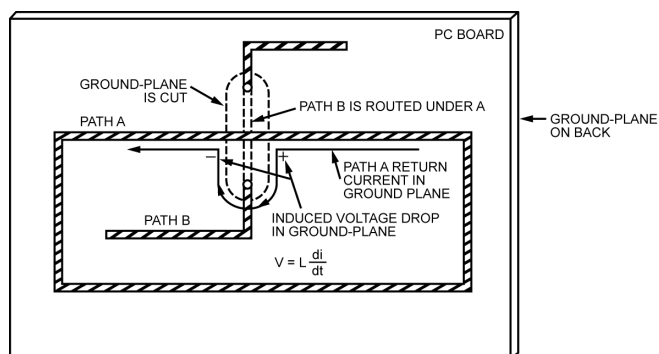


図 11. 代表的な PC レイアウト問題 (パスが交差している)