

CMOS DAC とオペアンプをベースにしたプログラマブル・ゲイン・アンプ Part II

著者: John Wynne

本稿では、PGA システムの構成要素を決定するゲインという観点から、デュアル CMOS D/A コンバータ (DAC) の性能について調べます。シングル DAC ソリューションと比べた場合、デュアル DAC 回路が、より広いダイナミック・レンジで高い精度を実現できることについて詳しく説明します。デュアル DAC 方式の場合、必要なシステム・ゲインは 2 つの回路段にまたがりま。その結果、全システム・ゲインが各回路段の積として得られますが、総ゲイン誤差は実質的に各ゲイン誤差項の合計のみとなります。

本アプリケーション・ノート¹の Part I では、オペアンプの帰還ループ内で CMOS DAC をプログラマブル抵抗として使用するときの誤差源について説明しました。また、14 ビット DAC「AD7534 (AD7538)」ベースの PGA 回路と 12 ビット DAC「AD7545」ベースの PGA 回路の詳細な性能比較も行いました。

デュアル DAC 回路では DC オフセット誤差項が強調されます。最初の回路段のオフセット誤差は第二の回路段のゲイン設定で乗算されます。その結果、ゲイン設定が大きいと、第二回路段の出力で DC オフセット電圧がかなり大きくなる (1/3V 以上) 可能性があります。このため、デュアル DAC PGA システムは AC 信号のみに適合するとみなされており、ここに示す分析でもその点に焦点を当てています。

積分非直線性を低減する方法はありませんが、DAC ゲイン誤差はゼロになるよう調整することはできるので、最初に DAC の非直線性のみ起因するゲイン誤差 (%) とシステム・ゲインの両方について検討し、次に DAC ゲイン誤差項を加えることをお勧めします。続いて、デュアル DAC の性能と、本アプリケーション・ノートの Part I で取り上げたシングル 12 ビット/14 ビット DAC システムの性能を比較します。

デュアル DAC ソリューション

シングル・パッケージ内で 2 個の DAC を (当然オペアンプも 2 個) 使用できる場合、シングル PGA 段に必要な PC ボード領域と比べて、それほど多くの領域を占有せずに、直列の 2 個の単純な PGA 回路の使用が可能です。図 1 にこの回路を示します。各部のゲイン誤差やオフセット誤差は、全体の誤差に影響を与えます。ゲイン誤差は、DAC の積分非直線性や DAC のゲイン誤差によるものです。オフセット誤差は、DAC のリーク電流、オペアンプの入力バイアス電流および入力オフセット電圧に起因します。

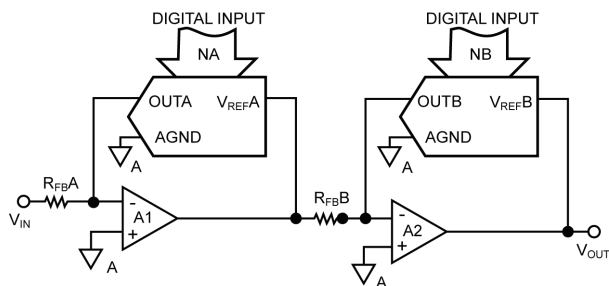


図 1. デュアル DAC PGA 回路

デュアル DAC PGA の基本式

直線性誤差のみを考慮する場合、単一回路段のゲインは次式で与えられます。

$$\frac{V_{OUT}}{V_{IN}} = -\frac{2^n}{(N+x)} \quad (1)$$

ここで、

n は DAC の分解能です。

x は DAC の直線性誤差 (LSB) です。

N は 10 進数の DAC コードです。

直列の 2 個の類似回路段がある場合、ゲインは次のように表されます。

$$\frac{V_{OUT}}{V_{IN}} = \left(\frac{2^n}{N_A + X_A} \right) \cdot \left(\frac{2^n}{N_B + X_B} \right) \quad (2)$$

ここで、下付き文字の A と B はそれぞれ DAC A (最初の回路段)、DAC B (2 つ目の回路段) を示しています。

DAC ゲイン誤差がゼロと仮定した場合、単一回路段のゲイン誤差 (%) は次式で表されます。

$$E(\%) = -\left(\frac{X}{N+X} \right) \cdot 100\% \quad (3)$$

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

2つの直列の回路段では、一般に総ゲイン誤差を両回路段の合計とみなすことができます。最初の回路段のゲイン誤差が $E_A\%$ 、第二回路段のゲイン誤差が $E_B\%$ の場合、全システム・ゲイン誤差は次式で求めることができます。

$$\text{Error}(\%) = \left(E_A + E_B + \frac{E_A \cdot E_B}{100} \right) \% \quad (4)$$

高精度 PGA システムの場合、これらの各ゲイン誤差項 E_A と E_B は、一般に 1%以下に維持されます。これらの条件下では、式 4 を次のように簡素化できます。

$$\text{Error}(\%) = (E_A + E_B) \% \quad (5)$$

式 3 を使用すると、次のようになります。

$$\text{Error}(\%) = \left(\frac{X_A}{N_A + X_A} + \frac{X_B}{N_B + X_B} \right) \cdot 100\% \quad (6)$$

式 2 は全システム・ゲインが各ゲイン段の積であることを示しており、式 6 は総ゲイン誤差 (%) が実質的には各ゲイン誤差項の和であることを示しています。したがって、デュアル DAC システムは、シングル DAC ソリューションよりも広いダイナミック・レンジで高い精度を実現できます。さらに式 2 から言えるのは、DAC の N_A および N_B コードにおける唯一の制約は、それによってシステム全体としてのゲインが得られるということです。一方、式 6 に示されているように、ゲイン誤差をできる限り小さくするには、両 DAC へのコードを互いにできる限り同じ値にする必要があります。この 2 つの条件を同時に満たすことにより、最適なシステムが得られます。

単一回路段のゲイン誤差 (%) を与える式 3 は、補足の項を単純な式に追加する場合に使用でき、ユニティ以外のすべての設定に適用できます。誤差項の追加が必要となるのは、R-2R ラダー終端抵抗で 1LSB 相当の信号電流が失われ、理論上可能な $X1$ (すなわち 1 倍) のゲインを実現できないような場合です。

したがって、ユニティ・ゲインを設定した (全ビット 1 の設定) 各 DAC では、1LSB (パーセンテージで表わされる) に相当する誤差項を総誤差項に追加しなければなりません。デュアル DAC システムでは、各ゲイン段がユニティ・ゲインに設定されている場合を除き、ゲイン設定のすべての組合せに対して式 6 を適用できます。各ユニティ・ゲインの設定には、余分な誤差項を追加する必要があります。

直線性誤差と DAC ゲイン誤差の両方が含まれる場合、単一回路段のゲインは次式で表わされます。

$$\frac{V_{\text{OUT}}}{V_{\text{IN}}} = \frac{2^n}{(N+X)(1+\Delta)} \quad (7)$$

$$\text{ここで、}(1+\Delta) = \frac{R_{\text{FB}}}{R_{\text{DAC}}}$$

直列の 2 つの類似した回路段がある場合、システム・ゲインは単に 2 つの回路段ゲインの積となります。

$$\frac{V_{\text{OUT}}}{V_{\text{IN}}} = \left(\frac{2^n}{(N_A + X_A)(1+\Delta_A)} \right) \cdot \left(\frac{2^n}{(N_B + X_B)(1+\Delta_B)} \right) \quad (8)$$

各回路段のゲイン誤差 (%) は次式で表わされます。

$$\text{Error}(\%) = \left\{ \frac{\Delta}{(1+\Delta)} + \frac{1}{(1+\Delta)} \left(\frac{X}{(N+X)} \right) \right\} \cdot 100\% \quad (9)$$

式 4 および式 5 との関連で前に用いた論法からすると、この場合の総ゲイン誤差 (%) は各誤差項の和となります。

$$\text{Error}(\%) = \left\{ \left[\frac{\Delta_A}{(1+\Delta_A)} + \frac{1}{(1+\Delta_A)} \left(\frac{X_A}{(N_A + X_A)} \right) \right] + \left[\frac{\Delta_B}{(1+\Delta_B)} + \frac{1}{(1+\Delta_B)} \left(\frac{X_B}{(N_B + X_B)} \right) \right] \right\} \cdot 100\% \quad (10)$$

前と同様、各ゲイン段がユニティ・ゲインに設定されている場合を除き、ゲイン設定のすべての組合せに対して式 10 を適用できます。各ユニティ・ゲインの設定に対し、補足の 1LSB (パーセンテージで表わされる) を出力誤差項に追加する必要があります。

誤差の比較

DAC の非直線性のみに基づいてシングル 12 ビット/14 ビット DAC の性能とデュアル DAC の性能を比較し、そのあとに DAC ゲイン誤差項を追加するのは有効な方法です。付録 1 の表 A1 には、選択したゲイン設定の組合せに対して算出した式 6 の値を示しています。表 A2 には DAC ゲイン誤差の影響を記載しており、式 10 の算出値を示しています。また、その表には選択したゲイン設定に対して各 DAC の個々のコードも示しています。2 つの表の誤差項の計算は、AD7547LN ベースの PGA システムを対象にしたものです。AD7547LN は十分な並列負荷を備えたデュアル 12 ビット DAC で、24 ピン・スキニー・パッケージに収容されています。このデバイスの関連仕様を表 I に示します。ゲイン誤差分析で得られた式 6 と式 10 は、デュアル DAC システムの各グループ・ゲインがわずかな誤差も引き起こさないほど大きなゲインであると仮定しています。極端なゲイン設定は実際に使用されないため、この仮定は DC および低周波数にとって有効です。このテーマについては後で詳しく解説します。

Parameter	AD7547LN $T_A = +25^\circ\text{C}$	AD7547LN $T_A = +70^\circ\text{C}$	AD7547UQ $T_A = +125^\circ\text{C}$
Resolution, n	12 bits	12 bits	12 bits
Relative Accuracy, X (Integral Linearity)	$\pm 1/2\text{LSB max}$	$\pm 1/2\text{LSB max}$	$\pm 1/2\text{LSB max}$
Gain Error	$\pm 1\text{LSB max}$	$\pm 1\text{LSB max}$	$\pm 2\text{LSB max}$
Output Leakage, I_{LKG}	10nA max	150nA max	250nA max
Input Resistance	20k Ω max	20k Ω max	20k Ω max

NOTE: $V_{\text{DD}} = +12\text{V to } +15\text{V}$

表 I. AD7547 デュアル DAC の仕様 ($T_A = +25^\circ\text{C}$, $+70^\circ\text{C}$, $+125^\circ\text{C}$)

図 2 のプロットは、比較対象である 3 種の PGA 回路の DAC 非直線性誤差によってのみ生じた結果を示しています。予想どおり、デュアル DAC 回路は最小ゲインで最大の誤差を発生させます。デュアル 12 ビット DAC 回路は、1~4 のシステム・ゲインで最大の誤差を発生させます。しかし、ゲインが 4 の場合、そのデュアル回路の性能はシングル 12 ビット DAC 回路の性能と同じであり、ゲインが大きくなるとその性能も増大します。ゲインが 64 のとき、その性能はシングル 14 ビット DAC 回路の性能と

同じであり、ゲインがそれより高くなると性能も増大します。しかし、デュアルDAC回路のゲインとゲイン誤差 (%) の関係を示した 図 2 の直線は理想状態を示しています。総ゲイン誤差は 2 つのDACコードに依存しているため、同じゲインを与える多くのコードの組合せが存在しますが (選択した許容範囲内で)、値の大きく異なる各種のシステム・ゲイン誤差が発生します。たとえば、ゲイン 64 が必要な場合、デュアルDACシステムにおける最良のゲイン設定は、8 倍 × 8 倍にすることです。図 2 により、この場合は約 ±0.2% のシステム誤差となります。

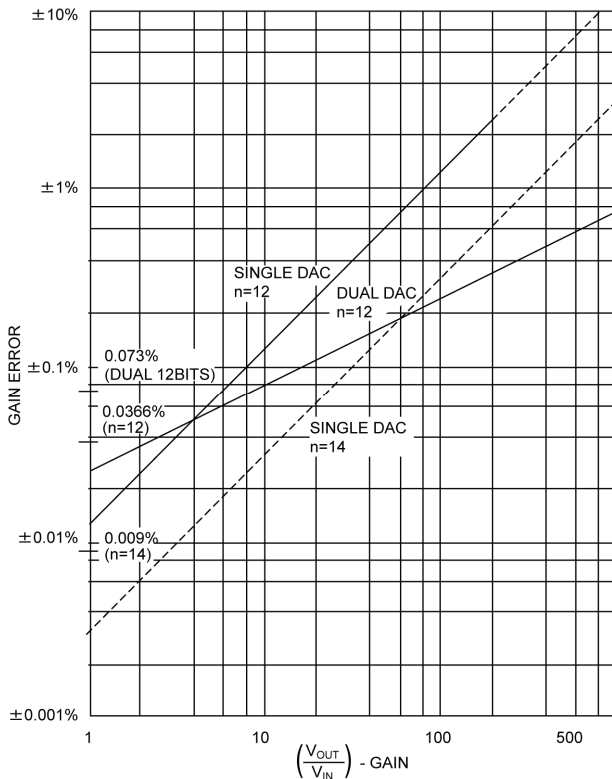


図 2. シングル/デュアル 12 ビット分解能、12 ビット精度 DAC と 14 ビット分解能、14 ビット精度 DAC をベースにした PGA システム間の最悪時ゲイン誤差の比較。DAC ゲイン誤差はすべてのケースでゼロという前提です。

1 倍 × 64 倍というゲイン設定を選択した場合、システム誤差は ±0.8% (4 倍増) をわずかに上回ります。今回のような例では、最適なコードは明らかです。しかし、2 の整数倍でない (あるいは整数倍でさえもない) ような、ほかの多くのシステム・ゲインの事例においては、よく注意して最適なゲイン分布を選択する必要があります。

表 A2 の誤差の計算値は、本アプリケーション・ノート、Part I のシングル 12 ビット DAC (AD7545LN) およびシングル 14 ビット DAC (AD7534KN) に関する計算値とともに 図 3 にプロットされています。デュアルDACのゲイン誤差をかなり厳しめにすると、システムですべてのゲイン設定におけるゲイン誤差がシングル 12 ビットDACの誤差より小さくなる可能性があります。

動的問題 安定性と補償

DAC対応PGAシステムの動的性能を明らかにするために、シングルDACとオペアンプの等価回路を 図 4 に示します。プログラ

マブル回路ゲインは、オペアンプ周りの抵抗 R_{FB} と R_{EQ} で設定するのが理想的です。しかし、実際のDACでは、オペアンプのサミング・ポイントとグラウンドの間にコード依存抵抗 R_0 とコード依存コンデンサ C_0 が挿入されます。容量 C_2 は、浮遊容量と等価帰還抵抗の両端に加えた全容量を合計したものです。一般にこの等価抵抗はかなり大きくなるので、周波数応答に対する C_2 の影響は非常に重要です。

オープン・ループ・ゲインが単一の主要ポールにより減衰する、内部補償オペアンプを使用すれば、理想的なPGAシステムの 3dB 帯域幅を一定のゲイン帯域幅積から簡単に求めることができます。たとえば、図 4 の A1 のゲイン帯域幅積が 1.10^6 であれば、1 倍の反転ゲイン ($1/\beta=2$) の場合、理想的なクロード・ループ帯域幅は 500kHz となります。これに対し、64 倍のゲインの場合は、約 15kHz と小さくなります。このように、信号帯域幅はゲインに反比例します。

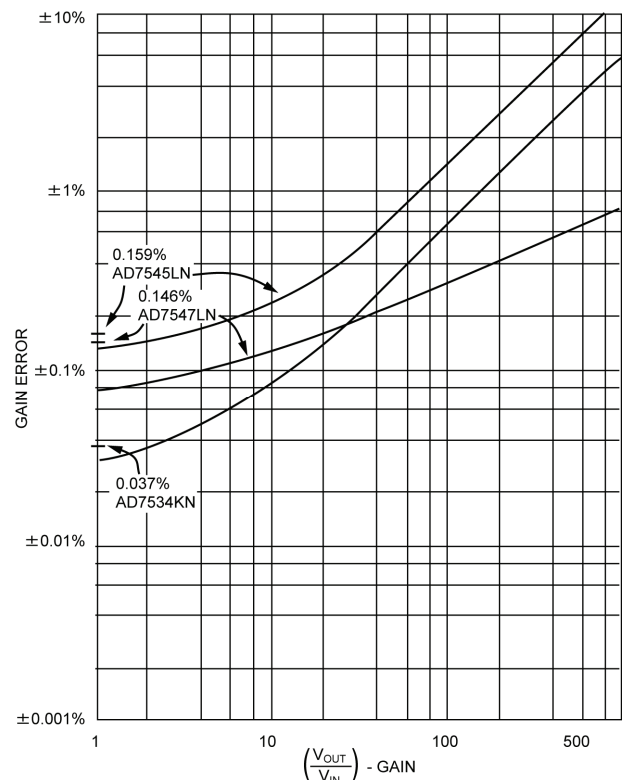


図 3. DAC ゲイン誤差が含まれる場合の 3 つの PGA システムにおける最悪時ゲイン誤差 (理論値) の比較

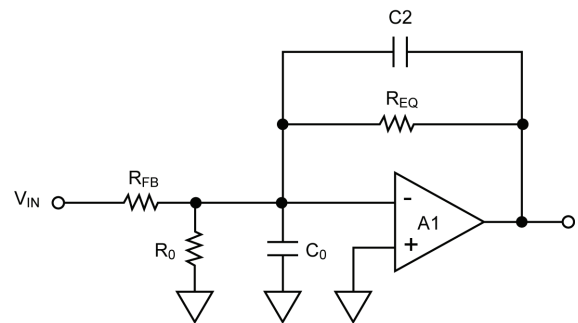


図 4. 単一回路の等価回路

DAC の出力容量 C_0 が R_{EQ} と組み合わせると、クローズド・ループ応答に余分なポールが加わります。このポールのために位相シフトを余分に追加することになり、-6dB/オクターブのループ・ゲイン・スロープや-90°の最大位相シフトという特性によって得られていた、条件に左右されない安定性が損なわれてしまいます。追加位相の量は、安定状態のユニティ・ループ・ゲイン周波数を基準にしたスプリアス・ポールの位置によって決まります。位相余裕が小さくなり過ぎると、システムの安定性が損なわれ、ゲインのピーキングが増大します。AC 信号を増幅する PGA システムでは、ゲインのピーキングが大きな誤差源となります。帰還抵抗 R_{EQ} の両端に位相リード・コンデンサ C_2 を接続すれば、ループ安定性の余裕を回復でき、ゲイン・ピーキングを除去することができます。

C_2 の値は、システム性能面で重要な役割を果たします。 C_2 が小さすぎると (C_0 を基準) ゲイン・ピーキングが生じ、 C_2 が大きすぎるとアンプの帯域幅が必要以上に小さくなります。リード容量 C_2 に対する C_0 の比は、クローズド・ループ・ゲインより 1 小さい値が理想的です。固定のゲイン設定の場合は、この条件を満たすことができます。しかし、新しいゲイン設定は例外なく C_2 の最適値が変わります。実際、最良のソリューションは、ゲイン・ピーキングが最も起こりやすいゲイン設定 (1 倍のゲイン設定) に対して、その現象を避けられる C_2 値を選択することです。図 4 の回路の場合、クローズド・ループ・ゲインは次式で表すことができます。

$$\frac{1}{\beta} = \frac{\left\{1 + R_{EQ} \left(\frac{1}{R_{FB}} + \frac{1}{R_0} \right)\right\} \left\{1 + S(C_0 + C_2)R\right\}}{1 + SC_2 R_{EQ}} \quad (11)$$

低周波数の場合、クローズド・ループ・ゲインは回路の DC ノイズ・ゲイン G_N と同じになります。

$$G_N = 1 + R_{EQ} \left(\frac{1}{R_{FB}} + \frac{1}{R_0} \right) \quad (12)$$

1 倍のゲイン設定では、 R_{EQ} は R_{FB} および $R_0 = 3 R_{FB}$ とほぼ同じになります (AD7547 の場合)。式 12 でこれらの値を使用すると、理想的な C_0/C_2 比は次のようになります。

$$\frac{C_0}{C_2} = G_N - 1 = \frac{1}{\beta} - 1$$

または、 $C_2 = 0.75 C_0$ (13)

ユニティ以外のゲイン設定では、ゲイン・ピーキングの発生を抑えるために C_2 の値が必要以上に大きくなります。この欠点は、全帯域幅が小さくなって設定時間が長くなることです。

小信号の帯域幅

図 4 の出力信号電圧は次式で表すことができます。

$$V_{OUT} = -V_{IN} \cdot \frac{R_{EQ}}{R_{FB}} \left(\frac{1}{(1 + SC_2 R_{EQ})} \right) \times \left[\frac{1}{1 + \frac{1}{A(\omega)} \left\{ \frac{G_N (1 + S(C_0 + C_2)R)}{1 + SC_2 R_{EQ}} \right\}} \right] \quad (14)$$

ここで、

$$R = R_{FB} || R_0 || R_{EQ}$$

$A(\omega)$ はアンプのオープン・ループ・ゲイン (複素量) です。

クローズド・ループ信号帯域幅は、 C_2 の選択値により、 $1/2\pi C_2 R_{EQ}$ に設定されます。DAC へのデジタル入力コードに基づき、3dB 信号帯域幅を次のように表すことができます。

$$f_{3dB} = \frac{D}{2\pi C_2 R_{LAD}} \quad (15)$$

システム・ゲインは D に反比例するので、次式が得られます。

$$f_{3dB} = \frac{1}{GAIN} \cdot \left(\frac{1}{2\pi C_2 R_{LAD}} \right) \quad (16)$$

2 つの回路段をカスケード接続すると、全帯域幅は次のようになります。

$$1.1 \frac{0.35}{\sqrt{\left(\frac{0.35}{f_{3dBA}} \right)^2 + \left(\frac{0.35}{f_{3dBB}} \right)^2}} \quad (17)$$

ここで、 f_{3dBA} と f_{3dBB} は 2 つの回路段の 3dB 高周波カットオフです。 n 回路段が同じカットオフ周波数 f_{3dB} をもつ場合、カスケード接続された帯域幅は次のようになります。

$$\sqrt{2^{1/n} - 1} \cdot f_{3dB} \quad (18)$$

2 つの回路段の場合、カスケード接続された帯域幅は $0.64f_{3dB}$ となります。カスケード接続されたシステムでは、最大全帯域幅は各回路段が同じ 3dB 高周波カットオフをもつときに達成されます。つまり、最大全帯域幅が生じるのは各回路段が同じゲイン設定をもつときです。このことは、式 6 との関係で前述したこと、すなわち「ゲイン誤差をできる限り小さくするために、両 DAC へのコードは互いのできる限り同じにする」といった説明と補完し合うものです。

動的ゲイン誤差

カスケード接続された 3dB カットオフ周波数の場合、出力信号の大きさは入力信号の 0.707 倍となり、約 30% 小さくなります。アプリケーションによっては、このゲイン誤差の大きさが過剰となることもあります。こういった例では、クローズド・ループ信号ゲインの低下に起因する追加ゲイン誤差の点から、使用可能な帯域幅を考える必要があります。カスケード接続システムの低減帯域幅は、次のゲイン式で得られます。

$$\text{Amplitude} = \frac{1}{1 + \left(\frac{f}{f_{3dB}} \right)^2} \quad (19)$$

2 つの回路段は同じ 3dB カットオフ周波数をもつものと仮定します。たとえば、追加ゲイン誤差を 0.1% 未満、または全振幅を 0.999 に制限するために必要な低減帯域幅は、式 19 を使って求めることができます。

$$f = 0.032 f_{3dB}$$

または、 $f = 0.032 \cdot (f_{CASC} / 0.64)$

$$= 1/20^{\text{th}} \text{ of } f_{CASC} \quad (20)$$

この計算値からは、カスケード接続された帯域幅の最大 1/20 の信号周波数で追加ゲイン誤差が 0.1% 未満になることがわかります。

有限ループ・ゲインも追加ゲイン誤差に影響する可能性があります。式 14 の角括弧に囲まれた部分は、ゲイン誤差係数と呼ばれています。この係数の理想値はユニティです。そのユニティとの差が、有限ループ・ゲインによる追加ゲイン誤差に相当します。付録 2 には、ゲイン誤差係数の分析と代表的なアプリケーションにおけるその値の計算例を示しています。信号帯域幅によって発生したゲイン誤差との比較では、有限ループ・ゲインによる追加ゲイン誤差は無視できるほど小さいという分析結果がでています。

ノイズと歪み

ノイズは、固有の値を持つ乗算項が加わるに過ぎないという意味において、ゲイン誤差の発生源ではありません。ノイズは、むしろ PGA システムの S/N 比 (SNR) を低減する働きがあります。このテーマは標準オペアンプのテキストに詳述されているので、ここでは取り上げません。アナログ・デバイセズの CMOS DAC 製品は高品質の薄膜抵抗器を備えており、ノイズは同等のジョンソン・ノイズ源からの予想量をごくわずかに上回るだけです。また、これらの薄膜抵抗は電圧係数が非常に小さいので、R-2R ラダーによる歪みはすべて信号ステアリング・スイッチの R_{ON} 変調に起因します。しかし歪みは通常、オペアンプ自身の作用で低減されます。

出力のAC結合

デュアル DAC PGA システムでは、最初の回路段の DC オフセット誤差が第二回路段のゲインで乗算されます。この結果、第二回路段の出力にはかなり大きな DC 誤差電圧が発生する可能性があります。第二回路段の出力を AC 結合するとこの問題は解消されますが、応答に低周波ポールが加わります。この低周波ポールは、低周波入力信号のゲイン誤差の原因となります。この状況は、前に触れた高周波の低下に起因するゲイン周波数に酷似しています。第二回路段の後に AC 結合コンデンサを配置すれば、1 個のトリム・ポテンショメータにより両 DAC の DAC ゲイン誤差を補正できます。しかし、トリム・ポテンショメータの温度係数は DAC の薄膜抵抗の温度係数とマッチングしないので、温度の変化によって DAC ゲイン誤差も変化します。AD7547LN の DAC ゲイン誤差が 0~+70°C の範囲で±1LSB 内に収まるよう仕様規定されていることを考慮すると、トリム・ポテンショメータを使用しないほうが温度変化に対応した優れた回路性能を実現できます。

試験結果

図 5 には、AD7547LNデュアルDACと 2 個のAD OP-27EオペアンプをベースにしたPGAシステムに関するAC測定値をプロットしています。図中の×印は、1~512 倍の範囲から選択したゲイン設定の測定誤差を示しています。各ゲイン設定では、入力信号レベルが 6V RSM出力信号レベルを提供するように調整されています。この試験周波数は 200Hzです。比較できるように、図 5 には図 2 と図 3 のデュアルDAC PGAシステムに關

Parameter	AD OP-27E T _A = +25°C	AD OP-27E T _A = +70°C	AD OP-27A T _A = +125°C
Open-Loop Gain, A _{OL}	1.10 ⁶ min	0.75.10 ⁶ min	0.6.10 ⁶ min
Input Bias Current, I _B (-)	40nA max	60nA max	60nA max
Input Offset Voltage, V _{OS}	25μV max	50μV max	60μV max

NOTE: V_{DD} = +15V, V_{SS} = -15V

表 II. AD OP-27 の仕様 (T_A = +25°C, +70°C, +125°C)

する最悪時の理論曲線も描かれています。上述したように、デュアル DAC システムでは、異なるコードを組み合わせて所望のゲインを実現できるので、これらの実線もそれに即した理想的な曲線となっています。

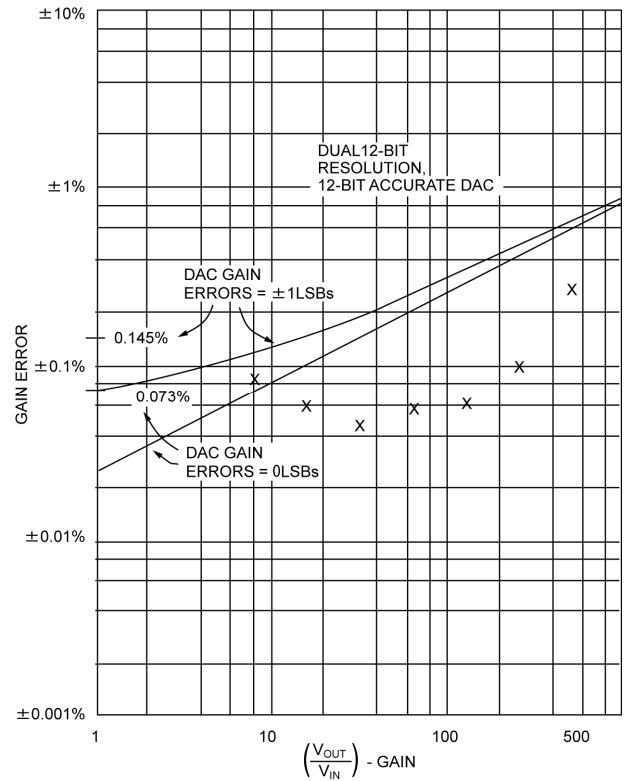


図 5. AD7547 に基づいたシステムの最悪時のゲイン誤差一測定値と理論値

2 つの固定ゲイン設定 (1 倍および 64 倍) について、ステップ入力の変化に対する出力電圧のセトリング時間を測定しました。図 6a と図 6b に出力応答を示しています。図 6a (1 倍のゲイン) では入力ステップ・サイズが±200mV、図 6b (64 倍のゲイン) では±154mvです。どちらの場合も、入力信号の 10%から 90%までの立上がり時間と立下がり時間は 400ns となります。

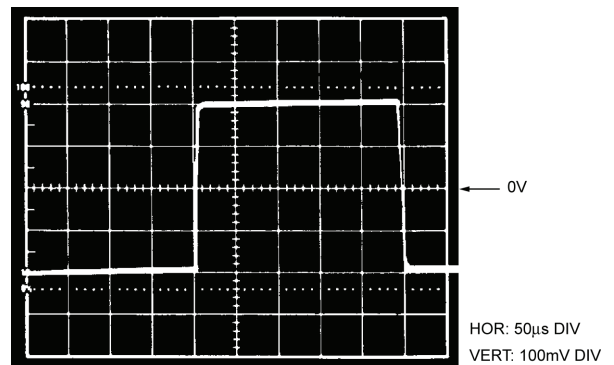


図 6a. ゲイン 1 : ±200mV のステップ入力に対する出力応答 (AD7547 システム)

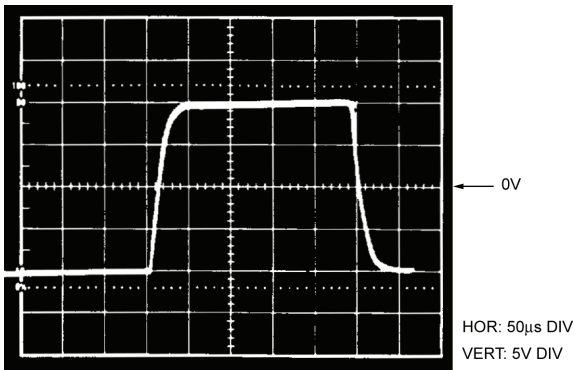


図 6b. ゲイン 64 : $\pm 154\text{mV}$ のステップ入力に対する出力応答 (AD7547 システム)

ゲイン 1 の場合は $\pm 0.01\%$ 以内のセトリング時間が $15\mu\text{s}$ 未満、ゲイン 64 の場合はセトリング時間が $100\mu\text{s}$ 未満となります。安定した入力信号のゲイン設定値の変化に対しても、出力電圧のセトリング時間を測定しました。図 6c に、1 倍の設定を 64 倍に変更した場合の出力応答を示します。この出力応答を得るには、両方の DAC のコードを 4095_{10} (1 倍 \times 1 倍) と 512_{10} (8 倍 \times 8 倍) との間で切り替える必要があります。AD7547 の入力負荷構造により、各 DAC レジスタの値は共通データへと同時に更新することが可能です。出力電圧の $\pm 0.01\%$ 以内のセトリング時間は $70\mu\text{s}$ 未満で 1 倍から 64 倍に切り替わり、64 倍から 1 倍への切り替りは $15\mu\text{s}$ 未満となります。電圧セトリング時間に対する高速、広帯域幅 AD OP-27 オペアンプの影響は、本アプリケーション・ノート、Part I の図 8 とこれらの図を比べれば一目瞭然です。

表 III の右側の欄には、THD (全高調波歪みの) レベルとゲイン設定との関係を記しています。この表には、AD7545 (および AD7534) ベースの PGA に関して前に測定した高調波歪みのレベルも比較データとして記載しています。これらのケースでは、特定のゲイン設定に対し、入力信号レベルが 6V RMS の出力信号レベルを提供できるように調整されています。試験周波数は 200Hz です。測定を行ったヒューレット・パッカートの HP339A 歪み測定セットの帯域幅は、ノイズ帯域幅を最小限に抑えるために、その測定セットの 3 次 30kHz ローパスフィルタによって故意に制限されています。

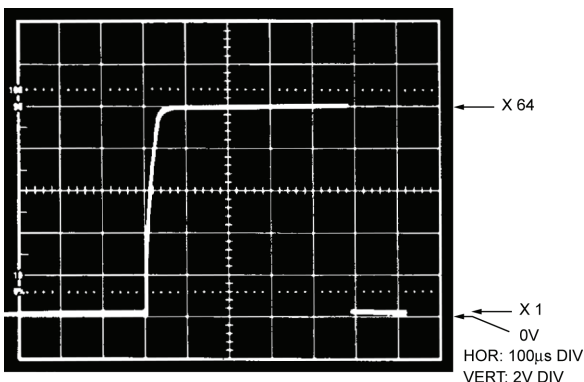


図 6c. 1 倍と 64 倍の間でゲインを切替えた時の出力応答。
 $+154\text{mV}$ の一定の入力信号 (AD7547 システム)

GAIN	AD7545LN & AD OP-07	AD7534LN & AD OP-07	AD7547LN & AD OP-27 (2)
X 1	< -90dB	< -90dB	< -90dB
X 2	< -90dB	< -90dB	< -90dB
X 4	< -90dB	< -90dB	< -90dB
X 8	-89dB	-88dB	-90dB
X 16	-86dB	-86dB	-90dB
X 32	-82dB	-83dB	-89dB
X 64	-76dB	-79dB	-84dB
X 128	NOT Measured	NOT Measured	< -79dB
X 256	NOT Measured	NOT Measured	< -74dB
X 512	NOT Measured	NOT Measured	< -68dB

表 III. ゲイン設定 対 THD レベル
(一定電圧 6V RMS の出力信号)

表 IV に、各種ゲイン設定に対する小信号の帯域幅を示します。これらの測定周波数は、式 15~18 の予測値に近いものとなっています。47pF の値は、2 つの回路段の位相リード・コンデンサ C_2 に使用されています。大信号レベルで高い信号周波数の場合は、オペアンプ上の制約のために、歪みはかなり大きくなります。たとえば、出力信号レベルが 6V RMS の AD OP-27 の場合、 40kHz (typ) を超えると歪みが急激に大きくなります。帯域幅測定に使用される入力信号レベルは、全高調波歪みを 75dB 未満に抑えるためにゲイン設定で変更されています。高いゲインの設定時は (狭い帯域幅)、S/N 比を最大限大きくするために信号レベルは高くなります。低いゲインの設定時には (広い帯域幅)、オペアンプによる歪みを避けるために信号レベルは低くなります。

System GAIN	F_{CASC} Measured	F_{CASC} Computed
X 1	135kHz	135.5kHz
X 4	60kHz	67.7kHz
X 8	44kHz	43kHz
X 16	32kHz	34kHz
X 64	15.4kHz	16.9kHz
X 256	7.8kHz	8.4kHz

表 IV. ゲイン設定 対 小信号の帯域幅
(デュアル DAC PGA システム)

表 V では、AD7547 ベース PGA とシングル DAC ベース・システムの電圧ノイズ性能を比較しています。

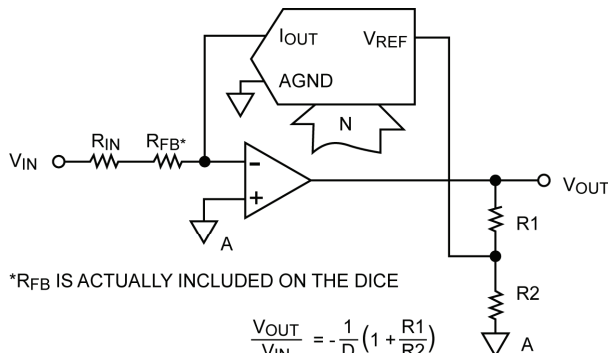
GAIN	AD7545LN & AD OP-27	AD7534KN & AD OP-27	AD7547LN & AD OP-27
X 1	$5.5\mu\text{V}$	$4.5\mu\text{V}$	$6.2\mu\text{V}$
X 2	$9\mu\text{V}$	$7\mu\text{V}$	$11.2\mu\text{V}$
X 4	$18\mu\text{V}$	$12\mu\text{V}$	$17\mu\text{V}$
X 8	$35\mu\text{V}$	$23\mu\text{V}$	$31.5\mu\text{V}$
X 16	$72\mu\text{V}$	$45\mu\text{V}$	$63\mu\text{V}$
X 32	$145\mu\text{V}$	$89\mu\text{V}$	$127\mu\text{V}$
X 64	$285\mu\text{V}$	$175\mu\text{V}$	$260\mu\text{V}$

表 V. ゲイン設定 対 出力電圧ノイズ (読取り値は $22\text{Hz} \sim 22\text{kHz}$ RMS)

データを比較しやすくするために、デュアル DAC 回路の最初の回路段とシングル DAC 回路で、同じ AD OP-27 オペアンプを使用しました。位相リード補償コンデンサはどの回路にも使用していません。そのため、シングル 12 ビット PGA とデュアル 12 ビット PGA は、出力電圧ノイズの差がほとんどありません。

固定ゲイン回路

システムではプログラマブル・ゲインのほかに、ある一定の値の固定ゲインも利用できます。シングル DAC とオペアンプを中心に、この両方の機能を組み合わせて使用することができます。図 7 にこの回路を示します。固定のゲインは抵抗 R1 と R2 に



*RFB IS ACTUALLY INCLUDED ON THE DICE

$$\frac{V_{OUT}}{V_{IN}} = -\frac{1}{D} \left(1 + \frac{R1}{R2} \right)$$

$$\text{WHERE } D = \frac{N}{2^n}$$

$$\text{AND } R_{IN} = \frac{R1 R2}{R1 + R2}$$

図 7. 基本的な回路段に特定の固定ゲインを追加

よって決まります。通常は DAC 入力抵抗がゲイン式に含まれると、回路のゲインはその抵抗の関数となります。この問題は、入力抵抗を RFB と直列に接続することで解決できます (参考文献 2)。この入力抵抗 RIN は、R1 と R2 を並列接続したものと同じ値を持ちます。

$$V_{OUT} = -\frac{V_{IN}}{D} \cdot \left(1 + \frac{R1}{R2} \right) \quad (21)$$

抵抗 R1、R2、RIN は同じような温度係数を持つようにしますが、DAC の温度係数をマッチングさせる必要はありません。ゲインをわずかに調整する場合は減衰比を変更します。調整感度が R1 から影響を受けることはほとんどありません。

参考文献

- 『CMOS DAC とオペアンプをベースにしたプログラマブル・ゲイン・アンプ (Part I)』 John Wynne 著、Publication No. E1037-15-1/87 (アナログ・デバイセズから提供)
- 『Input Resistor Stabilizes MDAC's Gain』 Paul Brokaw 著、EDN、1981 年 1 月 7 日、pp. 210-211
- トランザクション要約：『Expression for the Output Resistance of a Switched R-2R Ladder Network』 E. David Erb、Gregory M. Wierzbach 著、IEEE Trans. Circuits & Systems、Vol. CAS-30、No.3、1983 年 3 月、pp. 167-169

付録1

GAIN	1st Stage		2nd Stage		Total Error E _A + E _B
	DAC A Code N _A (Decimal)	Worst Case Error, E _A	DAC B Code N _B (Decimal)	Worst Case Error, E _B	
1	4095	+0.0366%	4095	+0.0366%	+0.0732%
2	2896	+0.0173%	2896	+0.0173%	+0.0345%
3	2365	+0.0211%	2365	+0.0211%	+0.0423%
4	2048	+0.0244%	2048	+0.0244%	+0.0488%
8	1024	+0.0489%	2048	+0.0244%	+0.0733%
16	1024	+0.0489%	1024	+0.0489%	+0.0978%
32	512	+0.0978%	1024	+0.0489%	+0.1467%
64	512	+0.0978%	512	+0.0978%	+0.1956%
128	256	+0.196 %	512	+0.0978%	+0.294 %
256	256	+0.196 %	256	+0.196 %	+0.392 %
512	128	+0.392 %	256	+0.196 %	+0.588 %

$$\text{Error}(\%) = - \left\{ \frac{X_A}{N_A + X_A} + \frac{X_B}{N_B + X_B} \right\} \cdot 100\%$$

表 A1. DAC ゲイン誤差がゼロの、デュアル 12 ビット分解能 (n = 12) / 12 ビット精度 (X = ±0.5LSB) DAC に関する式 6 の最悪時ゲイン誤差の計算。ユニティ・ゲイン値は本文で述べた追加誤差項を含みます

System GAIN	1st Stage		2nd Stage		Total Error E _A + E _B
	DAC A Code N _A (Decimal)	Worst Case Error, E _A	DAC B Code N _B (Decimal)	Worst Case Error, E _B	
1	4095	+0.073%	4095	+0.073 %	+0.0146%
2	2896	+0.0417%	2896	+0.0417%	+0.083 %
3	2365	+0.0456%	2365	+0.0456%	+0.091 %
4	2048	+0.049 %	2048	+0.049 %	+0.098 %
8	1024	+0.073 %	2048	+0.049 %	+0.122 %
16	1024	+0.073 %	1024	+0.073 %	+0.146 %
32	512	+0.122 %	1024	+0.073 %	+0.195 %
64	512	+0.122 %	512	+0.122 %	+0.244 %
128	256	+0.22 %	512	+0.122 %	+0.342 %
256	256	+0.22 %	256	+0.22 %	+0.44 %
512	128	+0.417 %	256	+0.22 %	+0.637 %

$$\text{Error}(\%) = - \left[\left\{ \frac{\Delta_A}{(1+\Delta_A)} + \frac{1}{(1+\Delta_A)} \left(\frac{X_A}{N_A + X_A} \right) \right\} + \left\{ \frac{\Delta_B}{(1+\Delta_B)} + \frac{1}{(1+\Delta_B)} \left(\frac{X_B}{N_B + X_B} \right) \right\} \right] \cdot 100\% \quad (10)$$

表 A2. DAC ゲイン誤差が±1LSB (= ±1/4096) の、デュアル 12 ビット分解能 (n = 12) / 12 ビット精度 (X = ±0.5LSB) DAC に関する式 10 の最悪時ゲイン誤差の計算。ユニティ・ゲイン値は本文で述べた追加誤差項を含みます

付録2

式 14 のゲイン誤差係数：

$$1 + \frac{1}{\beta A(\omega)} = \frac{1}{1 + \frac{1}{A(\omega)} \left\{ \frac{G_N (1 + S[C_0 + C_2]R)}{1 + S C_2 R_{EQ}} \right\}} \quad (A1)$$

または、

$$1 + \frac{1}{\beta A(\omega)} = \frac{1}{1 + \frac{1}{A(\omega)} \left\{ \frac{G_N (1 + j\omega/\omega_1)}{1 + j\omega/\omega_2} \right\}} \quad (A2)$$

$$\text{ここで、 } \omega_1 = \frac{1}{(C_0 + C_2) \cdot R}$$

$$\text{かつ、 } \omega_2 = \frac{1}{C_2 \cdot R_{EQ}}$$

式 A2 は、その項のフェーザ量を強調するために次のように書き直すことができます。

$$1 + \frac{1}{\beta A(\omega)} = \frac{1}{1 + \left| \frac{G_N \cdot r_1}{A_{OL}(\omega) \cdot r_2} \right|} < 9 \quad (A3)$$

ここで、ゲイン誤差係数の大きさは次のように表すことができます。

$$\left| \frac{1}{1 + \frac{1}{\beta A(\omega)}} \right| = \frac{1}{\sqrt{1 + \left| \frac{G_N \cdot r_1}{A_{OL}(\omega) \cdot r_2} \right|^2 + 2C_{OS}\theta \left| \frac{G_N \cdot r_1}{A_{OL}(\omega) \cdot r_2} \right|}} \quad (A5)$$

90°から 180°までの間の角度 θ のコサインは負の値なので、式 A5 のゲイン誤差係数はゲイン・ピーキングを引き起こすユニティより大きくなる可能性があります。式 A4 から、角度 θ は、 θ_3 (ω_p 時のオペアンプ・ポールに相当)、 θ_1 (ω_1 時のクローズド・ループ・ゼロに相当)、および θ_2 (ω_2 時のクローズド・ループ・ポールに相当) を合計したものです。 ω_1 と ω_2 の相対的な位置でシステム全体の応答性が決まります。

式 A5 は、単一回路段のゲイン誤差係数です。デュアル DAC PGA の場合、全ゲイン誤差係数は両方の回路段の係数の合計になるように設定することができます。

AD7547 のデータシートから、 $C_0 = 140\text{pF}$ (max)、 $R_{LAD} = 20\text{k}\Omega$ (max) です。ゲイン・ピーキングを防ぐための補償コンデンサ C_2 の値は、使用するプログラマブル・ゲインの最小値に左右されます。1 倍のゲイン設定の場合、式 13 より $C_2 = 0.75C_0$ 、すなわち $C_2 = 100\text{pF}$ となります。必要な全ゲインが 16 倍の場合、最大システム帯域幅が生じるのは、両方の回路段のゲイン設定が $\sqrt{16}$ 倍すなわち 4 倍のときです。単一回路段の信号帯域幅は式 16 から次のようになります。

$$f_{3dB} = \frac{1}{\text{GAIN}} \left(\frac{1}{2\pi C_2 R_{LAD}} \right) = 20\text{kHz}$$

カスケード接続された帯域幅：

$$f_{CASC} = 0.64f_{3dB} = 12.7\text{kHz}$$

$$\text{ここで、 } r_1 = \sqrt{1 + (\omega/\omega_1)^2}$$

$$r_2 = \sqrt{1 + (\omega/\omega_2)^2}$$

$$A_{OL}(\omega) = A_{OL} / \sqrt{1 + (\omega/\omega_p)^2}$$

A_{OL} はオープン・ループ・ゲインの DC 値で、 ω_p はオペアンプのブレイク周波数です。

$$\text{また、 } \angle\theta = \theta_1 - \theta_2 + \theta_3$$

$$\text{ここで、 } \theta_1 = \tan^{-1} \left(\frac{\omega}{\omega_1} \right)$$

$$\theta_2 = \tan^{-1} \left(\frac{\omega}{\omega_1} \right)$$

$$\theta_3 = \tan^{-1} \left(\frac{\omega}{\omega_p} \right)$$

信号減衰による追加ゲイン誤差が 0.1%未満に抑えられる場合は、式 19 から、使用可能なシステム帯域幅はカスケード接続された帯域幅 600Hz の 1/20 まで低減します。オープン・ループ・ゲインが約 80dB (600Hz) の AD OP-27 オペアンプを使用する場合は、式 A5 から、単一回路段による追加ゲイン誤差は 0.004%未満となります。2 つの類似した回路段を使用した場合は、追加ゲイン誤差の 0.01%未満という結果が得られます。この誤差は、信号減衰に起因する誤差より 1 桁以上小さい値です。したがって、信号減衰と比較すると、非理想ゲイン誤差係数は追加ゲイン誤差源としては無視できるものです。

式 A5 では、 G_N の値を 5.5 として追加ゲイン誤差を求めています。付録 3 には、この値の求め方と、ほかのゲイン設定で G_N を求める際に役立つプログラムを記載しています。

付録3

式 12 から

$$G_N = 1 + R_{EQ} \left(\frac{1}{R_{FB}} + \frac{1}{R_O} \right)$$

この式は次のように書き直すことができます。

$$G_N = 1 + \frac{R_{EQ}}{R_{FB}} \left(1 + \frac{R_{FB}}{R_O} \right)$$

または、

$$G_N = 1 + (\text{Stage Gain}) \cdot \left(1 + \frac{R_{FB}}{R_O} \right)$$

表 A3 には、ストレート R-2R ラダー・ネットワークの $(1 + R_{FB}/R_O)$ 項を解くプログラムを掲載しています。これは、参考文献 3 に含まれる式を拡張したものです。このプログラムは HP85 コンピュータ用に作成されています。最初に DAC の分解能が入力され、その後、出力抵抗を必要とする 10 進コードが続きます。R_{OUT} を求める式は次のようになります。

$$R_{OUT} = 1 + \frac{R_{FB}}{R_O}$$

これはノイズ・ゲイン G_N を求めるために使用されます。

```

4      ! *****
      **
5      ! *  PROGRAM TO PLOT DAC ROUT
      *
6      ! *  FOR ANY NUMBER OF BITS
      *
7      ! *****
      **
8      CLEAR
10     DISP "NO OF BITS" @ IMPUT N
15     DIM B(20)
18     DISP @ DISP "ENTER CODE IN D
      EC"
20     INPUT F
25     D=F
27     CLEAR @ DISP @ DISP @ DISP "
      COMPUTING"
30     GOSUB 1000
40     GOSUB 4000
50     DISP @ DISP
52     CLEAR @ DISP @ DISP @ DISP "
      NUMBER OF BITS = ";N
54     DISP @ DISP @ DISP "CODE IN
      DEC = ";F
56     DISP @ DISP
60     DISP "ROUT = ";E
70     END
1000   REM DEC TO BIN
1010   FOR C=N-1 TO 0 STEP -1
1020   O=0-2^C
1030   IF D<0 THEN D=D+2^C @ B(N-C
      )=0 ELSE B(N-C)=1
1040   NEXT :C
1050   RETURN
4000   REM CALCULATE ROUT
4005   T=0 @ S=0
4010   FOR C=1 TO N STEP 1
4020   IF B(C)=1 THEN 4040
4030   GOTO 4070
4040   Y=1+2^(1-2*C)
4050   Y=T+Y
4070   NEXT C
4080   FOR C=2 TO N-1
4090   FOR J=C+1 TO N
4100   IF B(C)=1 AND B(J)=1 THEN 4
      120
4110   GOTO 4140
4120   X=2^(2-C-J) * (2^(2*C-2) -1)
4130   S=S+X
4140   NEXT J
4150   NEXT C
4160   E=T-S @ E=3/E
4165   E=1/E
4170   E=E+1
4175   E=E-F/2^N
4190   RETURN

```

表 A3. $(1+R_{FB}/R_O)$ 比を求めるための HP85 用プログラム