

高分解能 D/A コンバータを最大限に活用する方法

著者 : Scott Wayne

**D/Aコンバータの仕様、条件、誤差源、試験方法の詳細
および回路設計に対する影響**

高 分解能 D/A コンバータにはさまざまなアプリケーションがありますが、大ざっぱに計測機器と波形再構成という 2 つの categories に分類できます。計測機器アプリケーションには、ラスタ・スキャン、プロセス制御、自動試験装置、ロボット工学などがあります。波形再構成には、デジタル・オーディオ、ソナー、電気通信のほか、特殊な波形生成も含まれます。この 2 つの categories では、D/A コンバータの仕様と条件が大きく異なります。たとえば、計測機器アプリケーションでは優れた直線性と高い安定性など従来の D/A 仕様が求められますが、波形再構成アプリケーションでは低い全高調波歪み (THD) と高い S/N 比 (S/N) が必要になります。

計測機器用の D/A コンバータ

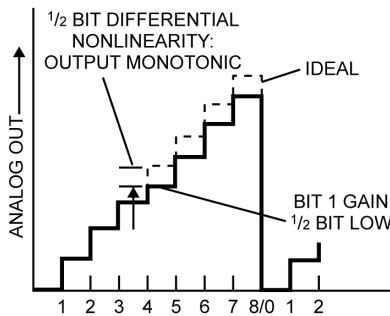
計測機器用の高分解能 D/A コンバータの場合、さまざまな温度において微分非直線性 (DNL) と積分非直線性 (INL) が低くなければなりません。また、オフセット・ドリフトとゲイン・ドリフトが低く、電源電圧変動除去比 (PSRR) が高く、ノイズが低いことも求められます。ここではより重要な計測機器の仕様について説明し、またその仕様値の計測と改善のための技術もご紹介しますが、これは高分解能 D/A の利用にきつと役に立つはずはです。

D/A コンバータへのデジタル入力が 1 ビット単位で変化すると、それにもなってアナログ出力は別の単位で変化します。1 ビットのデジタル入力の変化が入出力伝達関数のどこにおいても 1LSB (最下位ビット) の一定の出力変化をもたらすのであれば、理想的です。一般に計測機器コンバータの最も重要な仕様とされる微分非直線性は、1LSB という理論的な変化に対する実際のアナログ出力変化の偏差を表しています。これは、室温における LSB 単位で示したり、フルスケール・レンジ (FSR) に対するパーセント値で規定します。微分非直線性は時間と温度の関数であり、そのドリフトは ppm/1000 時間または ppm/°C で表します。

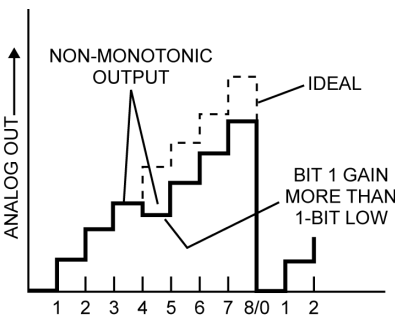
1983 年 12 月 12 日 ELECTRONIC PRODUCTS MAGAZINE に掲載

微分非直線性を測るもう1つの尺度が、単調性です。コンバータに単調性がある場合、デジタル入力が増加すると、アナログ出力は増加するか一定のままです。単調性がないと、微分直線性誤差が1LSBを超えることを意味します。コンバータの単調性温度範囲を計算するには、D/Aの最初の微分非直線性を1LSBから減算し、さらにそれをDNLドリフト温度係数で除算します。これによって、コンバータが単調性を維持する室温を中心とした最小温度偏差が得られます。たとえば、最初の直線性誤差が $1/2$ LSB (30ppm) で1ppm/°Cの直線性ドリフトを持つ16ビット・デバイスの場合、単調性温度範囲は $25 \pm 30^\circ\text{C}$ 、すなわち $-5 \sim +55^\circ\text{C}$ です。非単調コンバータでは制御ループが無限に発振するため、プロセス制御アプリケーションでは単調性はきわめて重要な仕様になります。

1つのデジタル入力によって生じたアナログ出力と、その次のデジタル入力によって生じたアナログ出力を直接比較することで、微分非直線性を簡単に測定することができます。図1に、微分非直線性と非単調性による誤差の影響を示します。



(a) 微分非直線性



(b) 非単調性

図1. 微分直線性誤差と単調性誤差

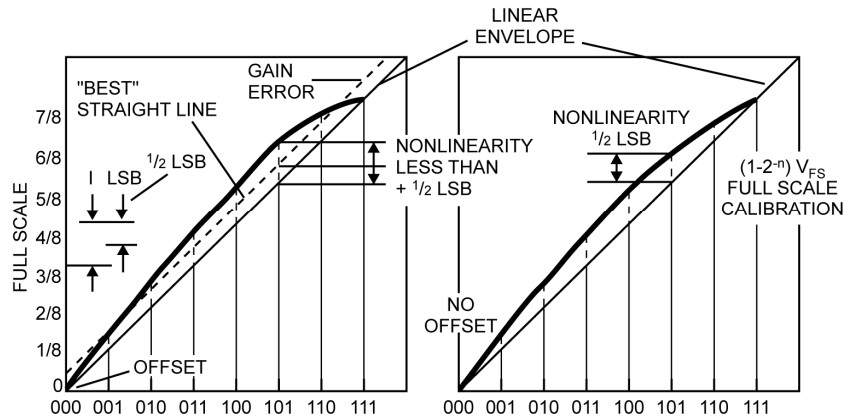
積分非直線性の測定

積分非直線性 (INL) は、「非直線性」または「相対精度」とも呼ばれ、コンバータの入出力伝達関数のエンドポイント間を結んだ直線に対する実際のコンバータ出力の偏差です (図2を参照)。2つの大きな数値の間の差を求めなければならず、INLの測定はきわめて困難です。16ビット・コンバータの積分非直線性を正確に測定するには、0.0002%を超える精度を持つ $6\frac{1}{2}$ 桁の電圧計が必要になります。そのため、積分非直線性の測定では、ほとんどの場合、既知の精度を持つリファレンス・コンバータと被試験コンバータを比較し、ヌル・メータで誤差を読み取ります。高精度の18ビット・コンバータを使用して16ビット精度までのコンバータをテストすることができます。18ビット・コンバータを正しくテストするには、米国規格基準局認定の高精度デバイダを用いる必要があります。

デジタル・ビットの組み合わせから生じたアナログ出力が、各デジタル入力ビットから生じたアナログ出力の代数和に等しく

ならない場合は、積算誤差、つまり重ね合わせによる誤差が発生しています。D/Aコンバータの積算誤差の原因の多くは、主にその内部アーキテクチャによります。たとえば、代表的なR-2Rラダー構成で、両方の出力が同じ電位にない場合は、積算誤差が発生します。これは、図3に示す2ビット・コンバータを見ると簡単にわかります。また、スイッチ抵抗がオン位置とオフ位置で異なる場合にも積算誤差が発生します。

積算誤差のもう1つの原因は、電圧出力コンバータの帰還抵抗です。アナログ出力がゼロからフルスケールまで増加するにつれて、帰還抵抗による消費電力が増加し、抵抗が加熱します。これによって抵抗値が変化し、伝達関数に従って対応するゲインが変化します。この見かけのゲインは、複数のビットの合計の場合と個々のビットのみの場合とで異なるため、積算誤差が発生します。ハイブリッド・コンバータやモノリシック・コンバータでは、帰還抵抗のサイズが小さく、消費電力が制限されるため、ゲイン変化は特に厄介です。



(a) 「ベスト・ストレート・ライン」の任意の場所で得られる $1/2$ LSBの非直線性

(b) 非直線性リファレンスはエンドポイントを結ぶ直線

図2. 3ビットD/Aコンバータの直線性基準の比較 (エンドポイントを結ぶ直線は測定しやすく、余裕を見込んだ仕様になります)

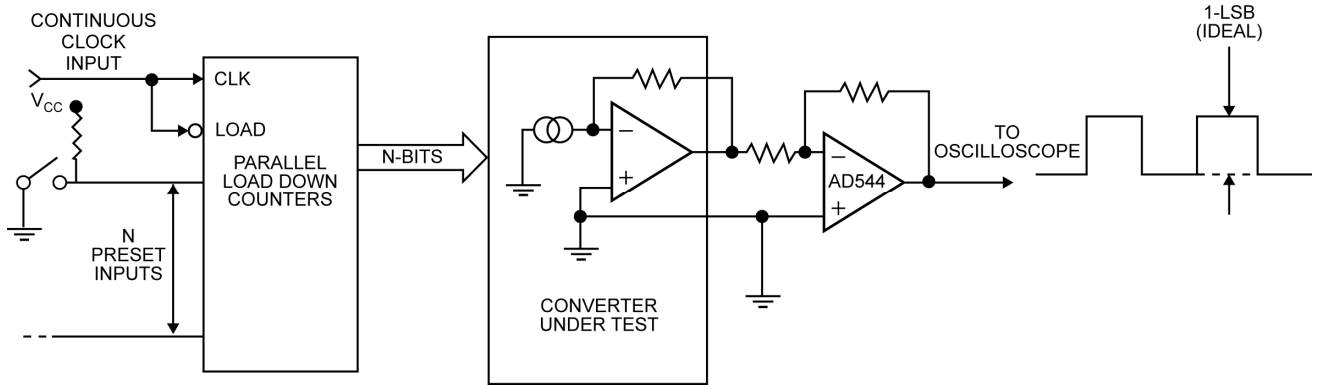


図 4. 簡単な DNL 試験装置

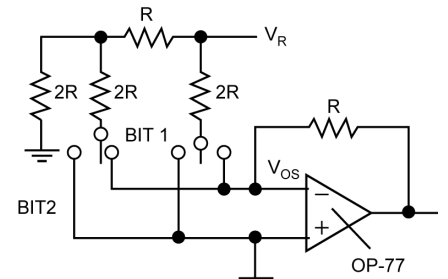
微分非直線性を測定する最も簡単な方法は、被試験デバイスにパラレルロードダウン・カウンタを接続します(図4を参照)。カウンタへの入力は、最初に所望の初期デジタル入力値にプリセットされます。クロックがローレベルになると、デジタル入力が非同期でカウンタにロードされ、コンバータに供給されます。カウンタはクロック・パルスの立上がりエッジで1つカウント・ダウンし、プリセット入力値よりも1ビット小さいデジタル入力値がコンバータに供給されます。理想的には、カウンタに連続クロック信号が印加され、その結果得られるアナログ出力は、どんなデジタル入力に対しても1LSBの振幅の矩形波になります。この振幅の1LSBからのずれが、求めていたデジタル入力の微分非直線性です。必要に応じて、アナログ出力の増幅を付け加えます。

18ビット・コンバータの場合、可能なデジタル入力の組み合わせは 2^N 、つまり262,144通りになります。これほどの数の入力の組み合わせをトグル・スイッチで設定するのは、たいへん面倒です。テスト当たりの所要時間がわずか10msの自動試験装置でさえ、一連の処理にはぼ1時間を要します。幸いにも、積算誤差なしの高分解能デバイスの特性化には、すべての入力組み合わせをテストする必要はありません。必要なテストは合計でわずかN回です。積算誤差がかなり小さいとわかっている場合は、合計2N回のテストで十分です。通常、これらのテストはメジャー・キャリー、テスト・ビット「ON」とテスト・ビットよりも下位の全ビットONでテスト・ビットOFFとの遷移で実行します。

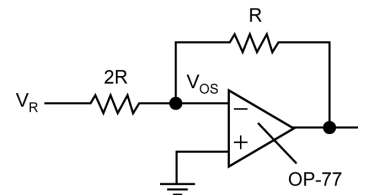
積分非直線性を測定する簡単な方法は、まずコンバータをパラレルロードの左右シフト・レジスタに接続します(図5を参照)。レジスタには00...01をプリセットします。MSBがゼロである限り、右からゼロをシフトインします。高位ビットがMSBに来ると、左から1をシフトインします。レジスタが11...11になると、再びプリセットに戻り、このプロセスを続けます。被試験コンバータより2ビット以上精度の高いリファレンス・コンバータを同じレジスタに接続します。2つのアナログ出力を減算し、計装アンプで増幅します。アンプの出力の理想値は0Vです。0Vからの出力の偏差が、被試験コンバータの積分非直線性になります。ゼロ・サーボとゲイン・サーボを追加して、このテストを改良することもできます。

測定のプログラミング

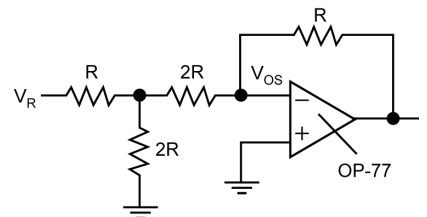
積分非直線性と微分非直線性を同時に測定する実用的な方法は、まずPROMに所望のデジタル入力をプログラムします(図6を参照)。PROMのサイクル動作にともない、被試験コンバータは入力ビット1つのみONの状態から下位の全ビットONの状態に遷移しますが、リファレンス・コンバータの入力は1つのビットのONが参照されます。下位ビットがONになるたびに、被試験コンバータの出力に1LSBの電流が追加されます。この2つのアナログ出力について差分計算と増幅が行われ、結果が表示されます。アンプの出力の理想値は0Vです。各入力に起因する出力電圧の偏差が、積分非直線性になります。隣接するデジタル入力に起因する出力電圧の差異が、微分非直線性です。



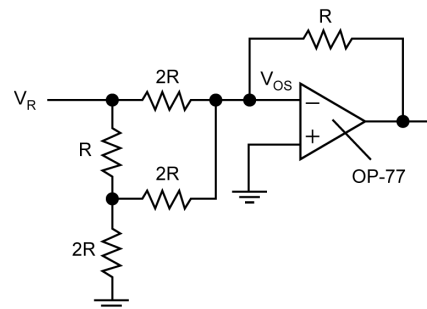
(a) 2ビットの電圧出力 R-2R ラダーD/A コンバータ



(b) ビット1オン、 $V_0 = -V_R/2 + 3/2 V_{Os}$



(c) ビット2オン、 $V_0 = -V_R/4 + 11/8 V_{Os}$



(d) ビット1と2オン、 $V_0 = -3/4 V_R + 15/8 V_{Os} \neq \sum 1 + 2$

図 3. 2ビットD/Aコンバータでの積算誤差

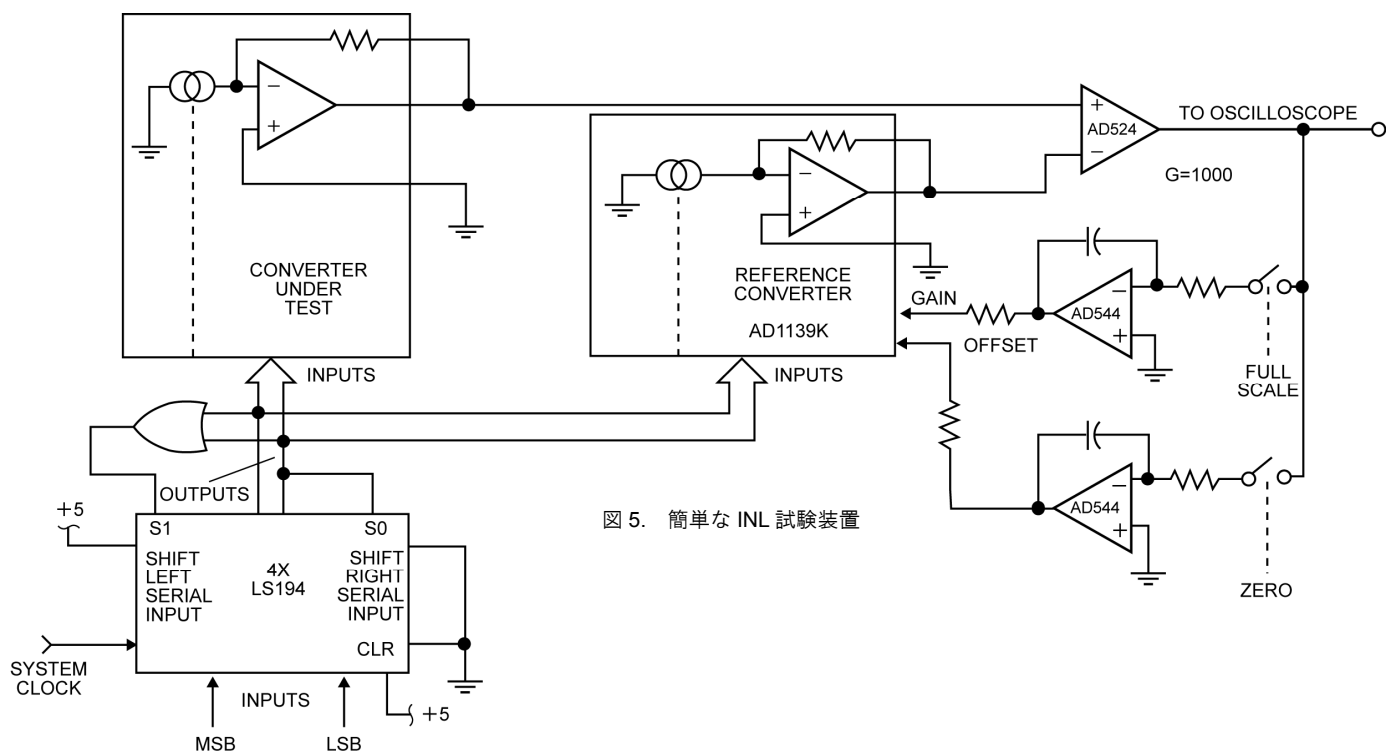


図 5. 簡単な INL 試験装置

このテストは、PROM をマイクロプロセッサに置き換え、オシロスコープの代わりにバス・インターフェースが可能な電圧計を用いることで、簡単に自動化できます。デジタル入力ごとにアンプの出力電圧を測定記録します。この電圧が積分非直線性を示します。次いで、メータをゼロにし、デジタル入力をスイッチします。再び出力電圧を測定記録し、微分非直線性を測ります。デジタル入力を再びスイッチし、テストが完了するまでこのプロセスを繰り返します。

D/A コンバータの直線性を改善するには、まず各デジタル入力に起因する誤差電圧を測定する必要があります。その後、フルスケール値が補正したいデバイスのわずかな数 LSB の低分解能コンバータによって、対応する補正信号を追加します。補正コンバータへの入力は、一般の入力バスの LSB によってアドレス指定される PROM に保存されます。この方法は理論的にはうまくいきますが、18 ビット分解能のコンバータを 16 ビットから 18 ビットの精度に補正するには、256K×8 ビットの PROM ストレージが必要になり、コンバータそのものよりもコストが高くなってしまいます。

積算誤差のないコンバータの場合、最悪時の積分直線性誤差は、最悪時の微分直線性誤差の半分もしくはそれ以下になります。したがって、コンバータの積算誤差と微分直線性誤差を補正すれば、積分直線性誤差も補正されることになります。つまり、あ

らゆる可能な入力を補正する代わりに、比較的少ない補正によって最終的には同じ結果を出すことができます。

積算誤差の抑制

多くの高分解能コンバータは、4 ビット、8 ビット、あるいは 12 ビットの独立した複数の内部段で構成されています。内部アーキテクチャによって、これらの段が互いに影響し合わないにすることができます。したがって、積算誤差になることはありません。下位段での積算誤差は、フルスケールに対して無視できるほどの値まで抑制できます。特定のコンバータの積算誤差の大きさやその場所については、実験的に確認する必要があります。

18 ビットで $1/4$ LSB を超える唯一の積算誤差は、4 つの最上位ビットで発生します。すべての積算誤差を補正するには、16×8 の PROM のみで十分です。段間誤差の補正をするために PROM を 32×8 まで増やせますが、それでも完全な補正方式に比べて桁違いに小さい値です。あと唯一しなければならぬ作業は、下位 13 ビットでの微分直線性誤差を補正することです。最終結果は、18 ビット精度の D/A コンバータの場合と同じです。

図 7 に、半自動キャリブレーション方式を示します。補正したい各デジタル入力に起因するアナログ出力は、1 ビット小さいデジタル入力に起因する出力と比較します。

この小さい入力のときに 1LSB の電流を出力に追加します。補正コンバータの入力は、正しいアナログ出力が得られるまでインクリメントします。この入力値は RAM に保存されます。下位ビットの補正は、補正コンバータの代わりにトリミング・ポテンシオメータを用いて同様の方法で行います。

計測機器アプリケーション

高分解能 D/A コンバータの計測機器アプリケーションは数多く、その種類もさまざまです。これらのアプリケーションの多くは、コンバータをプログラマブルな電圧源として使用します。コンバータに電流出力がある場合は、それもプログラマブルな電流源として使用できます。コンプライアンス電圧、すなわち仕様の直線性を維持したまま電流出力端子が許容できる最大の電圧については注意する必要があります。電流出力デバイスの便利な特長は、アプリケーションに合わせて出力アンプをカスタム調整できることです。たとえば、高精度アプリケーションに低ドリフト・アンプを使用したり、プログラマブル電源用の大出力ドライブにパワーアンプを使用することができます (図 8 を参照)。プログラマブルな電源は、電圧リファレンスとしてサイクロトロン内の電磁石によって生成された磁場を制御したり、ATE システムの A/D コンバータをテストしたりすることに利用できます。

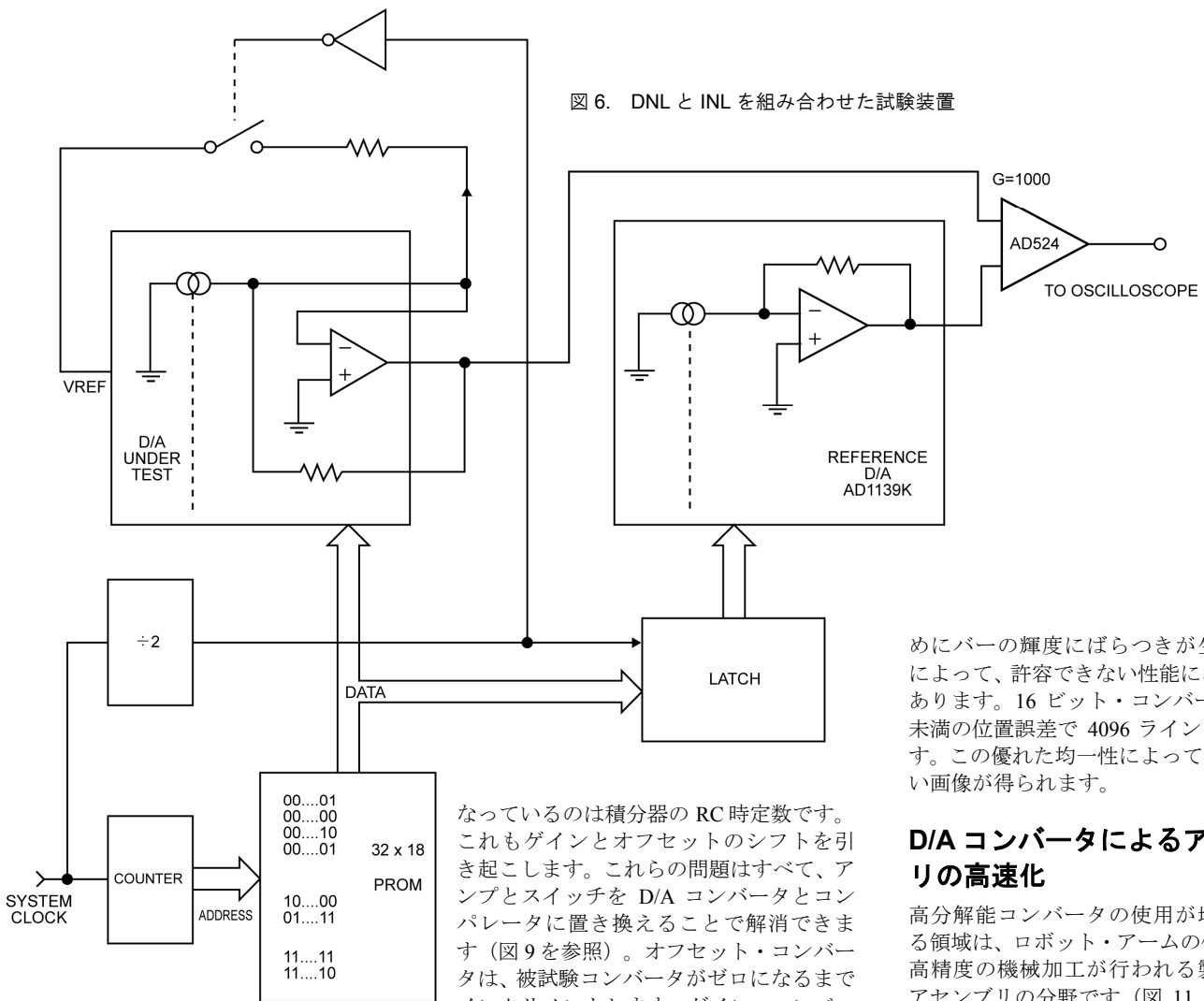


図 6. DNL と INL を組み合わせた試験装置

めにバーの輝度にばらつきが生じることによって、許容できない性能になることがあります。16 ビット・コンバータは、5%未満の位置誤差で 4096 ラインを生成します。この優れた均一性によって、歪みのない画像が得られます。

D/A コンバータによるアセンブリの高速化

高分解能コンバータの使用が増大している領域は、ロボット・アームの位置決めや高精度の機械加工が行われる製造や自動アセンブリの分野です (図 11 を参照)。コンピュータによる旋盤やフライス盤加工では、最長 3 フィートの部品を 0.0005 インチの許容誤差で製造できます。切り込みの水平位置や深さを制御するには、16 ビット以上の分解能のコンバータが必要です。マイクロプロセッサ制御によって、水平位置決めコンバータをインクリメントさせて加工物を位置決めし、深さ制御コンバータを調整して切り込みの深さを正確に繰り返し設定します。

乗算型 D/A コンバータでは、電圧リファレンスを変化させることができます。アナログ出力は、リファレンス入力とデジタル入力の積になります。このようなコンバータは、電圧リファレンスとデジタル入力の許容される極性に応じて、1、2、または 4 象限で乗算することができます。

高分解能 D/A コンバータは、自動ゼロ/ゲイン・キャリブレーション回路向けのデジタル制御ポテンショメータとしてよく使用されます。図 5 の積分直線性テスト構成では、簡単なアナログ・オフセット/ゲイン・サーボを示しています。高精度アプリケーションの場合、これにはいくつかの問題があります。スイッチのリーク電流とアンプのバイアス電流によってコンデンサ電圧が低下し、対応するオフセットとゲインがシフトします。スイッチのオープン時に発生する電荷注入によって、アンプ出力にステップが生じ、同様のオフセット誤差やゲイン誤差が発生します。アンプ出力は、回路全体の時間遅延によって絶えずランブアップ/ダウンしますが、主な原因に

なっているのは積分器の RC 時定数です。これもゲインとオフセットのシフトを引き起こします。これらの問題はすべて、アンプとスイッチを D/A コンバータとコンパレータに置き換えることで解消できます (図 9 を参照)。オフセット・コンバータは、被試験コンバータがゼロになるまでインクリメントします。ゲイン・コンバータは、被試験コンバータがフルスケールに調整されるまでインクリメントします。デジタル入力をラッチし、次の自動ゼロまたは自動ゲイン・サイクルまで補正電圧を一定にし、またジッタなしで維持します。これと同じ技術を使用して、ゼロ・ドループのサンプル&ホールドを作成したり、高精度 A/D コンバータを作成することも可能です。

高分解能 D/A コンバータは、たとえば、電子線リソグラフィ、ラスタ・スキャン・ディスプレイ、ベクトル型ディスプレイなど、数多くのビーム・ステアリング・アプリケーションで使用されています (図 10 を参照)。高解像度ディスプレイはわずか 4096 ラインで 12 ビット・コンバータで十分ですが、コンバータの微分非直線性のた

図 7. D/A コンバータの直線性の改善

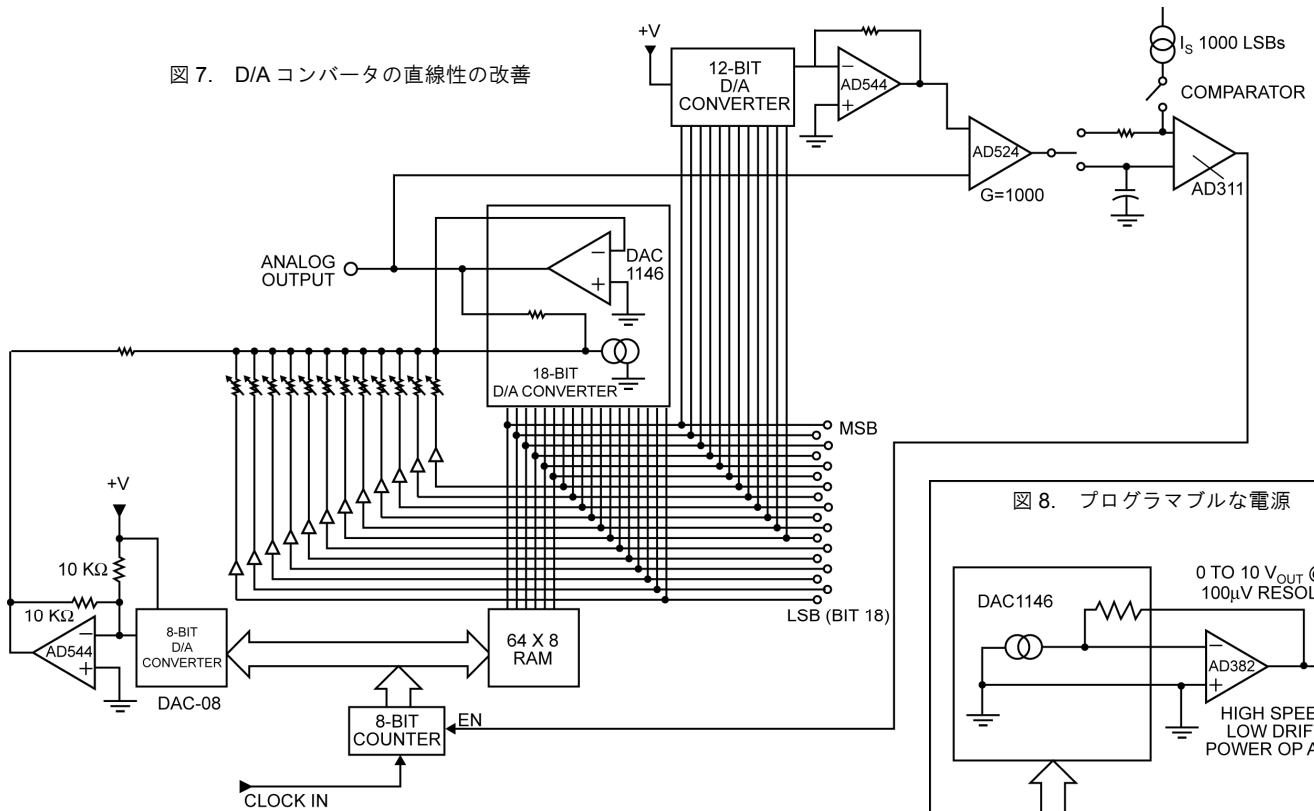
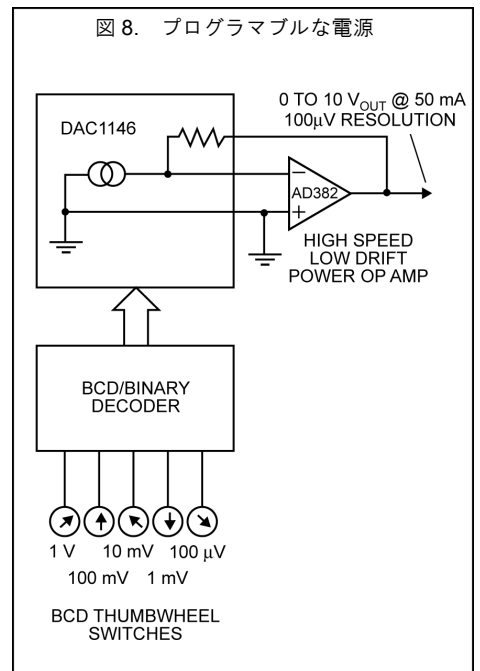


図 8. プログラマブルな電源



高分解能乗算型 D/A コンバータの興味深いアプリケーションの 1 つに、抵抗温度検出器 (RTD) シミュレータとして使用するデジタル・プログラム抵抗があります (図 12 を参照)。-220~+850°C の範囲で 0.1°C の分解能と精度を実現するには、RTD シミュレータが 10mΩ の分解能で 10~400Ω の範囲で変化する必要があります。そのためには 16 ビット・コンバータが必要です。RTD メータからの励起電流は±5%変動することがあるため、一定の抵抗を維持するために乗算型コンバータにする必要があります。アナログ出力は、励起電流とデジタル入力に比例します。励起電流が増加するにつれて、リファレンス電圧が増加します。これによって、出力と励起電圧も増加します。シミュレーションされる抵抗は励起電圧を励起電流で除算した値であるため、デジタル入力のコード値のみに依存することになります。このシステムは、コンバータの入力においてデジタル信号源によってプログラムされた抵抗をシミュレーションします。

波形再構成の仕様

波形再構成アプリケーションで高分解能 D/A コンバータを利用するユーザは、一般

に微分非直線性やその他の従来の仕様にはあまり関心がありません。その代わりに、新しい特殊な仕様を求めています。その主な理由は、波形再構成に使用されるコンバータは、ダイナミック波形のデジタル化と再構成を行う大きなシステムの一部になっていることが多いからです。ユーザの唯一の関心は、このプロセスが最小限の誤差で完了することです。誤差にはいくつかの原因がありますが、最も重要なのは全高調波歪みです。誤差のその他の原因は、相互変調歪み、ノイズ、ダイナミック・レンジの制約、不十分なセトリング時間、エイリアシングです。

ダイナミック・レンジは、最小の出力信号 (1LSB) とコンバータが生成できる最大の出力信号 (フルスケール) との比です。N ビット・コンバータでは、フルスケールは 2^N LSB になります。理論的に、N ビット・コンバータのダイナミック・レンジは 6N dB です。この理論的なダイナミック・レンジは、コンバータのノイズと不正確な LSB 重みによって、若干減少することがあります。

S/N 比 (S/N) は、最大の RMS 信号と RMS 量子化誤差との比です (図 13 を参照)。

コンバータが生成できる最大サイン波の RMS 値は、ピーク出力を 2 の平方根で除算した値、つまり $Q \cdot 2^{N-1} / \sqrt{2}$ です。ここで、Q は量子化間隔と定義されています。量子化誤差は、-Q/2 から +Q/2 まで直線的に増加し、その後、-Q/2 まで急激に復帰します。こののこぎり波の RMS 値は、ピーク出力を 3 の平方根で除算した値、つまり $Q / \sqrt{12}$ です。したがって、S/N 比は $2^N / \sqrt{1.5}$ となります。これを dB 単位で表すと、 $S/N = 6.02N + 1.76$ dB になります。

図 9. オフセット・キャリブレーション

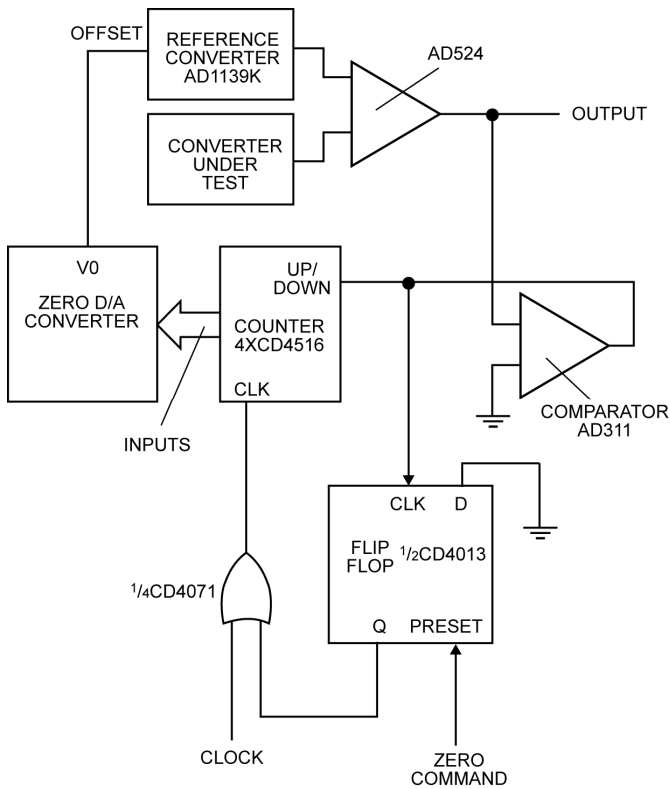
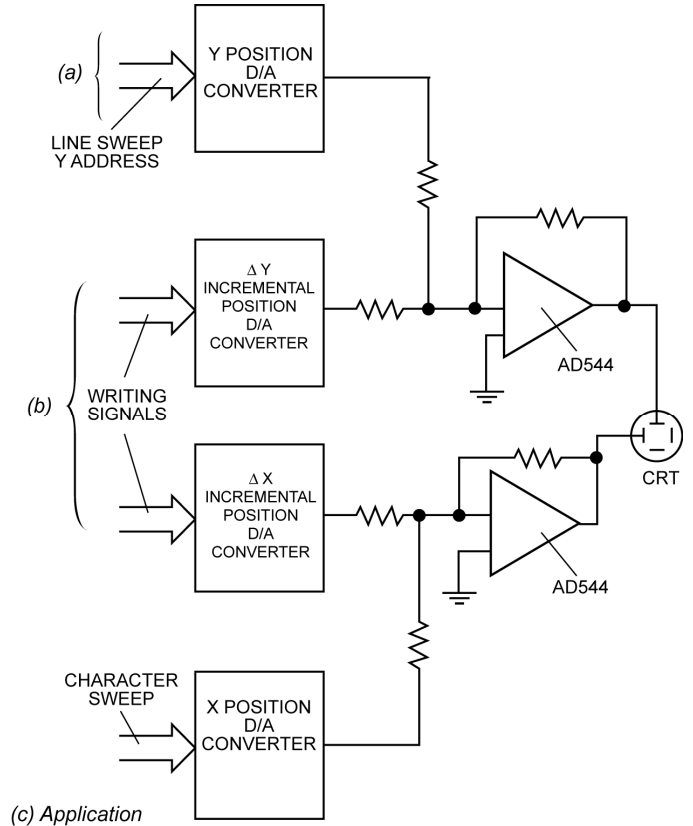


図 10. ビーム・ステアリング



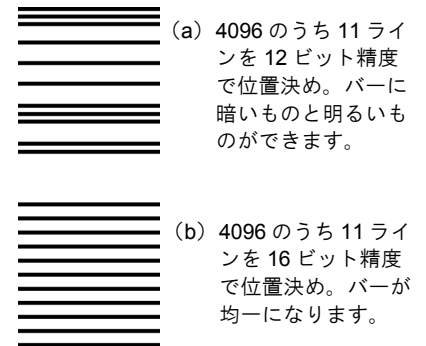
波形再構成は動的プロセスであり、選択したコンバータが動的な意味でうまく機能する必要があります。つまり、セトリング時間はプロセスによって割り当てられた時間よりも短くなければなりません。(セトリング時間とは、コンバータのデジタル入力の切替えから、出力がその最終値の規定された誤差帯域に達し、その帯域範囲内に収まるまでの所要時間のことです。)

全高調波歪み (THD) は、波形の生成や再構成に使用されるコンバータにとって最も重要な仕様です。大まかに言えば、これは、理想的なサイン波とコンバータの出力で再構成されたサイン波との差です。THD は、高調波の RMS 値の 2 乗和の平方根と基本波の RMS 値との比になります。つまり、各高調波の RMS エネルギーを 2 乗して加算し、その平方根をとり、基本波の RMS エネルギーで除算します。これでコンバータの THD が得られます。有限数のデジタル入力 (N) と関連する出力電圧があるコンバータでは、THD の計算は次式のように行います。

$$THD = \frac{RM \text{ error}}{RMS \text{ signal}} = \frac{\sqrt{\frac{1}{N} \sum_{i=1}^N [E_L(i) + E_Q(i)]^2}}{E_{RMS}} \times 100\%$$

ここで、 $E_L(i)$ は、サンプリング・ポイント i におけるコンバータの直線性誤差です。 $E_Q(i)$ は、サンプリング・ポイント i における量子化誤差です。相互変調歪みが生じるのは、異なる周波数の 2 つのサイン波から理想的な出力を構成するときに新たな誤差が生じることが原因です。

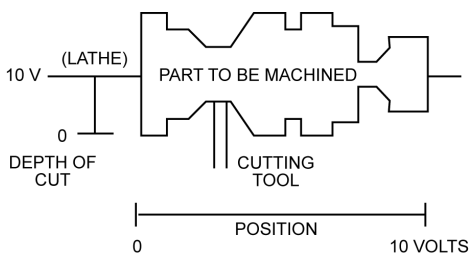
D/A コンバータの状態が変化しても、そのすべてのスイッチが同時に開閉するわけではありません。内部の電圧と電流がその最終値に到達するには、有限の時間が必要です。CMOS コンバータでは、各スイッチのゲート/ソース間とゲート/ドレイン間のキャパシタンスに大量の電荷が保存されます。スイッチの開閉時にこの電荷をアナログ出力からもらったり与えたりし



ます。これらの影響がすべて組み合わせられて、一般にグリッチと呼ばれる出力電圧や電流のスパイクが発生します。グリッチの大きさは、コンバータの入力と非線形の関係にあります。したがって、グリッチは、基本周波数の高調波においてエネルギーを生成し、高調波歪みを引き起こします。アナログ出力が 0V に関して非対称である場合、2 次高調波が生成されます。信号の増減が非対称動作である場合は、3 次高調波が生じます。その他の非対称動作によって、その他の高調波が生じます (図 14 を参照)。

グリッチの解消

デグリッチャ (図 15 を参照) は、特殊なトラック & ホールド・アンプです。入力コードの変化の直前からグリッチの消滅直後まで出力を一定に保持し、その後、新しい安定した出力を取り込みます。デグリッチャにも、そのスイッチング回路からの電荷注入に起因する出力グリッチがあります。しかし、このグリッチは一般に小さく、一定の大きさで、デジタル入力コードには無関係です。また、信号周波数やその高調波ではなく、サンプリング周波数でエネルギーを生成するため、高調波歪みの



原因になりません。出力アンプのスループレート制限に起因する歪みを抑制するには、固定の時定数によってデグリッチャ出力を帯域制限します。

オーディオ信号は本来バイポーラであるため、その再構成に使用するコンバータもバイポーラにする必要があります (図 16 を参照)。このようなデバイスを設定する方法の 1 つは、標準のバイナリ・コンバータをハーフスケールだけオフセットすることです。もう 1 つの方法は、信号の極性を感知し、必要に応じて出力アンプをインバータまたはバッファに切り替えることです。出力電圧の大きさは、残りの入力によって決まります。オフセット・バイナリ・コンバータのアーキテクチャは簡単です。同じ性能のサイン・マグニチュード型コンバータに比べ、サイズ、信頼性、コストの面で優れています。あるいは、抵抗ネットワークの改善にもう少し費用をかければ、同じ価格のサイン・マグニチュード型デバイスに比べて高い性能を持つオフセット・バイナリ・コンバータが得られます。しかし、オーディ

オ・アプリケーションの場合、信号の大部分は 0V を中心にしています。オフセット・バイナリ・コンバータは、すべての下位ビットの合計とバイポーラ・オフセット抵抗を利用して MSB を追跡するため、0V の周辺で温度性能が最悪になります。サイン・マグニチュード型コンバータの場合は、全ビットが OFF であるため、0V の周辺で最高の性能を発揮します。S/N 比に対する影響を考えれば、ゼロの周辺で性能が優れていることは重要です。大信号は誤差に起因するノイズをマスクしやすいのですが、小信号は同じノイズに埋もれてしまいます。電流出力のバイナリ・コンバータをサイン・マグニチュード型アーキテクチャに変換するには、低ドリフト・アンプ、SPDT CMOS スイッチ、出力バッファを追加します (図 17 を参照)。これによって、最大 DNL ドリフトは $\pm 1/8$ のフルスケール・レンジで $\pm 1/2 \text{ ppm}/^\circ\text{C}$ 、フルスケール・レンジで $\pm 1 \text{ ppm}/^\circ\text{C}$ になります。代表的なドリフトは、ゼロの周辺で $\pm 1/4 \text{ ppm}/^\circ\text{C}$ 、フルレンジで $\pm 1/2 \text{ ppm}/^\circ\text{C}$ です。

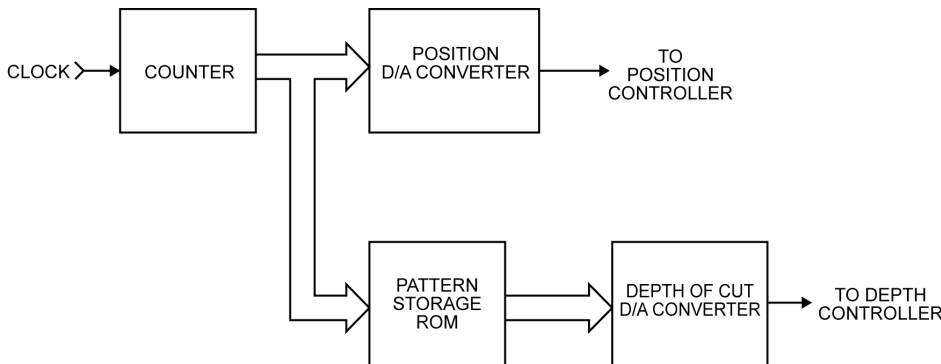


図 11. 高精度の位置決め

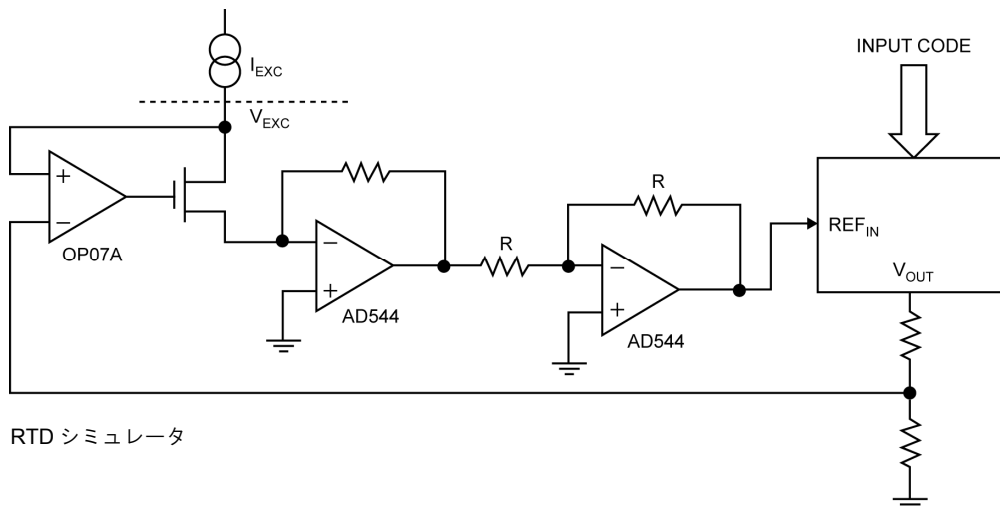
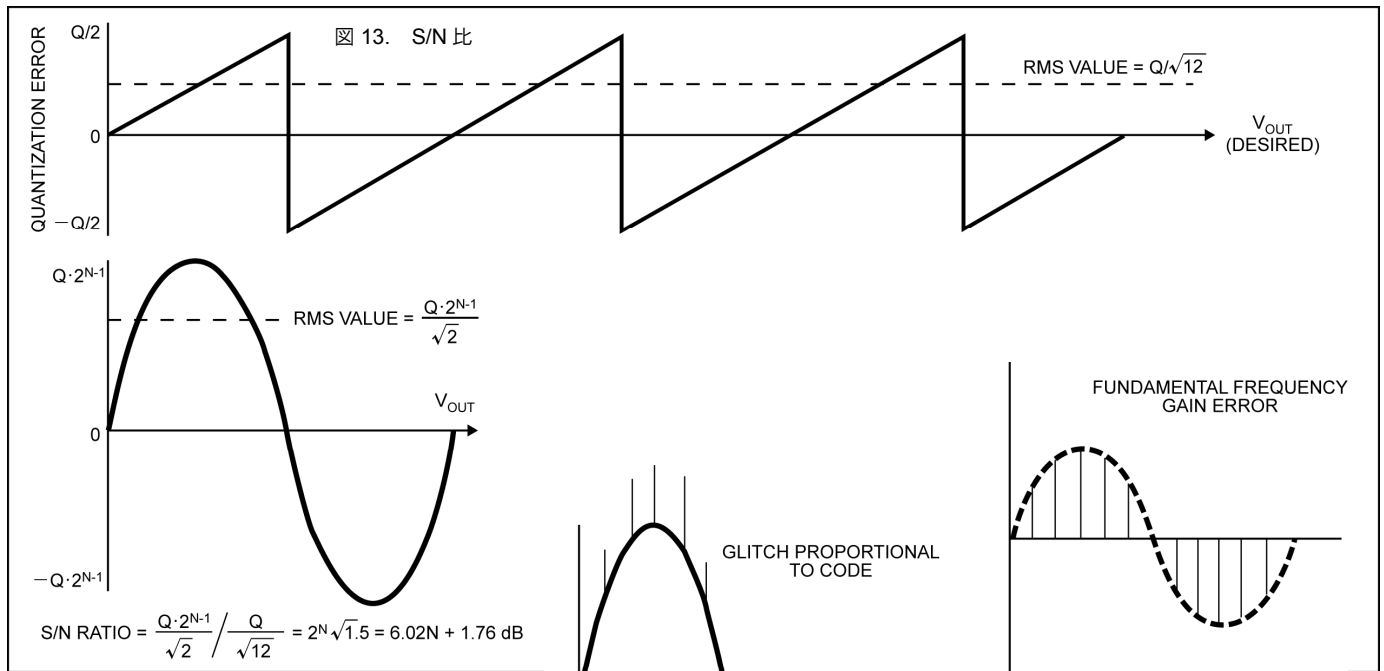


図 12. RTD シミュレータ



全高調波歪みのチェック

全高調波歪みをテストするには、図 18 の回路を使用します。このテスト構成では、PROM にコンピュータが生成した 1 サイクルのサイン波が含まれています。カウントごとにスキップすべきコード数を加算器に設定するには、周波数選択スイッチを使用します。サイン波的に関連付けられたこの一連のデジタル・コードがコンバータに送られ、アナログ・サイン波を段階的に近似化します。加算器がカウントごとに PROM アドレスを 1 ずつ増やすように設定されている場合、各サイクルで 4096 の入力 が PROM からコンバータに供給されます。加算器がカウントごとに PROM アドレスを 1024 ずつ増やすように設定されている場合、各サイクルでわずかに 4 つの入力が供給されます。このようにして、50kHz の一定のサンプリング・レートによって 12Hz~25kHz の間の 2048 の離散周波数のどれでも生成することができます。D/A 出力 (図 19 を参照) はデグリッチされて、スペクトル・アナライザに表示されます。全高調波歪みを計算するには、前述のように基本周波数の振幅と高調波の振幅を比較します。

優れた動的特性を持つ高分解能 D/A コンバータは、高精度の波形発生器として使用できます。マイクロプロセッサ制御で、コンバータは標準的な出力波形を生成します。サイン波、矩形波、パルス、トライアングル・オフセット、反転を制御するには、入力を適切にスケールします。周波数とデューティサイクルは、プロセッサのタイミングによって制御します。ダブル・パルス、バースト、パルス列などの複雑な波

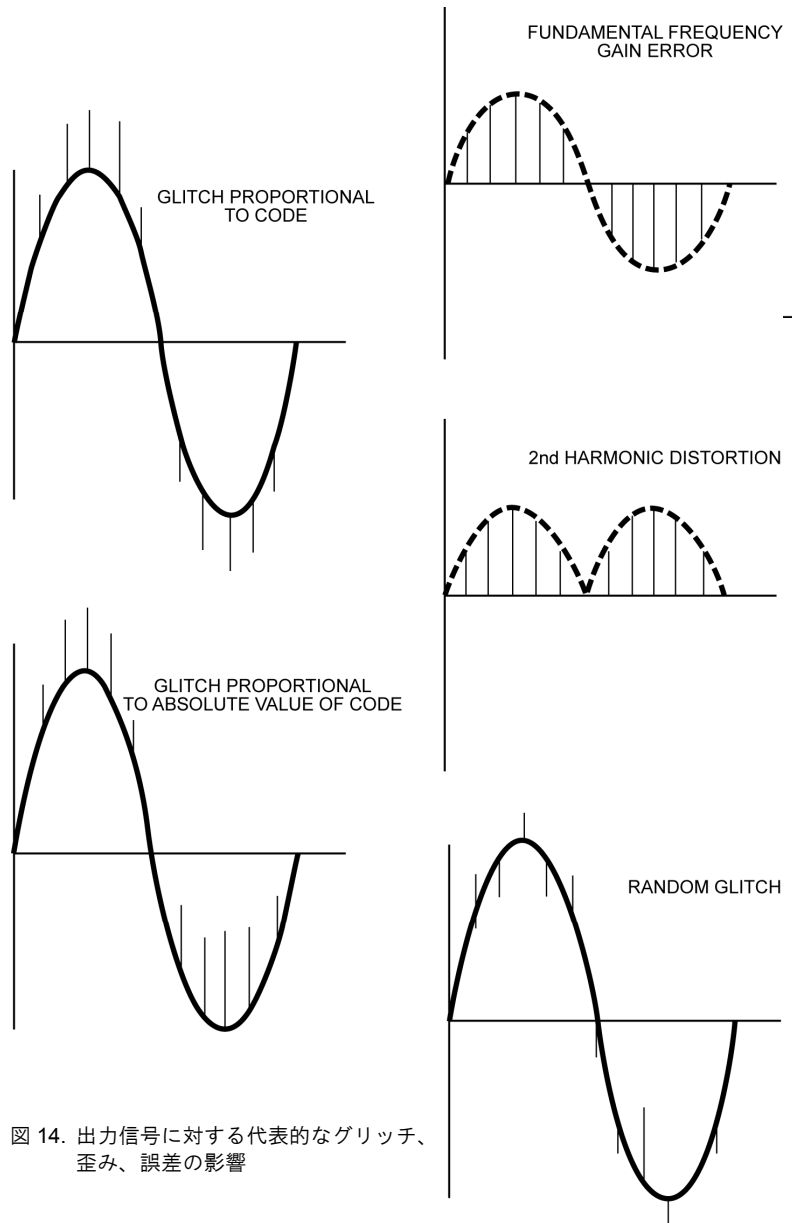


図 14. 出力信号に対する代表的なグリッチ、歪み、誤差の影響

形も簡単に作成できます。高分解能デバイスを波形発生器として使用する真のメリットは、任意の波形を生成できることです。これらを用いて、複雑な波形のシミュレーション、テスト・パターンの設定、双

曲線やその他の超越関数の生成ができません。5μs 未満のセトリング時間の 16 ビット・コンバータによって、0.002%未満の歪みで最大 200kHz まで出力できます。

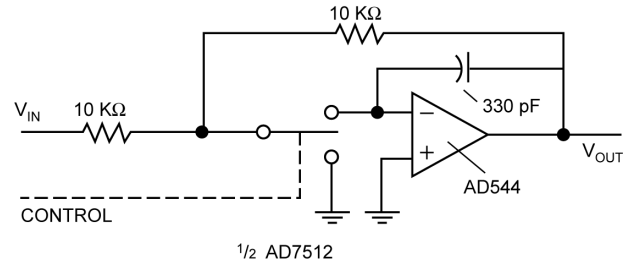
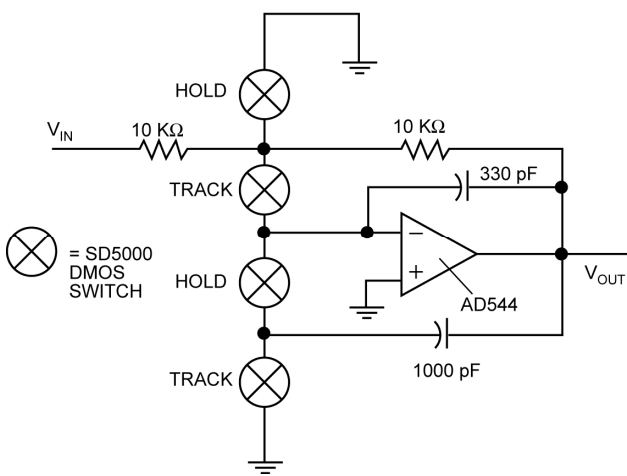


図 15. D/A コンバータ用のデグリッチャ回路

高速の高分解能コンバータにトラック & ホールド・アンプと 2 個のデグリッチャを組み合わせれば、十分に低価格できわめて高性能な 2 チャンネル・デジタル・オーディオ・システムを実現できます。このシステムで、アナログ出力のステレオ・ペアを 50kHz で同時に更新できます。トラック & ホールドが右チャンネルの出力を保存し、左チャンネルはコンバータの入力に送られます。その後、2 個のデグリッチャがホールド・モードからフォロー・モードに切り替わり、その出力が前のサンプルから新しいサンプルに切り替わります。アンプのスルーレート制限に起因する歪みを解消するため、デグリッチャ応答は帯域制限します。3.4 μ s の時定数によって、フルパワーの 20kHz サイン波を歪みなしで送ることができます。16 ビット・コンバータにト

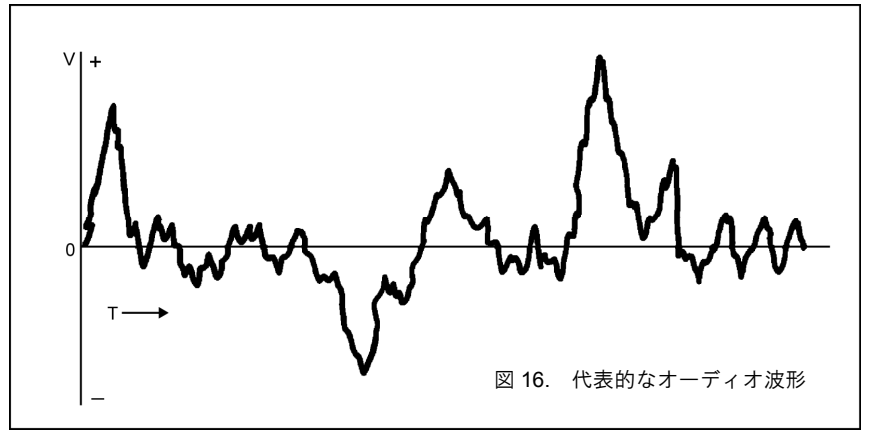


図 16. 代表的なオーディオ波形

ラック & ホールド・アンプとデグリッチャを組み合わせて使用することで、歪みが

0.005% 未満のオーディオ信号を生成できます。

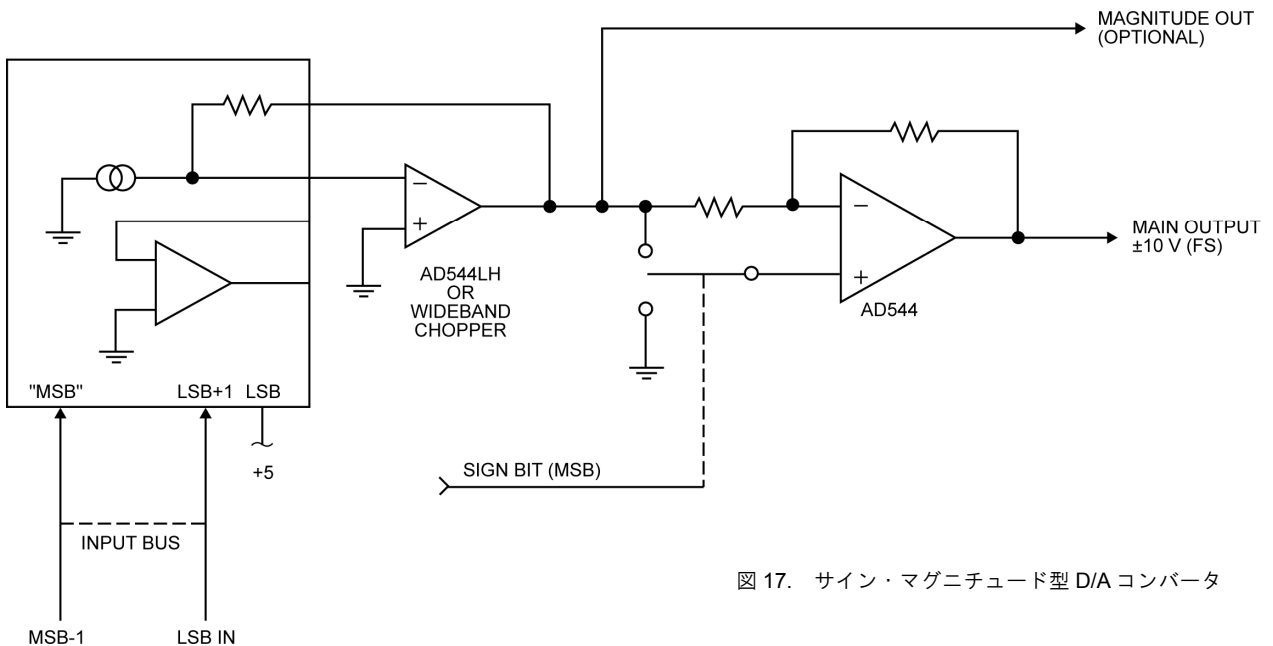
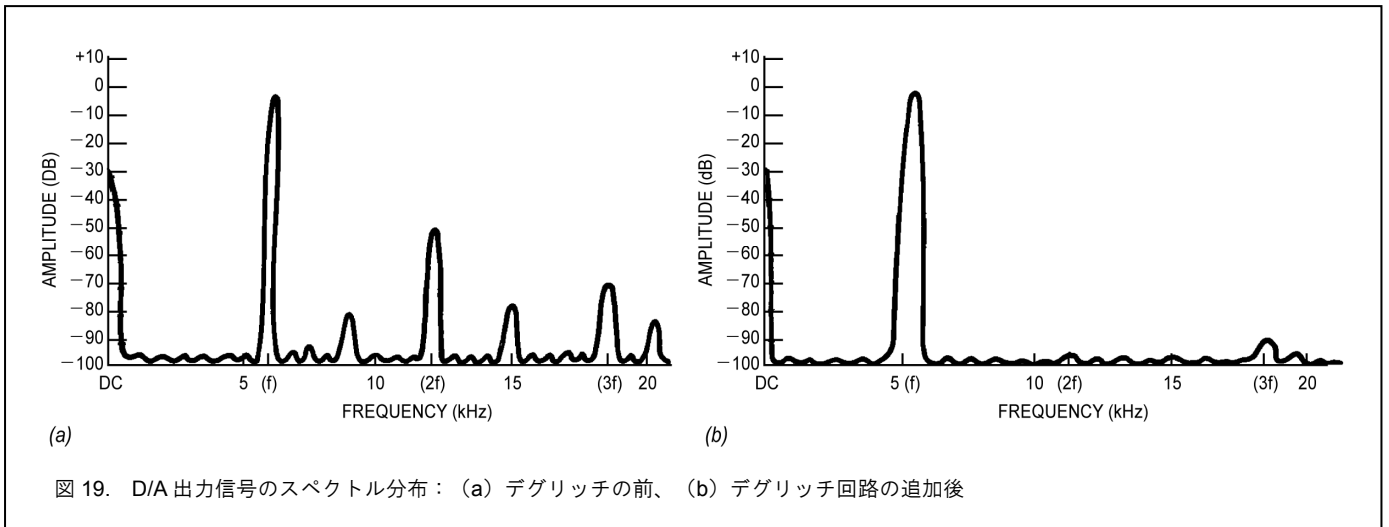


図 17. サイン・マグニチュード型 D/A コンバータ



高分解能コンバータのアプリケーションでは、電気通信も重要な分野になります。電話、ブロードキャスト、衛星通信のリンクを使って送信するためにデータをデジタル化し、受信側で再構成します。この場合もやはり、重要なパラメータは THD とセトリング時間であり、これらによって転送速度が制限されます。

波形再構成用の高分解能コンバータのその他の用途としては、ソナーや地震研究があります。ソナーでは、信号を送信し、そ

れが反射してレーザに戻るまでの時間を測定します。この時間をデジタル・フォーマットで保存し、コンバータに送ります。その結果、海底の画像を生成することができます。地震研究でも、同じようなプロセスが行われます。爆薬で爆発を起こし、指定の場所で A/D コンバータによってその振動を測定します。データをコンピュータで処理し、それを D/A コンバータに送って地震波プロファイルを生成します。

