

ADuCM4050 内蔵 ADC の性能を最適化

はじめに

生体信号のモニタリング、温度センシング、イメージングなどのアプリケーションでは、通常、高ダイナミック・レンジで高分解能の A/D コンバータ (ADC) が必要となりますが、これによりコストが上昇し、消費電力が増大します。

このアプリケーション・ノートでは、ADuCM4050 システムに内蔵された 12 ビット ADC の性能を最適化する際の、オーバーサンプリングと平均化の技術およびサンプリング・クロックと電圧リファレンスの選択による影響について説明します。また、ADuCM4050 の ADC から取得されたサンプルをオーバーサンプリングおよび平均化する技術を実行する、プログラミング・フローとアプリケーション例についても説明します。

ADuCM4050 について

ADuCM4050 マイクロコントローラ・ユニット (MCU) は、処理、制御、および接続を目的とする超低消費電力の統合化されたミックスド・シグナル・マイクロコントローラ・システムです。この MCU システムは、ARM® Cortex-M4F プロセッサをベースにしています。また、この MCU には ADC サブシステムと共に、デジタル・ペリフェラル、内蔵のスタティック・ランダム・アクセス・メモリ (SRAM) とフラッシュ・メモリ、およびクロッキング、リセット、パワー・マネージメントの機能を実現するアナログ・サブシステムが集約されています。

ADuCM4050 MCU はダイナミックおよびソフトウェア制御のクロック・ゲーティングや電力ゲーティングなど、複数の電力モードや機能を集約し、極めて低いダイナミック電力と休止電力をサポートしています。

ADuCM4050 の全仕様は、ADuCM4050 のデータシートに記載されています。

ADC の最適化

ADuCM4050 マイクロコントローラは、最大 1.8MSPS まで動作可能な高速、マルチチャンネルの 12 ビット ADC を内蔵しています。ADC コントローラは、一連の変換を行いながら、専用のダイレクト・メモリ・アクセス (DMA) チャンネルを使用してデータをシステムに転送するように設定できます。この設定により、プロセッサは (デバイス全体の消費電力を最小限に抑える) Flexi™モードになり、他のタスクを実行できます。

ADC の性能は、オーバーサンプリングと平均化、電圧リファレンスの選択、サンプリング・クロックの選択、および消費電力の観点から向上させることができます。

目次

はじめに	1	サンプリング・クロックの選択	6
ADuCM4050 について	1	サンプリング・クロック源の選択	6
ADC の最適化	1	電力の最適化	7
改訂履歴	2	リファレンス・バッファの低消費電力モード	7
オーバーサンプリングと平均化	3	Flexi モード	7
オーバーサンプリングの概念	3	高電力降圧	7
リファレンス電圧の選択	4	オーバーサンプリングと平均化技術の実装	8
内部リファレンス電圧	4	プログラミング・フロー	8
内部リファレンス・バッファの高速放電	4	アプリケーション例の概要	11
外部リファレンス電圧	4	結果	12
V _{BAT} をリファレンス電圧として使用可能	4	参考文献	13
PCB の推奨事項	4		

改訂履歴

7/2018—Revision 0: Initial Version

オーバーサンプリングと平均化

オーバーサンプリングは、内蔵 12 ビット ADC をアプリケーションにおいて効率的に使用するための 1 つの技法です。

ADuCM4050 マイクロコントローラの ADC サブシステムには、ハードウェア・コントローラでオーバーサンプリングと平均化の技法を実行するオプションがあるため、MCU で専用のソフトウェアを実行する必要はありません。この結果、ADC サブシステムでは、アルゴリズムを計算する際のプロセッサのオーバーヘッドと消費電力を低減できます。オーバーサンプリングの概念のセクションでは、オーバーサンプリングと平均化の手法を使用した ADC の性能向上について考察します。

オーバーサンプリングの概念

オーバーサンプリングは、ナイキスト周波数 $f_s/2$ よりも周波数の高い入力信号をサンプリングするプロセスです。ここで、 f_s はサンプリング周波数です。

入力信号を $M \times f_s$ でサンプリングして、 M 個のサンプルを平均すると 1 つのサンプルが得られます。係数 M は、オーバーサンプリング係数と呼ばれています。

図 1 の Part A に示すように、ナイキスト帯域 ($DC \sim f_s/2$) 内に量子化ノイズが様に分布する理想的な n ビット ADC を検討してみましょう。図 1 の Part B に示すように、入力信号をこの ADC を使用してはるかに高いサンプリング・レート (Mf_s) でサンプリングすると、ノイズは $DC \sim Mf_s/2$ の広い帯域幅にわたって分布します。 M 個のサンプルごとの平均化処理はデジタル・フィルタとして機能するため、入力信号の帯域幅に影響を与えずに広帯域ノイズの大部分を除去することができます。次式に示すように、この処理を行うと、S/N 比 (SNR) はデシベル単位で増加します。

$$S/N \text{ 比} = 6.02N + 1.76 + 10\log_{10}M \quad (1)$$

ここで、 N は理想的な ADC の有効ビット数 (ENOB) です。

このようにして、低分解能の ADC を使用した場合でも高分解能のアナログ/デジタル変換を実現できます。

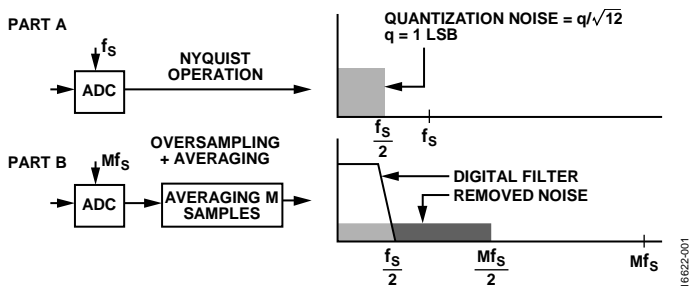


図 1. 周波数領域でのオーバーサンプリングと平均化の効果

この技術を適用すると、信号帯域外のノイズが除去され、ダイナミック・レンジが $10\log_{10}M$ だけ増加し、ENOB が \sqrt{M} だけ増加します。ここで、 M はオーバーサンプリング係数です。

一般に、サンプリング周波数が倍増するごとに、S/N 比は 3dB 増加し、ENOB は 0.5 ビット向上します。

例えば、理想的な場合では、4 つの 12 ビット ADC のサンプルを平均化すると、ENOB は 1 ビット増加し、ダイナミック・レンジは 6dB 向上します。

一般に、ADC では量子化ノイズ、熱ノイズ、ADC の非直線性による歪み、および、クロックやリファレンスをはじめとする様々な要素による何らかの外部ノイズが発生します。これらのノイズが原因で、性能の実測値は理論値ほど高くはなりません。50kSPS のときにノイズ・フリー・ビットが 10.5 の 12 ビット ADC を検討してみましょう。入力信号で隣接する 2 つのサンプルを平均化すると、有効なサンプリング周波数が 25kSPS に減少し、ノイズ・フリー・ビットが 11 ビットに増加します。更に、隣接する 4 つのサンプルを平均化すると、有効なサンプリング・レートは 12.5kSPS に減少し、ノイズ・フリー・ビットは 12.5 ビットに増加します。

隣接するサンプルを平均化すると、信号内に存在する無相関ノイズだけが減少するので、ADC のノイズ・フロアが減少し、S/N 比が向上します。ただし、積分非直線性 (INL) は変わりません。したがって、この技術を使用すれば ADC のダイナミック・レンジを効果的に向上させることができますが、その代わりに全体的な出力サンプリング・レートを上げたり、デジタル・ハードウェアを付加したりする必要があります。

ADC で観測されるノイズが量子化ノイズだけの場合は、平均化を行っても性能は向上しません。この場合、ディザとして知られている少量の白色ノイズを入力に加えて平均化を行うと、容易に高い分解能を得ることができます。加えるノイズは入力信号と無相関である必要があり、変換出力がランダムにトグルされるように振幅は十分に大きくなければなりません。入力に上記のディザが加えられた場合、変換されるサンプルのヒストグラムはガウス分布に従います。これらのサンプルの平均化処理はローパス・フィルタとして機能し、ノイズがフィルタリングされて、S/N 比が増加します。

十分なノイズが入力に加えられ、オーバーサンプリング値が平均化された場合でも、ノイズ・フリー・ビットは理論値ほど高くなりません。この制限は、コンバータの全高調波歪み (THD) が原因です。

リファレンス電圧の選択

ADC の性能において、リファレンス電圧を適切に選択することは重要な要素です。

ADuCM4050 マイクロコントローラはリファレンス・バッファを内蔵しており、このバッファは内蔵バンドギャップ・リファレンスを使用して、リファレンス電圧として 2.50V または 1.25V を生成できます。バッテリー電圧 (V_{BAT}) または外部電圧もリファレンスとして選択できます。これらの設定値 (リファレンス電圧) は、同時には選択できません。内部バッファと V_{BAT} の両方をリファレンス・ソースとして選択すると、内部リファレンス・バッファがディセーブルになり、 V_{BAT} がリファレンス電圧として選択されます。

内部リファレンス電圧

電源 モニタ ・ ステータス ・ レジスタ (図 2 に示す PMG_PSM_STAT) によって指定されるバッテリー範囲に基づいて、ADC 設定レジスタのリファレンス (図 3 に示す ADC_CFG レジスタの VREFSEL ビット) として 2.5V または 1.25V を選択できます。

バッテリー電圧が 2.75V を上回る場合は、2.5V または 1.25V を内部 ADC リファレンスとして選択します。バッテリー電圧が 2.75V を下回る場合は、1.25V をリファレンスとして選択します。

内部リファレンス・バッファの高速放電

ADuCM4050 MCU では、高いリファレンス電圧から低いリファレンス電圧への高速切替えが可能です。ADC 設定レジスタの高速放電ビットをイネーブルにする (ADC_CFG レジスタの FAST_DISCH ビットを 1 に設定する) ことによって、この切替えを実行できます。

下記の切替えを行うとき、高速放電をイネーブルにできます。

- 2.5V から 1.25V
- V_{BAT} から 1.25V
- V_{BAT} から 2.5V ($V_{BAT} > 2.5V$ の場合)

例えば、室温で 2.5V から 1.25V に切り替えると、切替え時間が 2% (45ms から 0.9ms に) 減少します。

外部リファレンス電圧

外部リファレンス電圧を選択するには、ADC 設定レジスタの内部リファレンス・イネーブル・ビット (ADC_CFG レジスタの REFBUFEN ビット) を 0 に設定することによって、内部リファレンス・バッファをディセーブルにします。外部リファレンス電圧は、バッテリー電圧を上回ってはいけません。

外部リファレンス・ソースは、VREFP_ADC ピンに接続する必要があります。内部バッファを使用している間は、VREFP_ADC ピンをフロート状態にする必要があります。ADC の性能を向上させるためには、外部リファレンス・ソースをノイズ・フリーにする必要があります。

V_{BAT} をリファレンス電圧として使用可能

ADuCM4050 MCU は、内部リファレンスを V_{BAT} に切り替える特別な機能を備えています。この機能により、ADC は V_{BAT} 電源を電圧リファレンスとして使用できるため、外部ソースを VREFP_ADC ピンに追加接続する必要がなく、また、電源ピンから VREFP_ADC ピンまでのボード上のワイヤ接続も必要ありません。

V_{BAT} の使用時に VREFP_ADC をイネーブルにするには、ADC_CFG レジスタの VREFVBAT ビットを 1 に設定します。最低 700 μ s 待ち、その後 VREFVBAT_DEL ビットを 1 に設定します。内部リファレンスを V_{BAT} に正常に切り替えるには、少なくとも 700 μ s の遅延が必要です。

PCB の推奨事項

GND_VREFADC ピンの近くに 4.7 μ F と 0.1 μ F のコンデンサを並列に接続して、VREFP_ADC ピンをデカップリングすることを推奨します。更に、このピンを ADuCM4050 の GND_DIG、GND_ANA、および露出パッドに接続する必要があります。これらのデカップリング部品から最大限の性能を発揮させるには、これらのコンデンサをデバイスのできるだけ近くに (理想的にはデバイスのすぐ隣に) 配置する必要があります。

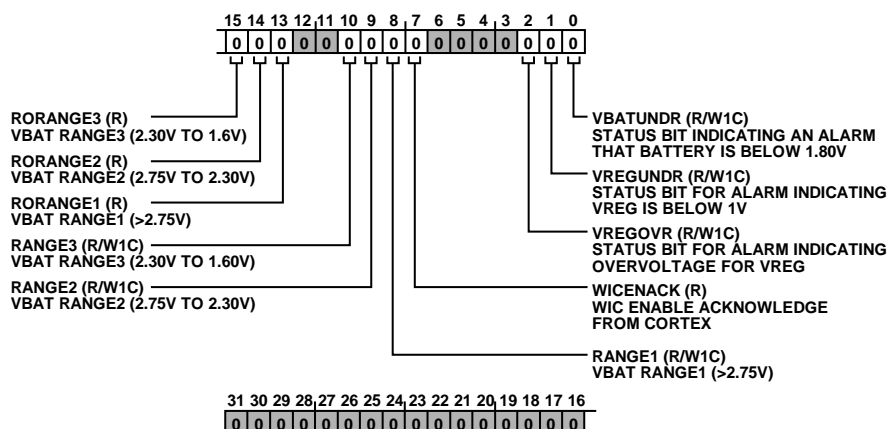


図 2. PMG_PSM_STAT レジスタ

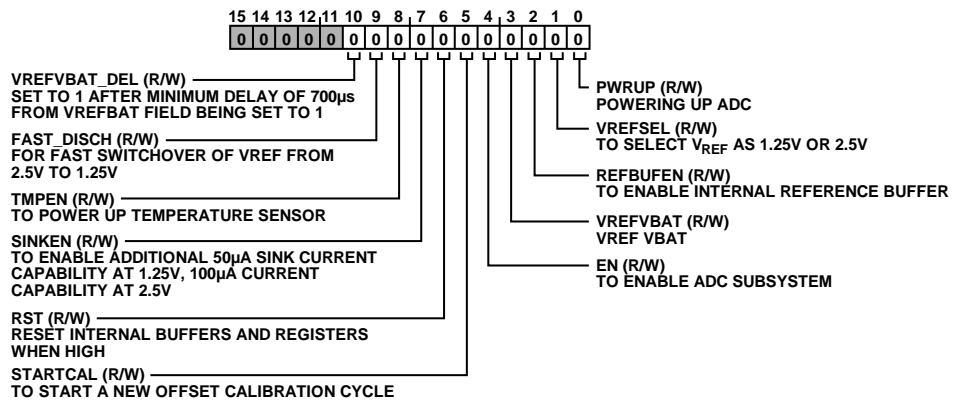


図 3. ADC_CFG レジスタ

16822-017

サンプリング・クロックの選択

サンプリング・クロックのジッタに関する特性によって、ADCの性能が決まります。最適なサンプリング・クロックの選択は、アプリケーションの選定に基づいた重要事項です。ジッタとはクロック・エッジの位置が変動することであり、この変動によってサンプリング時間の誤差が発生します。サンプリング・エッジにこうした変動があると、サンプルの間隔が一定でなくなり、コンバータのノイズ性能が低下します。

コンバータのノイズ性能の低下を観測することによって、クロック・ジッタを推定できます。次式を用いることで、ジッタに起因する S/N 比の限界を算出します。

$$\text{S/N 比} = -20\log(2\pi f_{IN} t_{JITTER(RMS)}) \text{ dB} \quad (2)$$

ここで、

f_{IN} は入力周波数です。

$t_{JITTER(RMS)}$ はサンプリング・クロックの rms ジッタです。

サンプリング・レートが 154kSPS の理想的な 12 ビット ADC では、クロック・ジッタの条件は、入力周波数が 70kHz の場合に約 412ps になるのに対して、入力周波数が 300Hz の場合に約 105ns になります。

図 4 に示すように、クロック・ジッタを観測する従来の方法は、クロック・ジッタのスペクトルを解析することによって行われていました。図 4 では、サンプリング・クロックにジッタが存在するので、理想的なインパルス応答が広がって、スペクトル漏れが発生しています。エネルギーの大部分は目的の周波数の近くに分布し（近接ノイズとして知られている）、同時に広帯域にも広がっています（高帯域ノイズとして知られている）。近接位相ノイズにより、基本波信号が多数の周波数ビンに広がるため、全体的なスペクトル分解能が低下します。

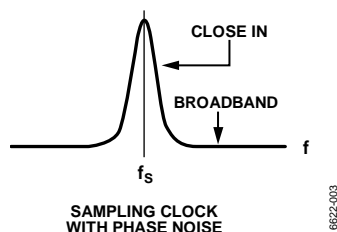


図 4. 周波数領域のサンプリング・クロックとジッタ

サンプリング処理では、サンプリング・クロックとアナログ入力信号が乗算されます。この時間領域での乗算は、周波数領域での畳込みと等価です。このため、サンプリング・クロックのスペクトルが純粋なサイン波の入力信号スペクトルと畳み込まれると、合成されたスペクトルにはサンプリング・クロックのスペクトルからのスペクトル漏れも含まれています。この漏れにより、コンバータのノイズ性能が低下します。

図 5 と図 6 は、クロック・ジッタが ADC サンプルのスペクトルに与える影響を示しています。16 ビットのサンプルを取得するため、ADC はオーバーサンプリング・モードでイネーブルされ、157Hz の入力信号は 604SPS でサンプリングされています。図 5 に示すように、1 秒間に約 4ns のジッタが発生する自励発振器を

使用して入力周波数をサンプリングすると、サンプリングされた信号の S/N 比は低下します。同じセットアップにおいて、ジッタの極めて少ないクロック源（約 200ps）を使用して入力信号をサンプリングすると、前の場合のスペクトルで確認できる劣化は観測されません（図 6 を参照）。

詳細については、AN-756 アプリケーション・ノート、サンプル化システムに及ぼすクロック位相ノイズとジッタの影響を参照してください。

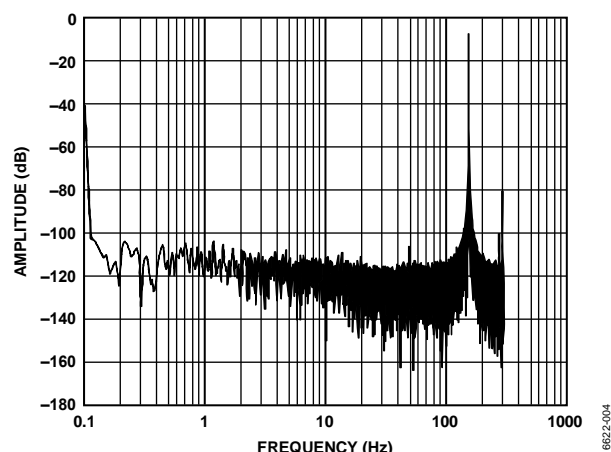


図 5. 周波数領域で ADC クロック・ジッタが ADC サンプルに与える影響、ジッタ ≈ 4ns

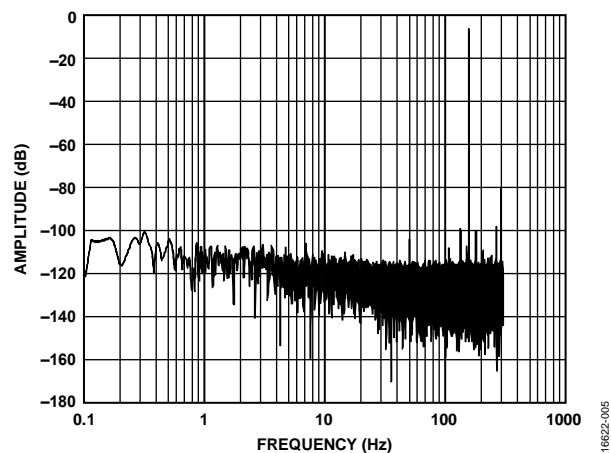


図 6. 周波数領域で ADC クロック・ジッタが ADC サンプルに与える影響、ジッタ ≈ 200ps

サンプリング・クロック源の選択

この MCU ではサンプリング・クロック源として、内部の 26MHz 発振器、または外部の 26MHz 水晶発振器を選択できます。詳細については、ADuCM4050 パワー・マネージメント搭載の超低消費電力 ARM Cortex-M4F MCU ハードウェア・リファレンスを参照してください。

電力の最適化

ADC が内蔵された MCU を使用するシステムや、多くの外部センサーとインターフェースするシステムを検討する場合、ADuCM4050 MCU の低消費電力機能を使用すると、ADC サブシステムが被る全体的なノイズを低減できるため、ADC の性能を向上させることができます。また、低消費電力オプションを有効にすると、MCU の消費電力を最適化することもできます。リファレンス・バッファの低消費電力モード、Flexi モード、および高電力降圧の各セクションでは、ADuCM4050 マイクロコントローラに備えられている様々な機能について説明します。

リファレンス・バッファの低消費電力モード

ADC のサンプリング・レートが 100kSPS 未満のとき、内部リファレンス・バッファは、低消費電力モードで動作できます。低消費電力モードでは、バッファの電流消費が通常動作モードよりも約 100 μ A 少なくなります。低消費電力モード・レジスタ (ADC_CFG1 レジスタ) にあるリファレンス・バッファの RBUFLP ビット・フィールドを 1 に設定することによって、低消費電力モードを有効にします。

Flexi モード

ADC が複数のサンプルを変換している間、DMA をイネーブルにしてサンプルを ADC の出力バッファからメモリに転送します。この間、ARM Cortex-M4F コアを Flexi モードにしたり、その他の機能のために使用したりでき、全体的な消費電力を減らすことができます。

Flexi モードでは、コアがスリープしている間でも、ペリフェラルと DMA にはクロックが供給されます。このため、ペリフェラルとメモリの間だけでなく、あるメモリ位置から別のメモリ位置にも DMA 転送を続行できます。ADC が変換している間、MCU におけるこの低消費電力モードでもノイズ・フリー環境を確保できます。

高電力降圧

高電力降圧 (HP 降圧) は、V_{BAT} レベルに基づいてデバイス全体の消費電流を低減できる容量性の降圧コンバータです。バッテリー電圧が 2.8V を上回る場合、デバイスの消費電流は約 50% 減少します。

オーバーサンプリングと平均化技術の実装 プログラミング・フロー

以下の手順において、1つのチャンネルで複数の変換を平均化する方法について説明します。

1. 次式に規定されるように、クロック・コントロール・レジスタ (CLKG_CLK_CTL1 レジスタの ACLKDIVCNT ビット) で ADC クロック分周器を設定し、ADC クロック (ACLK) を規定します。

$$ACLK = \frac{Root\ Clock}{ACLKDIV} \quad (3)$$

ここで、*Root Clock* はルート・クロック周波数 (26MHz) であり、高周波発振器、高周波水晶発振器、フェーズ・ロック・ループ (PLL)、または外部の汎用入出力 (GPIO) クロック源から供給できます。デフォルトでは、ルート・クロックは HFOSC です。必ず $ACLK \leq PCLK$ かつ $ACLK \leq HCLK$ となるようにしてください。ACLK に設定する最高周波数は、26MHz でなければなりません。

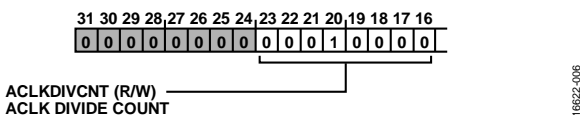
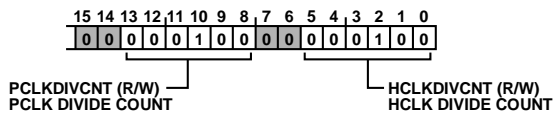


図 7. CLKG_CLK_CTL1 レジスタ

ADC のサンプリング・レートは、ACLK に基づいて内部で計算されます。ここで、アキュイジション・フェーズでは ADC_CNV_TIME レジスタの SAMPTIME ビット + 1ACLK サイクルかかり、変換フェーズでは逐次比較によって 13ACLK サイクルかかります。変換フェーズは、アキュイジション・フェーズの終了時に開始されます。次式を使用して、サンプリング・レートを計算します。

$$ADC\ Sampling\ Rate = \frac{Root\ Clock \div ACLKDIV}{((14 + Sampling\ Time) \times Oversampling\ Factor)} \quad (4)$$

オーバーサンプリング係数によって、オーバーサンプリングおよび平均化されるサンプル数が決まります。オーバーサンプリング係数として、1~256 の値が設定できます。

ADC のサンプル間に遅延時間を設ける場合は、式 5 を使用してサンプリング・レートを計算します。

Delay Time は、1 未満の値にすることができないことに注意してください。

2. ADC 設定レジスタのパワーアップ ADC ビット (ADC_CFG レジスタの PWRUP ビット) を 1 に設定して、ADC をパワーアップします (図 3 を参照)。

3. ADC パワーアップ時間レジスタの待機ビット・フィールド (ADC_PWRUP レジスタの WAIT ビット・フィールド) に、526 を CLKG_CLK_CTL1 レジスタの PCLKDIVCNT ビットで割った値を設定します。

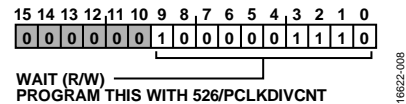


図 8. ADC_PWRUP レジスタ

ADC を正常に動作させるには、パワーアップ待機時間が必要です。CLKG_CLK_CTL1 レジスタの PCLKDIVCNT ビットが 1 の場合、ADC に必要な最大パワーアップ待機時間は 526 クロック・サイクルです。

4. ADC_CFG レジスタの VREFSEL ビットを使用して、内部の 1.25V または 2.5V のリファレンス・バッファをリファレンス電圧として選択します。
5. ADC_CFG レジスタの REFBUFEN ビットを 1 に設定することによって、内部リファレンス・バッファをイネーブルにします。
6. ADC_CFG1 レジスタの RBUFLP ビットを 1 に設定することによって、リファレンス・バッファにおける低消費電力モードを有効にします。

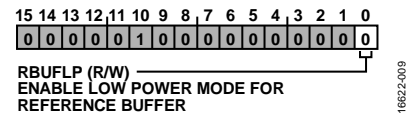
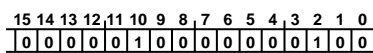


図 9. ADC_CFG1 レジスタ

7. ADC_CFG レジスタの EN ビットを 1 に設定することによって、ADC サブシステムをイネーブルにします。
8. 3.5ms 以上待機します。この待機時間は、内部リファレンス・バッファが設定されたリファレンス・バッファ電圧レベル (1.25V または 2.5V) に達するために必要です。3.5ms 待機するために汎用 (GP) タイマーの 1 つを使用することができます。この待機期間中、デバイスを Flexi モードにすると、システム電力を節約でき、また、GP タイマーの割込みによってデバイスはウェイクアップできます。
9. ADC ステータス・レジスタ上のビット (ADC_STAT レジスタの RDY ビット) で ADC が変換を開始するための準備状態を確認します。このビットが 1 の場合、ADC は変換を開始する準備が整っています。
10. このビットに 1 を書き込むと、ADC_STAT レジスタの RDY ビット (図 11 を参照) をクリアできます。
11. ADC_CFG レジスタの STARTCAL ビットを 1 に設定して、キャリブレーション・サイクルを開始します (図 3 を参照)。
12. ADC_STAT レジスタの CALDONE ビットを確認します。このビットがアサートされている場合は、このビットに 1 を書き込んでクリアします (図 11 を参照)。
13. ADC 変換設定レジスタ (ADC_CNV_CFG レジスタ) の SEL ビット (図 12 を参照) を設定して、変換を行うチャンネルを選択します。例えば、これらのビットに 1 を書き込むと、チャンネル 0 が選択されます。

$$ADC\ Sampling\ Rate = \frac{Root\ Clock \div ACLKDIV}{((14 + Sampling\ Time) \times Oversampling\ Factor) + (Delay\ Time + 2)} \quad (5)$$

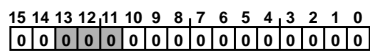


DLY (R/W)
DELAY BETWEEN TWO
CONSECUTIVE CONVERSIONS
IN TERMS OF NUMBER OF
ACLK CYCLES

SAMPTIME (R/W)
NUMBER OF CLOCK
CYCLES (ACLK) REQUIRED
FOR SAMPLING

16622-101

図 10. ADC_CNV_TIME レジスタ



RDY (R/W1C)
INDICATES ADC IS READY TO
START CONVERTING, WHEN
USING EXTERNAL REFERENCE
BUFFER

CALDONE (R/W1C)
INDICATES CALIBRATION IS DONE

TMP2DONE (R/W1C)
INDICATES CONVERSION IS DONE FOR
TEMPERATURE SENSING 2

TMPDONE (R/W1C)
INDICATES CONVERSION IS DONE FOR
TEMPERATURE SENSING

BATDONE (R/W1C)
INDICATES CONVERSION DONE FOR BATTERY
MONITORING

DONE7 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 7

DONE6 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 6

DONE0 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 0

DONE1 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 1

DONE2 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 2

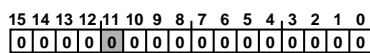
DONE3 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 3

DONE4 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 4

DONE5 (R/W1C)
INDICATES CONVERSION DONE ON CHANNEL 5

16622-010

図 11. ADC_STAT レジスタ



MULTI (R/W)
SET TO START MULTIPLE
CONVERSIONS

SINGLE (R/W)
SET TO START SINGLE
CONVERSION

DMAEN (R/W)
TO ENABLE DMA CHANNEL

AUTOMODE (R/W)
TO ENABLE AUTO MODE

SEL (R/W)
TO SELECT CHANNEL(S) TO CONVERT

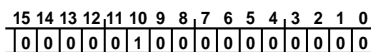
BAT (R/W)
TO ENABLE BATTERY MONITORING

TMP (R/W)
TO SELECT TEMPERATURE MEASUREMENT 1

TMP2 (R/W)
TO SELECT TEMPERATURE MEASUREMENT 2

16622-011

図 12. ADC_CVN_CFG レジスタ



RESULT (R)
REGISTER TO STORE CONVERSION
RESULT FOR DMA

16622-102

図 13. ADC_DMA_OUT レジスタ

- 変換が完了したとき、ADC 割込みイネーブル・レジスタ (ADC_IRQ_EN レジスタ) の CNVDONE ビットを 1 に設定し、割込み機能を有効にします (図 14 を参照)。
- ADC 平均化設定レジスタ (ADC_AVG_CFG) の OS ビットと EN ビットを 1 に設定して、オーバーサンプリングと平均化を有効にします (図 15 を参照)。
- ADC 平均化設定レジスタ (ADC_AVG_CFG) の FACTOR ビット・フィールドでオーバーサンプリングと平均化の係数 (M) を設定します。表 1 は、特定の分解能が必要な場合にプログラムしなければならない要素の一覧表です。
- ADC_CNV_CFG レジスタの SINGLE ビットを 1 に設定して、シングル変換を開始します (図 12 を参照)。

- ADC_IRQ_EN レジスタの CNVDONE ビットが 1 に設定されている場合は、変換完了割込みが発生します。変換完了割込みが発生した場合は、対応するチャンネルの ADC_STAT レジスタの変換完了ビット (ADC_STAT レジスタの DONE0 ビットなど) を確認します。
- 対応するチャンネルの変換結果レジスタ (ADC_CH0_OUT など) から変換出力を読み出します。
- ADC_STAT レジスタの変換完了ビットに 1 を書き込んでクリアします (例えば、DONE0 ビットに 1 を書き込む)。
- オーバーサンプリングおよび平均化された複数のサンプルを取得するには、手順 1~15 を繰り返します。

22. 以下のように DMA の設定を行います。

- 変換数が 10 の場合は、DMA カウント = 9 (DMA カウント = 変換数 - 1) になります。
- ソース・アドレスは、ADC_DMA_OUT レジスタのアドレスです (図 13 を参照)。
- ソース・サイズはハーフ・ワードです。
- DMA のディスティネーション・アドレスを SRAM メモリ・ロケーション・アドレスに設定して、変換結果を保存します。

- ディスティネーション・アドレス内に必要なインクリメントをプログラムします。

23. ADC 変換設定レジスタ (ADC_CNVR_CFG レジスタ) の DMAEN ビットを 1 に設定して、DMA をイネーブルにします。
24. ADC 変換設定レジスタ (ADC_CNVR_CFG レジスタ) の MULTI ビットを 1 に設定して、変換を開始します。
25. DMA_DONE 割込みが発生したときに、MULTI ビットをクリアして、割込みサービス・ルーチンでこの後の変換を無効にします (図 16 を参照)。

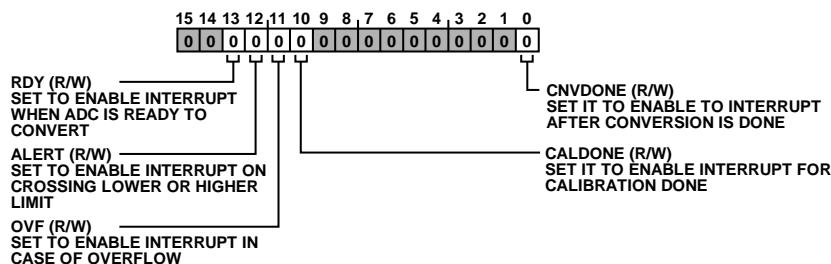


図 14. ADC_IRQ_EN レジスタ

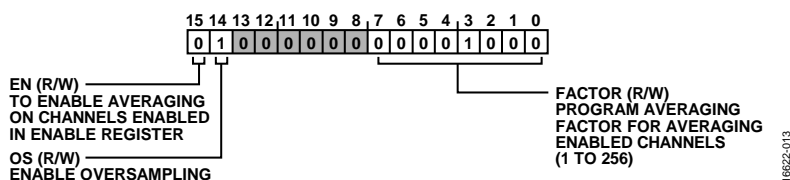


図 15. ADC_AVG_CFG レジスタ

表 1. 分解能を向上させるためのオーバーサンプリングと平均化の係数

Resolution Required	Oversampling and Averaging Factor (M)	Number of Samples Used for Averaging
13-Bit	0x02	4
14-Bit	0x08	16
15-Bit	0x20	64
16-Bit	0x80	256

アプリケーション例の概要

このセクションでは、電力最適化モードで ADC のオーバーサンプリングと平均化を実行するアプリケーション・シーケンスについて説明します。

この例では、ADC はオーバーサンプリングと平均化モードでイネーブルされています。オーバーサンプリング係数 (M) を 256 に設定して、16 ビットのサンプルを取得します。DMA には、16 ビットのサンプル 1024 個を取得して SRAM のロケーションに保存するように設定します。その後、サンプルはユニバーサル非同期レシーバー/トランスミッタ (UART) インターフェース

によって取得されます。ADC 変換と DMA 転送の間、コアは Flexi モードになります。

図 16 に、マルチ変換モードでのオーバーサンプリングのアプリケーション・フローを示します。

図 17 にアプリケーション・シーケンスを示します。

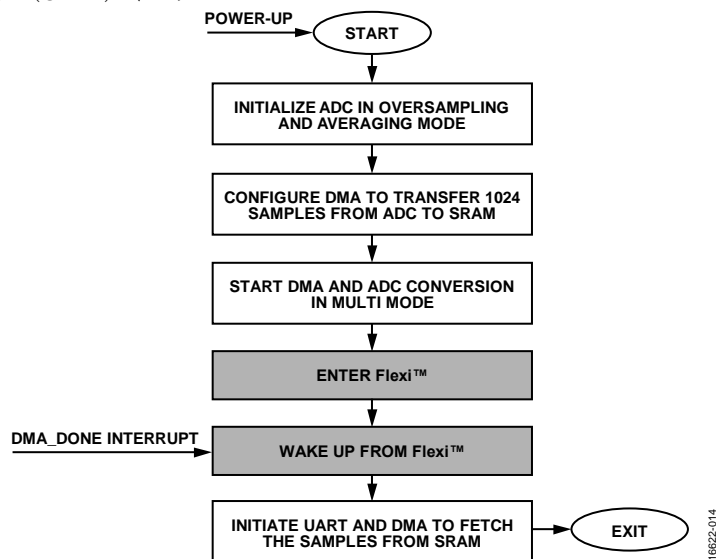


図 16. マルチ変換モードでのオーバーサンプリングのアプリケーション・フロー

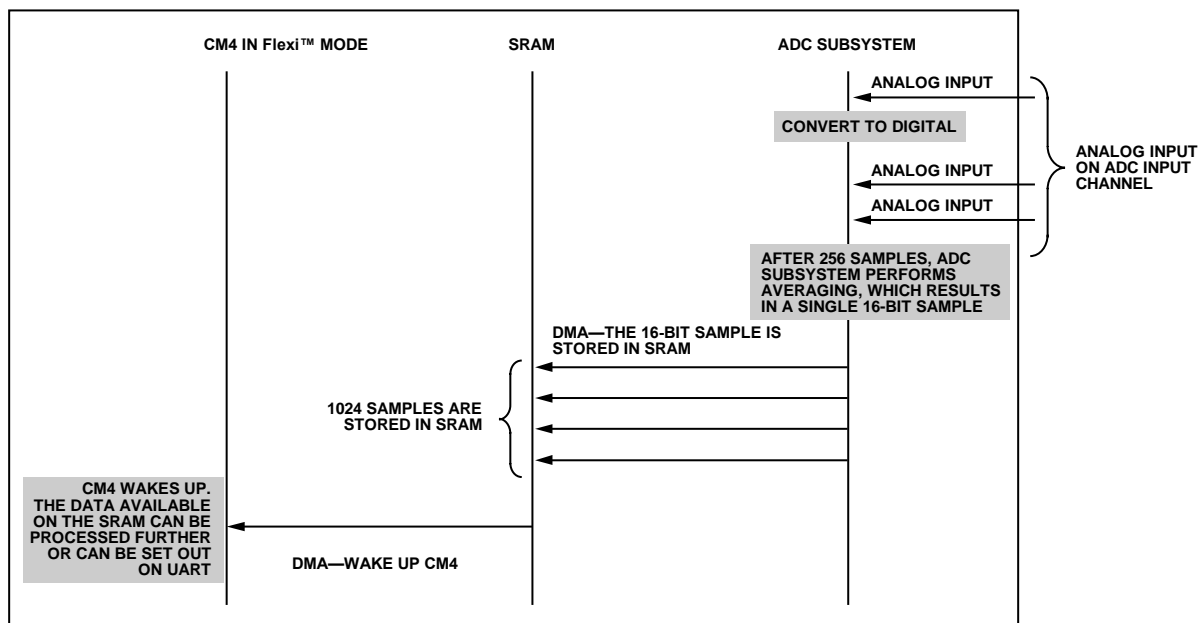


図 17. アプリケーション・シーケンス

結果

図 18 はオーバーサンプリングと平均化の係数に対する有効ビット数 (ENOB) をグラフ化したもので、ADC 性能の測定値を示しています。この ADC は理想的ではないため、ENOB は式 1 の S/N 比に基づいて計算しています。S/N 比は、周波数が 157Hz のサイン波信号を信号発生器から ADC チャンネル 0 に入力することによって得ています。

オーバーサンプリング係数 (M) ごとにスループットが常に 604SPS になるように、ADC のクロック周波数を調整しています。

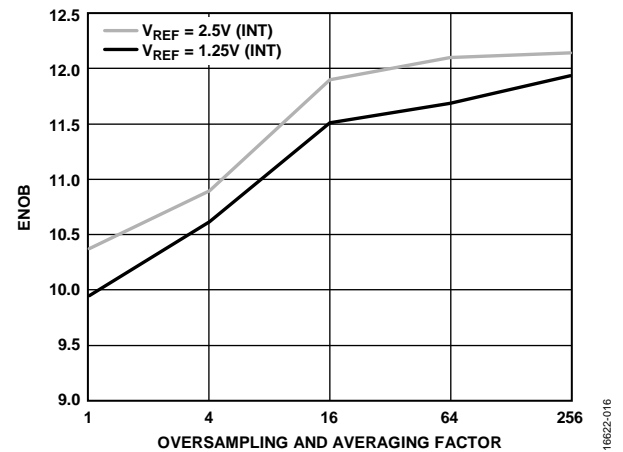


図 18. オーバーサンプリングと平均化の係数に対する ENOB

参考文献

Brannon, Brad. AN-756 アプリケーション・ノート：サンプリングシステムに及ぼすクロック位相ノイズとジッタの影響、Analog Devices, 2004.

Kester, Walt. 『ADCの入力ノイズ：良いノイズと悪いノイズと厄介なノイズ 良いノイズとはノイズ・ゼロのこと?』 Analog Dialogue Vol. 40, February 2006.

Kester, Walt. 2005. The Data Conversion Handbook. Analog Devices.

Reeder, Rob, Wayne Green, and Robert Shillito. 『A/Dコンバータのクロックの最適化 試験工学的な観点』 Analog Dialogue Vol. 42, February 2008.