

**HMC661LC4B および HMC1061LC5 を ADC とともに使用する場合の
一般的なガイドラインおよび手順****はじめに**

ソフトウェア無線、レーダー・システム、電子戦闘 (EW)、電子諜報 (ELINT)、試験・計測器などのさまざまなアプリケーションでは、数 GHz の帯域を使用する広帯域データ・アキュジション・システムが必要となります。理想を言えば、システム設計者は、デジタル化のために信号源 (アンテナなど) を広帯域、高ダイナミック・レンジの A/D コンバータ (ADC) に直接接続できるようにしたいと考えています。これらのアプリケーションの多くでは、対象となる信号が ADC のサンプリング・レートを大幅に超える高周波信号である場合、サブサンプリングを行う必要があります。この方法における大きな問題は、現在の ADC が通常、これらの超広帯域アプリケーションに対応するのに十分な帯域幅を備えていないことです。高速 ADC の中にはサンプリング・レートを高めたものもありますが、それらの中に数 GHz を超える入力帯域を備えたものはほとんどありません。さらに、極超短波 (UHF) 帯域を超える周波数で十分なサンプリング直線性を維持することは技術的に困難であり、今日のほとんどの ADC は 1 GHz ないし 2 GHz の信号周波数以上では、直線性が急速に劣化します。

これらの問題は、最大サンプリング帯域幅、広い帯域幅にわたる高直線性、そして低ノイズが要求されるマイクロ波データ変換アプリケーションで使用できるように設計された、超広帯域トラック&ホールド・アンプの **HMC661LC4B** または **HMC1061LC5** を使用することにより克服することができます。18 GHz の入力帯域幅と優れた広帯域直線性を備えた HMC661LC4B は、ADC のフロント・エンドで外部マスター・サンプラとして使用できます。HMC661LC4B 内部において、広い帯域幅でサンプリングが行われた後、狭い帯域幅に保たれた出力波形は、ADC によって帯域幅が十分に低減された状態で処理することができます。HMC1061LC5 は、HMC661LC4B トラック&ホールド・アンプのデュアル・ランク・バージョンです。

また、トラック&ホールド・アンプによる安定した波形が、ADC の最適なベースバンドの直線性を利用して処理されるため、高い入力周波数で ADC の直線性の制限が緩和されます。さらに、HMC661LC4B では、ランダム・サンプル・ジッタが 70 fs 未満と非常に低くなっているため、マイクロ波の高い信号周波数で、ジッタによる S/N 比 (SNR) の劣化が最小限に抑えられます。このジッタ特性は、今日入手可能な ADC で一般に得られるジッタ特性と比べて極めて優れています。その結果、トラック&ホールド・アンプと ADC で構成されるアセンブリの性能を、ADC 単体の性能と比べた場合、入力帯域幅が大幅に拡大され、高周波での直線性が著しく改善され、さらに高周波での SNR が改善されています。

このアプリケーション・ノートでは、帯域幅と高周波性能を向上させるため、HMC661LC4B を高速 ADC とともに使用する場合のガイドラインを示します。また、デバイスの性能を最大限に発揮させるため、トラック&ホールド・アンプの動作、一般的な動作上の推奨事項について概説します。高速 ADC 用のマスター・サンプラとして HMC661LC4B を搭載した、代表的な評価用ボード・ベースのブレッドボード・アセンブリのセットアップおよびタイミング調整についても説明します。HMC661LC4B を高速 ADC とともに評価用ボード・セットアップで使用する場合、トラック&ホールド・アンプの性能をどのように発揮させることができるかを示す例を、アナログ・ダイアログの記事 *Radically Extending Bandwidth to Crush the X-Band Frequencies Using a Track-and-Hold Sampling Amplifier and RF ADC* に示しています。

目次

はじめに.....	1	トラック&ホールドと ADC で構成されるセットアップおよびタイミング.....	5
改訂履歴.....	2	トラック&ホールドと ADC で構成される セットアップ.....	5
HMC661LC4B トラック&ホールド・アンプの説明および動作 ..3		トラック&ホールドと ADC とのタイミング	6
HMC661LC4B トラック&ホールド・アンプの 概要の説明	3	ブレッドボード・セットアップにおける簡単なトラック&ホールドと ADC とのタイミング手順	8
HMC661LC4B の一般的な動作上の推奨事項.....	3	まとめ.....	10

改訂履歴

2/2018—Revision 0: Initial Version

HMC661LC4B トラック&ホールド・アンプの説明および動作

HMC661LC4B トラック&ホールド・アンプの概要の説明

HMC661LC4B は、最大限のサンプリング帯域幅、非常に広い帯域幅にわたる高直線性、そして低ノイズが要求されるマイクロ波データ変換アプリケーション向けのシングル・ランク、18 GHz のトラック&ホールド・アンプです。1 個のトラック&ホールド・アンプは、2 つのタイム・セグメントで構成される出力を生成します。出力波形のトラック・モード期間（HMC661LC4B の正の差動クロック電圧）内で、HMC661LC4B はユニティ・ゲイン・アンプとして動作し、入力帯域幅と出力アンプ帯域幅の制限を受けながら、出力で入力信号を再生します。正から負へのクロック遷移点で、HMC661LC4B は非常に狭いサンプリング・タイム・オーバーチャを用いて入力信号をサンプリングし、負のクロック期間に出力をサンプリング時点での信号の標本値で相対的に一定に保ちます。

主要な性能パラメータについては、HMC661LC4B のデータシートを参照してください。フルスケール入力レベルで帯域幅がかなり劣化する他の入手可能な高速トラック&ホールド・アンプとは異なり、HMC661LC4B は 1 V p-p のフルスケール差動入力までの入力レベル全範囲にわたる 18 GHz のサンプリング帯域幅と、最大 4 GSps のサンプリング・レートを実現します。このトラック&ホールド・アンプは、非常に広い帯域幅にわたり優れた直線性を確保し、フルスケール入力時、DC ~ 5 GHz 超で、56 dB 以上のスプリアスフリー・ダイナミック・レンジ (SFDR) を実現します。HMC661LC4B の重要な特長は、直線性と次数が正確な依存関係を示すことです（入力レベルが 6 dB 減少すると、2 次および 3 次の高調波成分のレベルがそれぞれ 12 dB および 18 dB 減少します）。この特長は、デジタル信号処理 (DSP) を使用して信号の平均化を行っている設計者にとって、とりわけ重要です。これらのユーザは、広帯域ノイズ・フロアを低減するために後変換処理を実行したり、直線性を向上させるために入力信号レベルのトレード・オフを選択したりすることがあります。データシートに示すように、入力レベルをフルスケールの半分に低減すると、広い帯域幅にわたって 10 ビット以上の直線性を確保できます。

HMC661LC4B は、DC カップリング、差動信号入出力、差動クロック入力を備えています。すべての入出力は、各差動半回路に対してインピーダンスが 50 Ω になっており、グラウンドを基準にした真のコモンモード電位で動作します。HMC661LC4B は、RoHS 準拠の 4 mm × 4 mm QFN リードレス・セラミック・パッケージに収められています。HMC661LC4B は、ソフトウェア無線、防衛や商用のレーダー・システム、EW、および ELINT システムのアプリケーションに最適です。HMC661LC4B は、スペクトラム拡散処理、広帯域スペクトラム解析、および、デジタル・サンプリング・オシロスコープなどのデジタルやアナログの高速試験計測器にも使用することができます。

HMC661LC4B の一般的な動作上の推奨事項

動作条件の詳細については、HMC661LC4B のデータシートを参照してください。読者の便宜を図るため、主要な動作の注意事項を、このアプリケーション・ノートにまとめています。

電源シーケンス

独立した電源からバイアスされる場合、推奨する電源スタートアップ・シーケンスは、V_{CC}OB、V_{CC}OFx、V_{CC}THx、V_{CC}CLKx、V_{EE}、および V_{EE}CLKx です。必要に応じて、V_{CC}OB、V_{CC}OFx、V_{CC}THx、および V_{CC}CLK を 1 つの 2 V 電源に接続することができます。

入力信号の駆動

最良の結果を出すためには、入力は差動で駆動する必要があります。入力をシングル・エンドで駆動することもできますが、HMC661LC4B の直線性は劣化します。HMC661LC4B をシングル・エンドで駆動するときは、未使用の入力は 50 Ω で終端する必要があります。

クロック入力

HMC661LC4B は、CLKP - CLKN をハイにするとトラック・モードになり、CLKP - CLKN をローにするとホールド・モードになります。可能であれば、クロック入力は差動で駆動すべきです。必要に応じて、クロック入力はシングル・エンドで駆動することができます。しかし、シングル・エンドの振幅およびスルー・レートは、差動で駆動する場合に推奨される完全な差動の振幅、およびスルー・レートと同等にする必要があります。未使用の入力は、50 Ω で終端する必要があります。

HMC661LC4B のデータシートに示すように、低いクロック周波数では、HMC661LC4B のトラック・モードとホールド・モードでの直線性は、クロック電力によって変化します。クロック電力によって直線性が変化するのは、クロック・ゼロ交差スルー・レートでの直線性が、臨界値以下のスルー・レートに対して弱い依存性があるためです。直線性とジッタを最適にするには、クロック・ゼロ交差スルー・レートを、(クロック入力あたり) およそ 2 V/ns ~ 4 V/ns 以上にすることを推奨します。

正弦波のクロックを入力する場合、4 V/ns は、4 GHz で -6 dBm、2 GHz で 0 dBm、および 1 GHz で 6 dBm といった差動半回路入力ごとの正弦波のクロック電力に相当します。クロック周波数にかかわらず、最小クロック振幅を（差動半回路入力ごとに）-6 dBm にすることを推奨します。特に 1 GHz 未満の低いクロック周波数において、クロック振幅を過大にすることなく希望のスルー・レートを達成するため、方形波クロックを推奨します。

出力

最もきれいな出力波形にするためには、出力を差動で検出する必要があります。出力インピーダンスは、 V_{CCOB} 電源に帰還する $50\ \Omega$ の抵抗性インピーダンスです。出力段は、各差動半回路出力でグラウンドに終端された $50\ \Omega$ を駆動できるように設計されています。HMC661LC4B は、通常、グラウンドから $\pm 50\ \text{mV}$ 以内で、しかもグラウンドを基準にした真の共通モード電圧出力を実現します。しかしながら、必要に応じて、出力の共通モード電圧レベルを $0\ \text{V}$ に正確に微調整するために、 V_{CCOB} 電源をわずかに調整することができます。

さらに、以下のおおよその関係に従って、 V_{CCOB} 電源を調整することによって、共通モード出力レベルを約 $\pm 0.5\ \text{V}$ の範囲内に調整することができます。

$$V_{OCM} = (V_{CCOB} - 2)/2$$

ここで、

V_{OCM} は、出力の共通モード電圧です。

V_{CCOB} は、 $1\ \text{V} < V_{CCOB} < 3\ \text{V}$ の範囲で変えることができます。

低いクロック・レート ($1\ \text{GHz}$ 未満など) での動作では、出力を $7\ \text{GHz}$ のアンプの出力帯域幅よりも狭い帯域幅にフィルタリングして、SNR を最適化することができます。上記の出力フィルタは、サンプリングされたフロント・エンド・ノイズを低減できませんが (このノイズは、信号のサンプリングで取り込まれたもので、トラック&ホールド・アンプのノイズの大部分を占めています。これは、フロント・エンドの帯域幅が広いからです。)、アンプの出力ノイズの影響を低減できます。出力をフィルタリングして帯域幅を最小にしても、必要な最大セットリング・タイムを確保できるので、選択したクロック・レートをサポートすることができます。一般的に、最適な帯域幅は、クロック・レートの 2 倍から 3 倍程度です。例えば、 $1\ \text{GHz}$ のノイズ帯域幅出力フィルタを用いて、 $350\ \text{MHz}$ のクロック・レートで動作させると、フィルタのない出力条件と比較して、ノイズを約 $1\ \text{dB}$ 低減させることが可能です。

出力アンプの帯域幅が広いいため、出力はクロック・エッジで急激に遷移します。チップ出力と負荷の間のケーブルが長すぎると、周波数応答の減衰や分散が起こり、出力波形を負荷に送るときのセットリングにおいて、比較的長い時定数で低い振幅の裾が発生する可能性があることを認識すべきです。

数フィートの長さの出力ケーブルを用いて、実験室の設定で動作させているとき (高品質のケーブルを用いたとしても)、負荷の影響が最も顕著に現れます。トラック&ホールド・アンプと負荷の間の出力ケーブルは、非常に高品質で長さが 2 フィート (約 $61\ \text{cm}$) 以下のものを使用する必要があります。

また、負荷と HMC661LC4B との間の反射によって、ホールド・モードの応答が劣化します。出力のケーブル長を調整することで、反射による乱れをある程度抑えることができます。一般に、波形のホールド・モード部分で反射による乱れを最小限に抑えるためには、ケーブルの往復に要する時間をクロック周期の整数倍にする必要があります。このケーブル長の基準は、基本的に低レベルの二重通過反射時間を、この反射源となる出力波形に一致させる場合のシナリオとほぼ同じです。トラック&ホールド・アンプが負荷から $50\ \text{ps}$ 以内のとき、最適な性能が得られます。なぜなら、距離が短く、通過時間が短ければ、反射の持続時間が HMC661LC4B のセットリング・タイムとほぼ等しくなるためです。ADC のアプリケーションでは、トラック&ホールド・アンプ出力と ADC 入力の間で経路上の反射の影響を最小限に抑えるため、トラック&ホールド・アンプを可能な限り ADC の近くに配置する必要があります。

トラック&ホールドと ADC で構成されるセットアップおよびタイミング

トラック&ホールドと ADC で構成される セットアップ

HMC661LC4B を高速 ADC 用のマスター・サンプラとして使用する、代表的な評価用ボードの実験室でのセットアップを、図 1 に示します。高い信号周波数でジッタによるノイズ・フロアの劣化を最小限に抑えるため、入力信号用とクロック信号用にジッタが極めて低いシンセサイズド・ジェネレータを使用する必要があります。5% の比帯域幅バンドパス・フィルタを用いると、信号源とクロック源にジッタを引き起こす非高調波スペリアス成分と広帯域ノイズをフィルタリングできるので、信号源をクリーンアップできます。17 GHz の帯域幅を持つ Picosecond Pulse Labs、または同等の広帯域フェーズ・スプリッタを用いると、シングル・エンドの入力信号を差動のフォーマットに変換できます。システムでの損失補償用として、信号およびクロックを十分に増幅するため、HMC-C004 広帯域アンプが必要です。

クロックがかなり低い周波数に制限されるため、必要に応じて、従来の低周波バランをクロック用に使用することができます。可変遅延線を用いると、ADC のクロックのタイミングを正確に合わせられるので、ADC は HMC661LC4B からの出力波形の安定したホールド・モード部分をサンプリングすることができます。ADC は通常、内部で供給されるゼロでないコモンモード入力電圧バイアス・レベルで動作するため、単電源ベースの ADC の場合には、トラック&ホールド・アンプと ADC の間に DC 阻止コンデンサを使用します。

その代わりに、コモンモード電圧レベルを可変出力できる DC カップリング差動アンプを使用すると、HMC661LC4B と ADC の DC レベルを合わせることができます。HMC661LC4B は、公称 0 V のコモンモード出力レベルを備えていますが、必要に応じて、 ± 0.5 V の範囲で調整することができます（詳細については HMC661LC4B のデータシートを参照）。

上述のように、実際のシステム・アプリケーションで HMC661LC4B を使用するときには、デバイス間の信号の相互接続で反射の影響を受ける通過時間を最小限に抑えるため、ADC のごく近くにトラック&ホールド・アンプを配置することを推奨します。トラック&ホールド・アンプを ADC のごく近くに配置する最良の方法は、トラック&ホールド・アンプと ADC がとなり同士に配置された特別仕様のボードやハイブリッドを設計することです。この場合、トラック&ホールド・アンプの出力波形に対する ADC のクロックの正確なタイミングを得るため、固定遅延を ADC のクロックの信号経路に設けます。しかしながら、このアプリケーション・ノートで説明しているように、同軸ケーブルで相互接続するブレッドボード・タイプのセットアップでは、ADC のクロックがトラック&ホールド・アンプのクロックに対して正確なタイミングであれば、高い性能を発揮します。

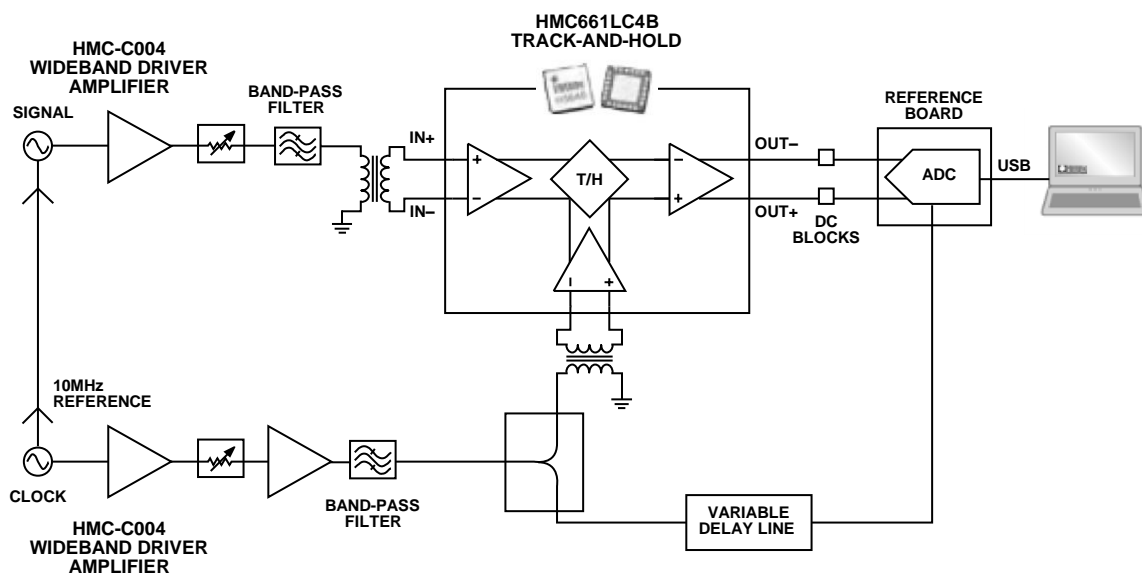


図 1. HMC661LC4B トラック&ホールド・マスター・サンプラおよび ADC 評価用ボードを組み込んだ ADC アセンブリのブロック図

ブレッドボード・セットアップの写真を図 2 に示します。トラック&ホールド・アンプの評価用ボードの差動出力が、短いサブミニチュア・バージョン A (SMA) ケーブルを介して ADC 評価用ボードの入力の DC ブロックに接続されています。試験で用いる 2 つのクロック周波数 (1 GSPS および 1.6 GSPS) で、上述した二重通過反射の影響による波形の乱れを最小限に抑えるため、トラック&ホールド・アンプ・チップから ADC チップまでの全通過時間がクロック周期のほぼ整数倍になるようにケーブル長が選択されています。

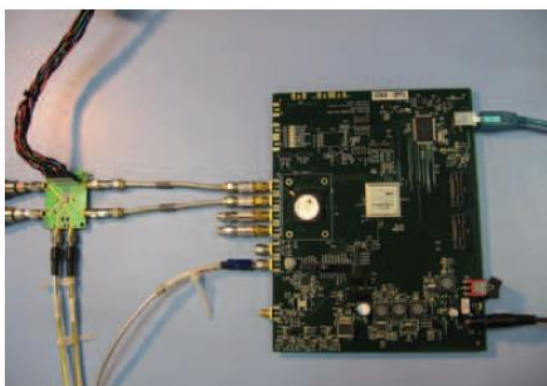


図 2. HMC661LC4B 評価用ボードおよび ADC 評価用ボードで構成されるブレッドボード・セットアップ

トラック&ホールドと ADC とのタイミング

トラック&ホールド・アンプと ADC で構成される変換アセンブリを正しく動作させるために重要な点は、トラック&ホールド・アンプの出力波形に対して、ADC のサンプリングの正確なタイミングを規定することです。トラック&ホールド・アンプに対する ADC のサンプリングのタイミングは、相対的な ADC のクロック遅延と呼ばれています。正確に動作させるためには、ADC はトラック&ホールド・アンプの出力波形内で、ホールド・モードの出力タイム・セグメントの安定した部分をサンプリングする必要があります。ADC がトラック&ホールド・アンプのトラック・モードの出力波形セグメントを誤ったタイミングでサンプリングしたときでも、アセンブリは機能しますが、正常に帯域幅を拡大することはできません。なぜなら、ADC が入力信号のバッファリングされた (ただし、サンプリングされていない) ユニティ・ゲイン・バージョンをサンプリングするためです。実際、ADC がホールド・モードのタイム・セグメントを正確にサンプリングしているという最も重要な指標は、帯域幅が拡大されて動作していることです。複数の要素からなるアセンブリが ADC の入力帯域幅とほとんど同じ帯域幅を示せば、おそらくタイミングが正確に調整されておらず、ADC はトラック&ホールド・アンプの出力波形のトラック・モード部分をサンプリングしているものと考えられます。

トラック&ホールド・アンプと ADC の内部の主要な経路における内部群遅延に加えて、基板伝送線路の相互接続や外部ケーブ

ルでのさまざまな伝搬遅延を一覧表に表すと、相対的な ADC のクロック遅延を正確に計算することができます。表 1 は、正確な ADC のクロック・タイミングを詳細に計算するための HMC661LC4B の 2 つの主要な内部群遅延 (クロックからホールド・ノードまでの遅延、およびホールド・ノードから出力サンプルまでの遅延) を示しています。

表 1 に示す入力信号からホールド・ノードまでの遅延は、ADC のクロック・タイミングを計算するために知らなければならない量ではありませんが、情報を示す目的でここに含まれています。また、この計算に必要な主要なパラメータは、ADC 内部のサンプリング・ポイントまでのクロック遅延と、ADC 内部のサンプリング・ポイントまでの信号遅延との間の差として定義される ADC のアパーチャ遅延です。アパーチャ・タイムに、ブレッドボード・レベルの相互接続遅延が加わって、HMC661LC4B トラック&ホールド・アンプ内の短い遅延がしばしば目立たなくなる可能性があります。

(相互接続遅延が非常に短いため、システム・タイミングは一般にブレッドボード・セットアップのタイミングより簡単ですが)、これらの計算は一般にシステムを実現するために価値があり、むしろ必要です。(トラック&ホールド・アンプのクロックに対する) 適切な ADC のクロック遅延を正確に求めて実現すると、完成したアセンブリは、ADC のクロック遅延のみを用いて、すべてのクロック周波数に対して正確なタイミングを生成することができます。正確な遅延をモジュロ・クロック周期内だけで実現できれば (例えば、クロック周期内での位相は正確であるが、要求される最小遅延ではない状態)、設定値は使用している特定のクロック周波数でのみ有効です。しかしながら、必要な ADC のクロック遅延の詳細な計算と設計は、実験室のブレッドボード・セットアップでは一般に必要ありません。なぜなら、簡単なアルゴリズムの方法が存在するためです。この方法は ADC のクロック経路の可変遅延線で行可能で、表 1 に示すような正確な遅延にすばやく到達できます。

表 1. タイミング計算用の HMC661LC4B の内部群遅延

Path	Group Delay (ps)
Signal Input to Hold Node	41.5
Clock Input to Hold Node	35
Output Buffer Delay from Hold Node to Output	43

ADC のクロック経路の可変遅延と、ADC の高速フーリエ変換 (FFT) 出力表示を使用するタイミング・セットアップに対して、アルゴリズム的方法を規定することができます。手順を説明する前に、主要な ADC の出力性能パラメータのいくつかは、外部の HMC661LC4B トラック&ホールド・アンプの波形内のサンプリング位置にどのように依存するかを理解することが有益です。図 3 は、HMC661LC4B と ADC を組み合わせる場合に、トラック&ホールド・アンプのクロックを基準にした ADC のクロック (ADC のサンプリング・ポイント) の相対的な遅延の関数として、信号振幅の遅延マッピング、SFDR、およびノイズ・スペクトル密度を示しています。図 3 に示すデータは、サンプリング・レートが 1 GSPS の場合を取り上げたものです。参考のため、HMC661LC4B の出力波形のトラックからホールドへの遷移と、ホールドからトラックへの遷移のおおよその時間位置も示しています。HMC661LC4B のホールド・モードが、これらのポイントの間にあるのに対して、トラック・モードのタイム・セグメントは、これらのポイントを境界とする範囲から外れています。アセンブリへの入力周波数を ADC の帯域幅の十分外側に選択すると、これらの曲線は遅延セットアップを理解するのに非常に有効になります。図 3 では、これらの曲線は特定の ADC が持つ約 2.8 GHz 帯域幅を十分に超えた、5 GHz の入力信号周波数について描かれています。

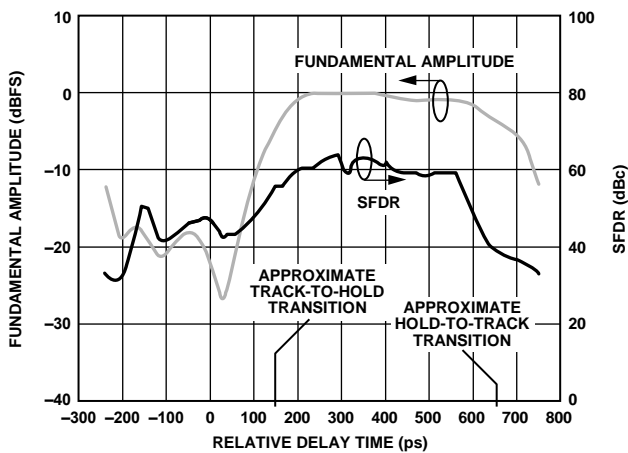


図 3. 基本振幅および SFDR 対 相対的な遅延時間

ADC の内部サンプラに向かう波形は、ADC の入力信号帯域幅によって帯域制限されます。ADC 内部のフロント・エンドのトラック & ホールド・アンプ内で帯域制限されるため、HMC661LC4B から出力された急峻な波形遷移を伴う曲線が十分に丸められます。したがって、図 3 に示す遅延マッピング曲線も、この ADC の帯域制限によって遷移が丸められています。1 次近似を用いると、振幅曲線の -3 dB ポイントは、HMC661LC4B の出力波形のトラックからホールドへの遷移の時点と、ホールドからトラックへの遷移の時点にほぼ一致します。

ADC の帯域幅を超える信号周波数であるが、トラック & ホールド・アンプの帯域幅内にある信号周波数を用いて、図 3 に示す遅延マッピング曲線に似た遅延マッピング曲線を調査することによって、信号の基本振幅セクション、SFDR セクション、およびノイズ・セクションで説明する主要な動作を推定することができます。

信号の基本振幅

ADC が外部のトラック&ホールド・アンプ波形のホールド・モードをサンプリングしているときは、外部のトラック&ホールド・アンプの帯域幅が得られます。一方、ADC がトラック&ホールド・アンプ波形のトラック・モードをサンプリングしているときは、ADC のより狭い帯域幅しか得られません。遷移範囲をサンプリングすると、基本信号振幅が急激に減少する可能性があります。なぜなら、サンプリングがそれらのポイントで完全に確定しないためです。この急激な減少による影響は、図 3 における基本振幅の変化で確認することができます。図 3 では、遷移ポイントに近い振幅が大幅に減少しています。トラック・モードの範囲では、基本振幅はその周波数において、ADC の入力伝達関数によって生じる信号減衰を伴う一定レベルの標本値で平衡を保ちます。

SFDR

トラック&ホールド・アンプ波形のホールド・モード範囲の大部分で取り込まれた ADC のサンプル値については、SFDR は比較的一定です。波形が十分に安定しているホールド・モードの末端近くではあるが、ADC の帯域制限によって生じるホールドからトラックへの遷移の丸め範囲の前に、サンプル値が確実に取り込まれることが望まれます。クロック周波数を増加させたとき、最大の SFDR を実現するためには、ホールド・モードのタイム・セグメント内のサンプリング位置を最適化することがより重要になります。正確に調整された ADC において、妥当な ADC のサンプリング・タイムは、ホールドからトラックへの遷移ポイントに対して約 120 ps だけ前に (時間的に早い) あります。ADC のサンプリング・ポイントがホールドからトラックへの遷移範囲に入ると、信号のサンプリングがこれらの遷移ポイントで完全に確定しないため、SFDR は急速に低下します。

ノイズ

図 4 は、ADC のサンプル値がトラック・モードの波形セグメント内で取り込まれたときと比べて、ホールド・モードの波形セグメント内で取り込まれたときの方が、ノイズ・スペクトル密度が増加していることを示しています。

ノイズ・スペクトル密度の増加は、全体的に集積化した時間領域ノイズでも観測することができます。この増加は理論的に予測できます。これが起こる理由は、ホールド・モード範囲の ADC のサンプル値が、18 GHz の全入力帯域幅にわたって HMC661LC4B のサンプリングを反映するためです。周波数領域の視点から見ると、サンプリング・プロセスによって、この帯域幅全体にわたるノイズが 1 つのナイキスト間隔の非常に狭い帯域幅に折り返されます。時間領域の視点から見ると、この現象はサンプリングの時点で、サンプル値に効果的に取り込まれる瞬間的なフロント・エンド・ノイズと見なすことができます。これにより、最初のナイキスト間隔内で ADC によって十分に検出されるノイズ・スペクトル密度が増加します。なぜなら、このノイズが ADC の入力帯域幅内に入り込むためです。一方、トラック・モード範囲のサンプル値は、HMC661LC4B によるサンプリングを反映しません。ノイズ・スペクトルは、18 GHz の帯域幅にわたって常に発生しますが、ADC は HMC661LC4B のサンプリングをまったく取り込みません。したがって、波形のトラック・モード部分内で、ADC のサンプル値については、折り返し現象は起こりません。このスペクトル・ノイズの大部分は ADC の帯域幅から外れるため、検出される全ノイズは減少します。

HMC661LC4B の出力波形のホールド・モード範囲内で、ADC のサンプル値についての入力ノイズ帯域幅は 18 GHz ですが、HMC661LC4B のトラック・モード内で、ADC のサンプル値についての入力ノイズ帯域幅は ADC の入力帯域幅になります。例えば、入力帯域幅が 2 GHz ~ 3 GHz の代表的な高速コンバータでは、ADC のサンプル値のノイズ・レベルについて、ホールド・モードとトラック・モードでの差が 8 dB ~ 10 dB になることは珍しくありません。帯域幅の比も約 8 dB ~ 10 dB であるため、この差は予測できます。これにより、相対的なノイズ・レベルが ADC のサンプル値のタイミング範囲を示すための有効なパラメータになります。

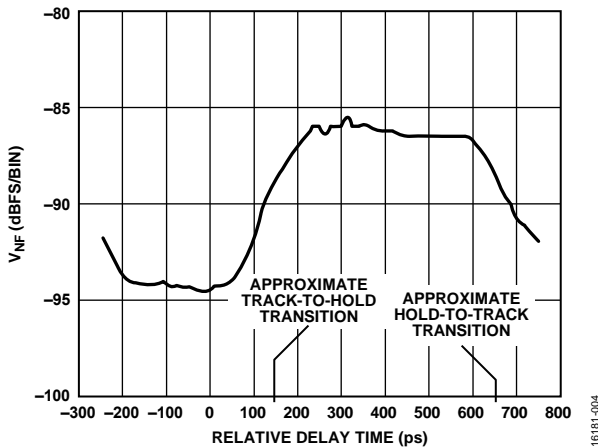


図 4. スペクトル・ノイズ密度 (V_{NF}) 対 相対的な遅延時間

ブレッドボード・セットアップにおける簡単なトラック&ホールドと ADC とのタイミング手順

信号の基本振幅セクションと SFDR セクションで説明した特性を使用しながら、代表的なブレッドボード・セットアップで ADC のクロック・タイミングと最適化を判断するために、単刀直入な方法を規定することができます。以下の手順では、ADC のクロック経路の可変遅延と ADC の FFT スペクトラムによって得られる情報を使用します。

- 任意の ADC のクロック遅延と可変遅延を用いて、トラック&ホールド・アンプと ADC とのタイミングをセットアップします。任意の ADC のクロック遅延（詳細な計算は不要）とトラック&ホールド・アンプのクロックを基準にした可変遅延を用いて、最初にトラック&ホールド・アンプと ADC とのタイミングをセットアップします。可変遅延は、少なくともクロックの半周期にわたって調整できなければなりません。遅延範囲の中心に遅延の最初の位置を設定します。ほとんどのトロンボーン・タイプの変遅延線には固定の基礎遅延があるため、トラック&ホールド・アンプのクロック経路と ADC のクロック経路の両方で同一の変遅延を使用すると、固定の基礎遅延によって両方の経路のバランスがとれるので便利ことがあります。余分なモジュロ・クロック周期遅延を許容できない場合に、独立したタイミングのクロック周波数に対して正確に ADC のクロック遅延を設定するときは、同一の変遅延を使用すると、きわめて便利です。こうすると、遅延線のどちらか一方、または両方で相対的な ADC の遅延を調整することができます。クロックを差動で駆動する場合、バラとクロック入力の間 HMC661LC4B のクロック経路には、均等な長さのケーブルを使用する必要があります。
- ADC の帯域幅外にあるが、トラック&ホールド・アンプの帯域幅内にあるフルスケールに近い入力信号を加えます。ADC の入力帯域幅を十分に超える周波数であるが、HMC661LC4B トラック&ホールド・アンプの帯域幅内にある周波数で、ADC のフルスケールよりもわずかに低いレベルの入力信号を加えます。2 GHz ~ 3 GHz の入力帯域幅を備えたコンバータには、5 GHz の周波数が適切です。
- FFT スペクトルを観測し、1 次ビート成分を特定します（基本波）。ADC デバイスと HMC661LC4B デバイスの電源を入れます。ADC 出力の FFT スペクトル表示を観測し、入力信号をトラック&ホールド・アンプのクロックの高調波とともにヘテロダインして生じる 1 次ビート成分を特定し、結果的に得られたビート成分を最初のナイキスト間隔内に配置します。ビート成分は、目的の基本波であり、変換された信号の振幅の標本値です。例えば、クロック周波数が 1 GHz で、入力信号周波数が 5.049 GHz の場合、ダウンコンバートされた 1 次ビート成分は、 $5.049 - 5(1) = 49$ MHz になります。
- 外部のトラック&ホールド・アンプの出力波形において、ADC のサンプリングが行われている範囲がトラック・モードであるか、ホールド・モードであるかを求めます。ADC のサンプリングが行われている範囲がトラック・モードであるか、ホールド・モードであるかの判定は、基本振幅を観測することで実現できます。フルスケールに近い信号が得られた場合、ADC のクロック・タイミングがホールド・モードの波形セグメントをサンプリングしており、アセンブリでは HMC661LC4B の帯域幅が拡大されたことを示しています。観測された信号振幅がその周波数で ADC の入力帯域幅から得られる伝達関数減衰量の標本値であれば、ADC はトラック・モードの波形セグメントをサンプリングしており、ADC の帯域幅が減少したことを示しています。基本振幅の状態が不明な場合、短い遅延範囲 (± 50 ps など) にわたって、最初にいくつか異なる遅延ポイントの振幅およびノイズをマッピングすると、ADC のサンプリング・ポイントがトラックからホールドへの遷移上に位置するか、ホールドからトラックへの遷移上に位置するかを迅速に判断することができます。サンプリング・ポイントが遷移ポイントに位置している場合、遷移範囲を避けるために遅延を移動させ、サンプリング・ポイントをトラック・モード範囲、またはホールド・モード範囲に正確に位置させます。さらに、クロックの半周期にわたっていくつかの振幅ポイントおよびノイズ・ポイントをマッピングすると、遷移の動作状況および位置の迅速な判定に役立つことがあります。
- トラック&ホールド・アンプのクロックの極性を設定して、ADC のサンプリング・ポイントを HMC661LC4B のホールド・モード内に位置させます。ステップ 4 で ADC がホールド・モードをサンプリングしていれば、トラック&ホールド・アンプのクロック接続の位相はそのままにしておいても差し支えありません。ADC がトラック・モードをサンプリングしていれば、トラック&ホールド・アンプへの差動クロック接続を反転させて、トラック&ホールド・アンプと ADC との間の相対的なサンプリング遅延をクロックの半周期分だけ移動させる必要があります。差動クロック接続を変えると、ADC のサンプリング・ポイントをホールド・モードの波形セグメント内に位置させることができます。トラック&ホールド・アンプに対するクロック位相を移動させた後、振幅がフルスケール近

くまで増加しなければ、ADCのクロック遅延を少しだけ変化させます。同時に、ADCのサンプリング・ポイントが遷移ポイントに位置しているかどうかを観測して確認します。

6. ホールドからトラックへの遷移を特定し、このポイントを基準にしてトラックからホールドへとホールドからトラックへの時間窓の真ん中に、ADCのサンプリング・ポイントを設定します。ADCのサンプリング・ポイントがホールド・モード内にあることが判明した後、ホールドからトラックへの遷移位置を突き止めるまで、ADCのクロック遅延を増加させながらいくつかのポイントをマッピングします。1次近似に対して、ホールドからトラックへの遷移は、遅延マッピング振幅曲線の-3 dBポイントあたりで起こります。いったんホールドからトラックへの遷移が特定されると、振幅およびSFDRの性能が比較的平衡がとれた値に達するまで、ADCのサンプリング・ポイントを、この遷移を基準に

して時間的に前進させることができます。所定の振幅値およびSFDR値を実現する、この時間的な位置は、ADCの入力帯域幅と、帯域制限による遷移の丸め量に応じて、ホールドからトラックへの遷移を基準にして30 ps ~ 150 ps前になります。時間ポイントを基準にしたこの位置は、ADCのサンプリング・タイミングに適合するポイントであることを示しています。ADCの相対的な遅延が（余分なモジュロ・クロック周期遅延のない）絶対最小値に設定されていれば、タイミングはすべてのクロック周波数で有効です。ADCの相対的な遅延が正確に位相調整されているだけで、余分なモジュロ・クロック周期遅延を含んでいる場合は、クロック周波数を変化させたとき、タイミング手順をやり直す必要があります。

まとめ

このアプリケーション・ノートでは、高速 ADC の帯域幅と直線性を向上させるためのマスター・サンプリングとして、HMC661LC4B 超広帯域トラック&ホールド・アンプと、そのアプリケーションを説明しています。HMC661LC4B を ADC にインターフェースするガイドラインを示し、プリントボード・セットアップ内において、クロック・タイミングを用いて正確な ADC のサンプリング・タイミングを規定するための体系的な方法を説明しています。

アナログ・ダイアログの記事 *Radically Extending Bandwidth to Crush the X-Band Frequencies Using a Track-and-Hold Sampling Amplifier and RF ADC* は、HMC661LC4B を高速 ADC とともに評価用ボード・セットアップ内で使用した際に実現可能な性能の例を説明しています。