

高精度 DAC の連続更新で考慮すべき 2 次効果

著者: Miguel Usach、Martina Mincica

はじめに

1 秒あたりのサンプル数は、高精度の A/D コンバータ (ADC) では明確に定義され、特性評価されていますが、高精度の DAC では多くの要因に依存するためデータシートで定義されていません。

DAC のデジタル・インターフェースはほとんどの場合、最大 50 MHz のクロック・レートが可能で、24 ビットの入力シフト・レジスタを想定すると、潜在的に毎秒 200 万回の書き込みが可能です。ただし、この数字は DAC が新しいコードを受け取るデジタル・インターフェースの能力のみを表しているにすぎず、デジタル・プロセスの遅延、レイテンシ、アナログ・ブロックのタイミングは考慮されていません。

このレイテンシは、DAC が校正手順を内蔵していない場合、一般に数 ns 程度で無視できます。DAC が校正ルーチンを内蔵していると、レイテンシは $1 \mu\text{s} \sim 3 \mu\text{s}$ になる可能性があります。

アナログ・ブロックでは、新しいコードの更新に関連して次の 2 つのケースが考えられます。

- 更新速度が、DAC に接続されたアクティブ段 (通常は内部または外部のバッファ) の帯域幅で制限される。
- 更新速度はアクティブ段によっては制限されないが、DAC のコアによって制限される。

第 1 のケースでは、セトリング時間の仕様により、アナログ・ブロックの能力を正しく評価できます。セトリング時間は、前のコードとの関連で新しいコードに対して (通常は $\frac{1}{4}$ から $\frac{1}{2}$ スケール)、最終コードの周りほぼ 1 ビットの最下位ビット (LSB) である規定許容誤差内で定義されます。

大きなステップ・コードの遷移の場合、スルーレートがセトリング時間の主な要因となります。さらに、コンデンサやインダクタと同様、オーバーシュートやリングを生じる出力負荷の虚数成分によってセトリング時間が増加することがあります。

外部に接続されるインピーダンスの虚数成分の値によって、オーバーシュートの大きさが決まり、セトリング時間に影響します (図 1 参照)。

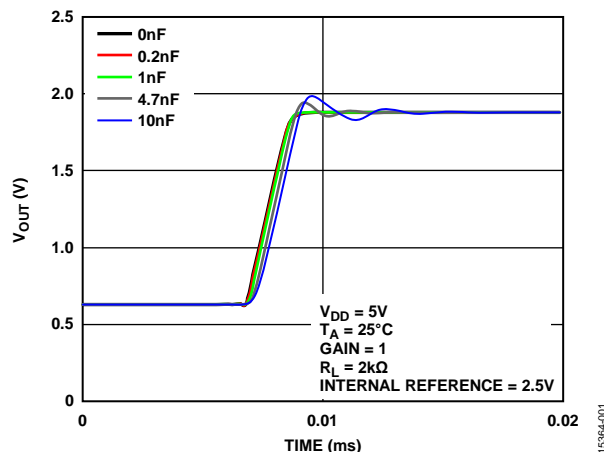


図 1. 各種容量性負荷に対する V_{OUT} 対時間

最終的なセトリング時間には、レイテンシ、スルーレート、および立ち上がり時間が寄与します (図 2 参照)。

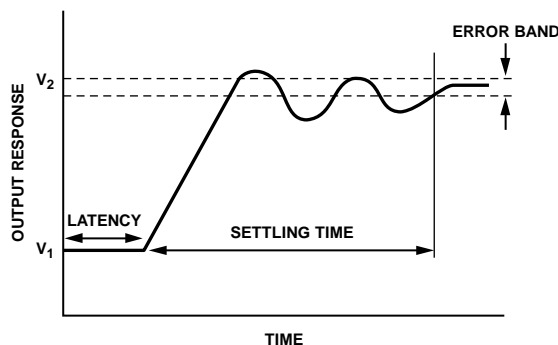


図 2. 最終的なセトリング時間

必要なコード・ステップが小さく、接続される容量が小さいほど、最終的なセトリング時間が短くなります。

新しいコードが前のコードに近い場合、セトリング時間やバッファ能力は制限要因とはなりません。これは微調整の更新と考えることができます。

この場合、規定の許容範囲内 (つまり最終コードの周り 1 LSB 内) に出力が安定するまでの時間を制限する要因は、DAC コアのレイテンシとダイナミック効果です。

目次

はじめに.....	1	DAC の連続動作.....	4
改訂履歴.....	2	AD5686R 4 チャンネル、16 ビット nanoDAC+ の事例研究	4
DAC コアのダイナミック効果.....	3	まとめ.....	6
DAC コアのダイナミック効果の伝搬.....	4		

改訂履歴

1/2017—Revision 0: Initial Version

ダイナミック効果は、DACが動作するとき、（外部ピンからデータをシフトして取り込んだり、コマンドを処理したりする）デジタル・ブロックと、（出力を新しいコードに更新する）アナログ・ブロックの内部で発生したエネルギーの一部が外部に伝送されるため発生します。特に、デジタル・フィードスルーとデジタル/アナログ・グリッチ・エネルギーが2つの主な仕様です。

出力が粗調整される場合、このエネルギーの一部はバッファのスルーレートによって隠されます。これが、出力負荷にエネルギーが注入される主な原因です。一方、微調整の更新の場合、両方の仕様は観測および測定が可能です。

DAC コアのダイナミック効果

DACのどんな動作でも内部で電流または電圧のピークが発生するので、電源ピン、通常はVDDまたはGNDを通してそれらを散逸させなければなりません。内部寄生成分のためにDACが動作したときに内部で発生するエネルギーは、これらの経路を通して完全に散逸させることはできず、このエネルギーの一部は出力負荷に伝送され、出力安定性に影響します。

デジタル・フィードスルーとは、遷移の交替時に外部のデジタル・ピンでの遷移が内部DACに外乱を発生させる現象です。

さらに、このデジタル・フィードスルーは、プリント回路基板（PCB）の誤ったレイアウトによって外部で増幅されることがあります。

PCBレイアウトの最も良い方法は、PCBのデジタル・ラインをアナログ・ラインから離すか、少なくともアナログ・トレースをデジタル・トレースと並行に配置しないようにして、外部結合の影響を最小にします。誤ったレイアウトによるデジタル・フィードスルーの例を図3に示します。

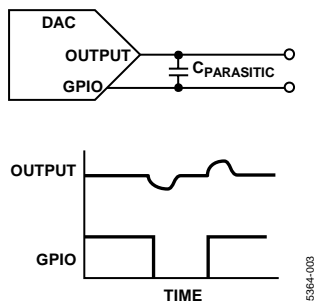


図3. 容量によるPCBへの影響

デジタル・フィードスルーは代表値で示される仕様です。負荷へ伝送されるエネルギーが、デジタル入力レベル、スルーレート、トグルしたデジタル・ライン数（送信されたデータ）など複数の要因に依存するためです。

この仕様は、外部へ伝送されるエネルギーの面積（nV-s）を示します。入力レジスタへの書き込みに関連したデジタル・フィードスルーの影響の例を図4に示します。

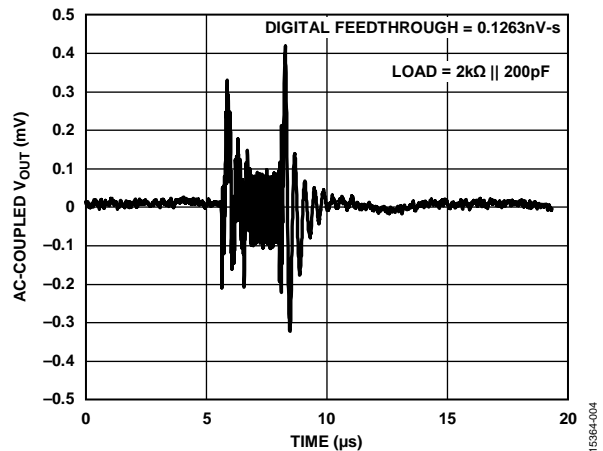


図4. AD5686Rで測定されたデジタル・フィードスルーの例

デジタル・フィードスルーに関連したエネルギーの測定は、DACコア出力の更新（制御レジスタの更新など）が行われずにDACにコマンドを書き込んで行います。ここでは、内部発生エネルギー（つまり、DACコアの更新時に生じるエネルギー）を増加させる他の影響や、内部の校正ルーチンに関連したエネルギーを測定しないようにするためです。

内部校正ルーチン中に発生するエネルギーは、デジタル/アナログ・グリッチに含まれます。デジタル・フィードスルーは書き込み/読出しのアクセスごとに現れます。

DACコアの出力が更新されると、別のダイナミック現象がグリッチの形でDAC出力で観測される可能性があります。この仕様はDACコア内部のスイッチ制御ライン間の同一ではない伝播遅延に関連し、デジタル/アナログ・グリッチ・インパルスまたはグリッチ・エネルギーと呼ばれています。なぜなら、スイッチをトグルしてDAC抵抗を選択することによって、デジタル・ワードをアナログに変換するときに発生するからです。デジタル/アナログ・グリッチ・インパルスはデバイスに固有のもので、デジタル・フィードスルーと同様に不適切なPCBレイアウトによって悪化します。

デジタル/アナログ・グリッチ・インパルスの代表的な性能は、メジャー・キャリーを中心として1LSBの遷移が起きたときの正味面積（nV-s）としても測定されます。16ビットDACの場合、メジャー・キャリーはDACのコード0x7FFFとコード0x8000の間でトグルします。この場合、通常はDACスイッチのほとんどが変化する必要があります。

DAC レジスタへの書き込みに伴うデジタル/アナログ・グリッチ・インパルスの影響の例を図5に示します。デジタル・フィードスルーの影響を無効にするため、デジタル・フィードスルーによって発生したエネルギーが完全に散逸した後に、遅延させたハードウェア LDAC イベントを用いて DAC を更新します。

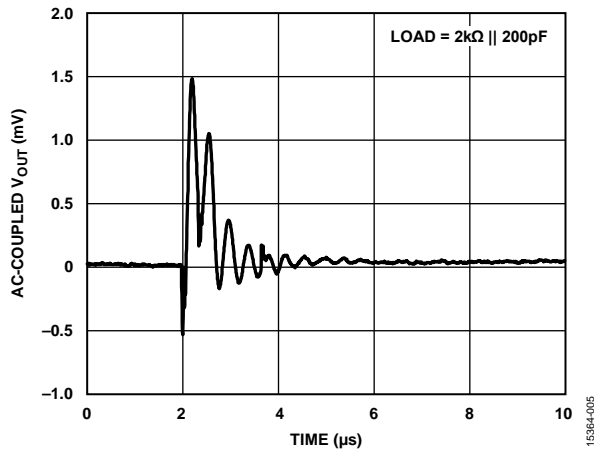


図 5. AD5686R のデジタル/アナログ・グリッチ・インパルスの測定例

コードの変化には異なるスイッチが関わるため、DAC コードが異なると発生するグリッチ・エネルギーも異なります。

デジタル/アナログ・グリッチのワースト・ケースは、必ずしもメジャー・コード遷移（ミッドスケール・コードを中心とした 1 LSB）で起きるわけではありません。これは、レイアウトの内部寄生成分と DAC の内部寄生成分（内部の校正エンジンを含む）の 2 つの要因に依存します。物理的には、デジタルのミッドスケール・コードは必ずしも DAC のミッドスケール・コードであるとは限りません。しかし、デジタルのメジャー・コードの遷移は、デジタル/アナログ・グリッチ・エネルギーを定量化するための良い基準と考えられています。

DAC コアのダイナミック効果の伝搬

出力のスルーレートと出力リングングは低周波での現象ですが、デジタル・フィードスルーとデジタル/アナログ・グリッチ・インパルスは主に中～高周波での現象です。

デジタル・フィードスルーは、50 MHz やそれ以上高速のクロック速度でのデジタル伝送で使用される周波数で発生します。例えば、スルーレートが 1 nV/s の場合、トーンは 300 MHz まで高くなる可能性があります。ダイナミック事象の周波数によって観察されることのある高速トランジェントを図4と図5に示します。

どんな場合でも、内部で発生したエネルギーのいくらかは、前掲の図が示すように、外部で測定することができます。負荷に伝送されるダイナミック・エネルギーは、出力ピンに接続される外部のコンデンサに依存し、次式で定義される電圧の増分を発生します。

$$V_{OUT} = \sqrt{\frac{2 \times \text{Energy}}{\text{Capacitor}}}$$

ここで

Capacitor は外部のコンデンサの値です。

Energy は、ダイナミック事象によって外部に伝送されるエネルギーです。

ベンチ測定では、この電圧増分は外部のコンデンサとは比較的關係になります。これは、伝送された動的エネルギーが DAC 出力ピンを介して外部で消費され、低インピーダンスの経路が与えられるためです。

DAC の連続動作

高速微調整を必要とするアプリケーションで DAC を連続的に更新すると、負荷に伝送されるエネルギーが完全には散逸しないため、出力で追加オフセットが測定されます。

電圧増分の値は、伝送されるエネルギーの値と、コンデンサが放電しなければならない時間の 2 つの要因によって決まります（図 6 参照）。

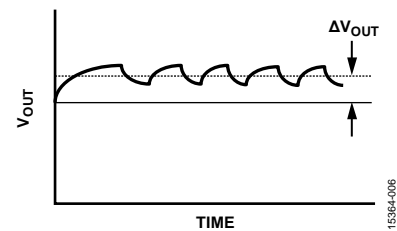


図 6. V_{OUT} の増分と更新レートの関係

DAC が連続的に更新され、その結果デジタル・フィードスルーとアナログ・グリッチの両方によって内部でエネルギーが発生していると仮定します。

DAC アクセスがレジスタの読出し/書き込みのみで、DAC コアの更新が実行されない場合があり、デジタル・フィードスルーのみが電圧増分の原因になります。

AD5686R 4 チャンネル、16 ビット nanoDAC+ の事例研究

以上の概念を、AD5686R を例にとって説明します。

AD5686R の出力が連続的に更新されると、書き込みの間隔が 1 μs ~ 20 μs だけ遅延します。

内部で発生したエネルギーは約 1 μs の間に伝送されます。これは、デジタル・フィードスルーの持続時間と、36 MHz SCLK クロックでの 24 ビット、それにアナログ・グリッチの持続時間の合計です。

更新時間がエネルギー事象と同じかそれよりも長い場合、コンデンサの値に応じて、生成される電圧の増分は次のように近似できます (図7参照)。

$$\Delta V_{OUT} \cong \frac{\text{Disturbance Area (V-s)}}{\text{Time Between Updates (sec)}} \quad (1)$$

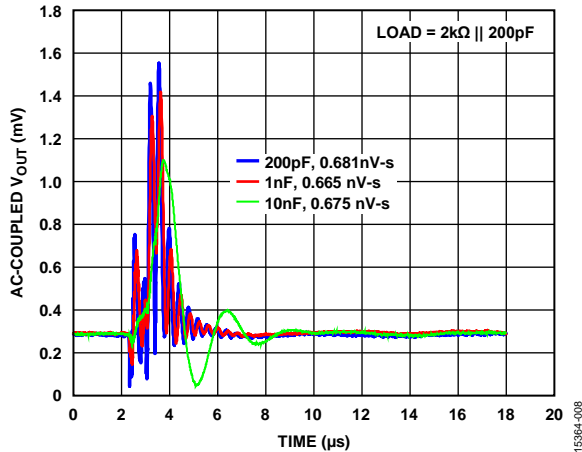


図7. 各種負荷容量での AD5686R のダイナミック・エネルギーの例

1 µs の更新では、測定される電圧の増分はデジタル・フィードスルー・エネルギーおよびアナログ・グリッチに一致します。すなわち、0.13 nV-s + 0.5 nV-s = 0.63 nV-s になります (図8参照)。

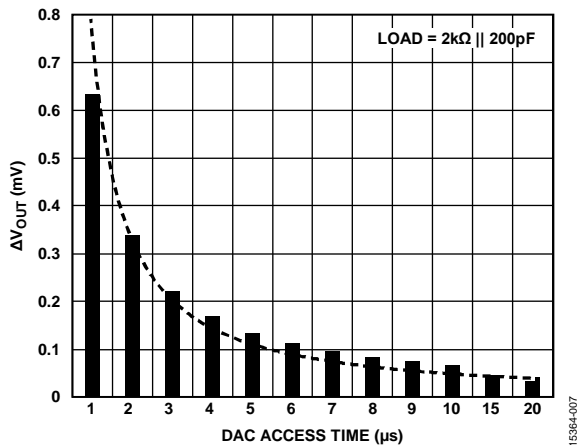


図8. 生成される ΔV_{OUT} と DAC アクセス時間の関係

一例として、外乱が 0.63 nV-s で、更新頻度が 2 µs の場合、生じる電圧増分は次のようになります。

$$\Delta V_{OUT} \cong \frac{0.63 \text{ nV-s}}{2 \mu\text{s}} = 0.315 \text{ mV} \quad (2)$$

ベンチ測定値と式1との間の相関関係を図9に示します。

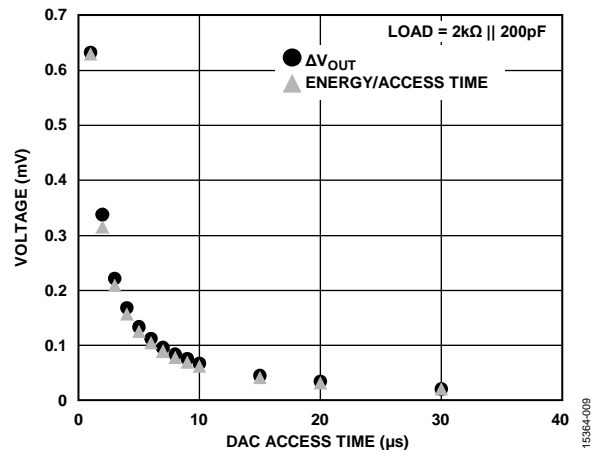


図9. AD5686R の ΔV_{OUT} の測定結果と式1を用いた推定値の比較

すべてのコードが同じ正味面積になるわけではなく、ΔV_{OUT} がわずかに異なっています。ミッドスケール付近のコードの結果の例を図10に示します。大きなダイナミック・エネルギーを生じるコードでは、ΔV_{OUT} も大きくなるのがわかります。平均エネルギーは、AD5686R のデータシートの仕様の値 (約 0.6 nV-s) と一致しています。

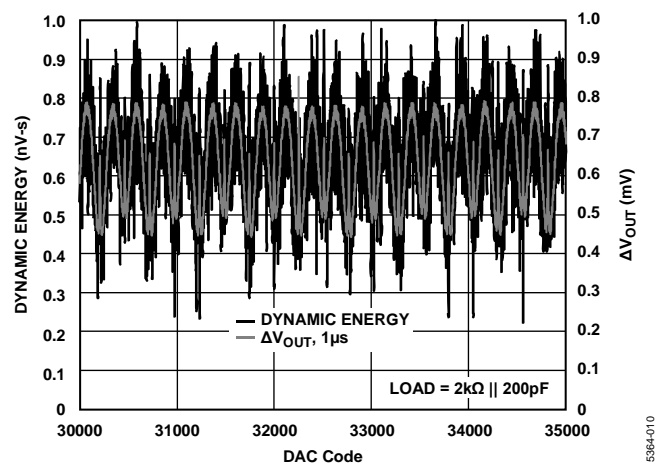


図10. AD5686R のダイナミック・エネルギーおよび ΔV_{OUT} と DAC コードとの関係の例

十分な分解能でダイナミック・エネルギーを測定するには、出力信号を AC 結合する必要があります。そのため、高速のアクセス時間でダイナミック・エネルギーを測定しようとすると、DC 成分の一部が失われる可能性があります。したがって、DAC のアクセス時間が速すぎて散逸に十分な時間がない場合にこの追加エネルギーを定量化するには、ΔV_{OUT} (DC 値) の方が良い方法です。

前述のように、測定される正味面積は外部のコンデンサとは無関係です (図7参照)。

表 1 に示すように、与えられたアクセス時間における各種負荷容量での ΔV_{OUT} の測定値には小さな差があります。

表 1. 各種の DAC アクセス時間と負荷容量に対する AD5686R¹ の ΔV_{OUT} の値の例

C _{OUT}	Access Time		
	1 μ s	5 μ s	10 μ s
200 pF	631 μ V	133 μ V	67 μ V
1 μ F	661 μ V	134 μ V	67 μ V
10 μ F	622 μ V	130 μ V	66 μ V

¹ 出力負荷 = 2 k Ω および SCLK = 36 MHz。測定はユニットごとに 1 チャネルで実施。

各種の DAC アクセス時間で測定した AD5686R の ΔV_{OUT} を表 2 に示します。DAC 出力が更新されたときのデジタル・フィードスルーとデジタル/アナログ・グリッチ・インパルス の両方による代表的な ΔV_{OUT} が、各種アクセス時間に対して示されています。同時に、DAC コードが入力レジスタに書き込まれても出力が更新されないときのデジタル・フィードスルーのみの結果も示されています。

表 2. AD5686R¹ の代表値

DAC Access Time (μ s)	ΔV_{OUT} Feedthrough and Glitch (μ V)	ΔV_{OUT} Feedthrough Only (μ V)
1	618	210
2.5	320	110
5	215	72
10	150	54
20	120	43

¹ 出力負荷 = 2 k Ω || 200 pF および SCLK = 36 MHz。

まとめ

これまでに述べたようなダイナミックな現象の性質とその影響は寄生成分や結合メカニズムに大きく依存するため、DAC によって異なる場合があります。この現象のダイナミックな効果は、特定のアプリケーションや回路構成、それに動作条件によって変化します。

DAC 出力の更新が粗い場合、セトリング時間とレイテンシが DAC 更新レートへの制限要因となります。DAC 出力の微調整のみが行われる場合や、デバイスに書き込んでも出力が更新されない場合は、DAC コアのダイナミックな効果によって発生する追加エネルギーによって、追加オフセットがいくらか生じる可能性があります。

アプリケーションにとって DC 性能が重要な場合は、(デジタル・インターフェースで決まる) 最高速のアクセス時間で DAC を動作させるべきではありません。アプリケーションで特に高速な更新速度が必要な場合は、システム性能への潜在的な影響を理解するために、エネルギー面積を評価する必要があります。この影響を適切に数値化するには、実際の測定値に基づくことが最善です。システムに過剰な DC 電圧 (ΔV_{OUT}) が存在する場合は、様々なアクセス時間で測定することを推奨します。複雑で信頼性が高くない AC 測定をしなくて済みます。

一般に DAC を扱う場合は、ダイナミックな性能 (セトリング時間、デジタル・フィードスルー、デジタル/アナログ・グリッチ) とシステム構成の両方を慎重に評価した、信頼性の高いアクセス時間 (更新レート) を定めます。