

**アナログ入力の IEC システム保護の問題を ADG5412F で解決**  
著者: David Forde、David Aherne、Jeffrey Ryan

**はじめに**

過酷な電磁環境下で使用される電子システムでは、静電放電 (ESD)、電気的高速トランジェント (EFT/バースト)、およびサージなどの現象に対してデバイスの安全を確保するために、入力および出力ポートを一定の規格レベルに保護する必要があります。

このアプリケーション・ノートでは、アナログ・デバイセズが開発した過電圧保護回路 (OVP) 内蔵、故障保護機能付きの次世代スイッチ・ファミリーに、最小限の外付け部品と組み合わせるだけで、ESD、EFT、サージなどの現象に対する IEC 61000-4 規格を満たす保護アーキテクチャの設計プロセスの効率を向上できることを示します。また、過電圧故障保護機能について、標準的な IEC レベルの堅牢性を実現するために使用する回路を含め、その概要を示します。

このアプリケーション・ノートに示す電圧トランジェント圧縮 (TVS) 設計ウィンドウの概念により、システム設計者はコンポーネントを高い柔軟性をもって選択できるため、システムの複雑化が抑えられ、より高い精度を実現できます。

このアプリケーション・ノートでは、この IEC レベルの保護ソリューションによって、下流側回路の保護条件を 1 kV の人体モデル (HBM) の ESD に相当するレベルまで軽減できることを示します。

**電磁両立性**

IEC 61000 規格には、電磁両立性 (EMC) に関する一連の条件が定められており、これらは、住宅、商業、および軽工業環境下で使われる電気および電子機器に適用されます。この規格セットの中に、高電圧トランジェントに関する重要な規格が 3 つあります。

- IEC 61000-4-2 ESD
- IEC 61000-4-4 EFT
- IEC 61000-4-5 サージ耐性

これらの各規格では、指定された現象に対して、電子/電気装置の耐性を評価する試験方法が定められています。

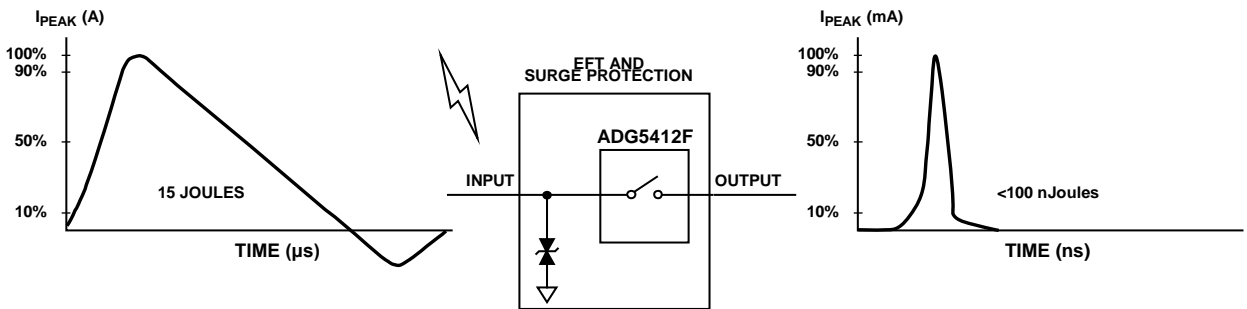


図 1. 保護ソリューションの概要

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

はじめに.....	1	IEC61000-4-2による静電放電試験.....	6
電磁両立性.....	1	電氣的ファスト・トランジェント（EFT）.....	8
改訂履歴.....	2	EFT試験、IEC61000-4-4.....	9
過電圧故障の保護.....	3	サージ.....	10
システム・レベルの保護回路.....	4	サージ試験、IEC61000-4-5.....	10
TVSの選択.....	4	まとめ.....	11
システム・レベルの保護.....	5	参考資料.....	12
静電放電（ESD）.....	6		

## 改訂履歴

7/2017—Revision 0: Initial Version

## 過電圧故障の保護

アナログ・デバイスが提供する故障保護機能付きの堅牢なスイッチとマルチプレクサのポートフォリオ (ADG5208F と ADG5412F) には、最大  $\pm 55\text{ V}$  の OVP 機能が備わっています。また、これらのデバイスは、最大  $\pm 55\text{ V}$  のパワーオフ保護機能、過電圧故障保護機能、保証ラッチアップ耐性、最大  $5.5\text{ kV}$  の高い HBM ESD 定格も備えています。業界トップ・クラスの堅牢性を実現していることに加えて、これらの過電圧保護スイッチは、高インピーダンス・システムと低インピーダンス・システムの両方に関して、最高レベルのアナログ性能を備えています。

電源喪失、ホット・スワップ接続、電源シーケンシングに関する問題、誤配線などは、すべて継続的な DC 過電圧やトランジェント過電圧に共通する原因です。システムの入力または出力ノードに電圧保護スイッチを配置すれば、電源接続状態と非接続状態の両方において、システムの入力と出力を最大  $\pm 55\text{ V}$  の過電圧から保護することができます。このスイッチによって故障箇所が絶縁され、回路の他の部分から入力が遮断されます。また、このスイッチには、下流側回路を保護できるという利点もあります。これは、クラumping・ダイオードを介して故障がシステム内に波及することがないからです。

スイッチ、アンプ、A/D コンバータ (ADC)、D/A コンバータ (DAC) などのデバイスに使われる標準的な相補型金属酸化膜半導体 (CMOS) アーキテクチャでは、デバイスの入力ノードと出力ノードの両方に ESD 保護ダイオードが使用されています。アナログ・デバイス製 OVP スwitchの機能ブロック図を図 2 に示します。標準的な入力保護 ESD ダイオードは、スイッチへの入力ノード (Sx) に置かれた双方向 ESD 保護セルに置き換えられています。このセルのトリガ電圧は約  $70\text{ V}$  です。したがって、過電圧状態が生じたときは、スイッチの入力ノードにおける電圧レベルが電源レールにクラumpingされなくなり、スイッチへの入力は最大  $\pm 55\text{ V}$  の電圧に耐えることができます。双方向 ESD 保護セルは、最大  $5.5\text{ kV}$  HBM の優れた ESD 保護性能を備えています。

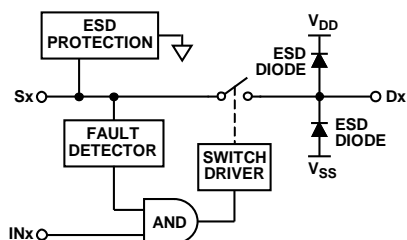


図 2. OVP スwitchの機能ブロック図

スイッチの内部故障検出回路は、入力の電圧レベルを常時監視して、その値を故障基準レベル (通常は  $V_{DD}$  と  $V_{SS}$ ) と比較します。入力が過電圧状態になると、影響を受けるチャンネルが約  $500\text{ ns}$  後にオフになって入力が高インピーダンスになり、下流側にあるすべての脆弱な回路から故障を完全に隔離します。この  $500\text{ ns}$  の間にスイッチが反応して、スイッチの出力ノードにあるアップ・ダイオードとダウン・ダイオードが出力電圧をクラumpingし、やはり下流側回路を保護します。この出力電圧保護回路の時間応答を図 3 に示します。

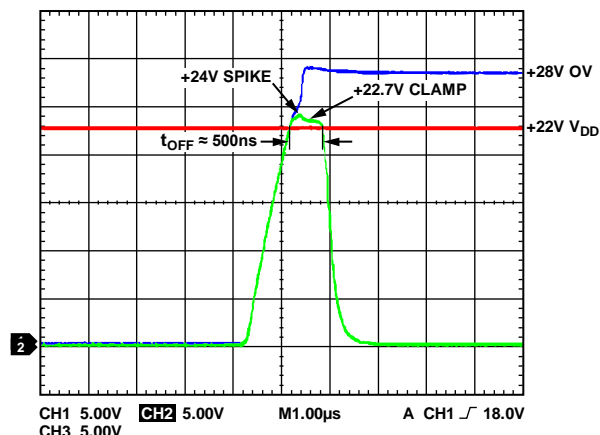


図 3. 出力電圧の時間応答

スイッチの堅牢性に関する特徴を以下に示します。

- $\pm 55\text{ V}$  の AC および継続的 DC OVP
- 最大  $\pm 55\text{ V}$  のパワーオフ保護
- 過電圧故障検出
- 任意の状況下でのラッチアップ耐性
- $5.5\text{ kV}$  の HBM ESD 定格

システム・レベルの保護回路

システム・レベルでは、通常、OVP ラッチアップ防止機能や EMC 保護 (ESD、EFT、サージ) 機能が、複数のディスクリート素子によって担われますが、これらの素子は、信号経路のリークと余分な抵抗によって、システム・レベルの性能と精度を低下させる可能性があります。

アナログ・デバイセズの過電圧故障保護デバイスを使用し、これを 1 つの電圧トランジェント圧縮 (TVS) デバイスと小さい抵抗 ( $\leq 30 \Omega$ ) とを組み合わせることによって、ADG5412F は、16 kV の IEC ESD (気中放電)、8 kV の IEC ESD (接触放電)、4 kV の EFT、および 4 kV のサージを最大値とする高電圧トランジェントに耐えることができます。図 4 に保護回路を示します。

通常の動作条件下では、TVS デバイスはグラウンドに対して高インピーダンスです。TVS のブレイクダウン電圧より大きなトランジェント電圧がシステムの入力に加わった場合は、TVS がブレイクダウンし、グラウンドへの低インピーダンス経路を供給してトランジェント電流をスイッチ入力からグラウンドに逃がし、入力電圧はクランプされます。TVS デバイスの重要パラメータには、作動ピーク逆電圧 (これ未満の値ではほとんど電流が流れなくなる電圧)、ブレイクダウン電圧 (ある程度の指定された電流が流れ始める電圧)、および最大クランプ電圧 (指定された最大電流が流れるときのデバイス内の最大電圧) などがあります。

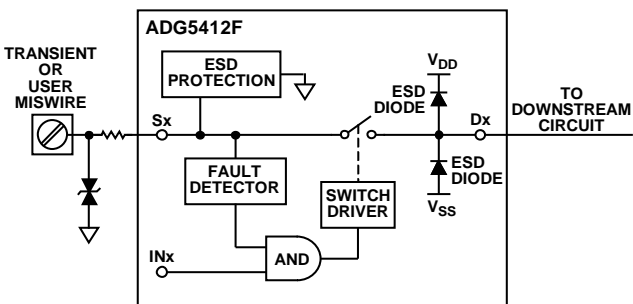


図 4. 保護回路図

この回路は IEC61000-4-2、IEC61000-4-4、および IEC61000-4-5 規格に対してテストされ、ADG5412F デバイスは、非常に高いレベルの IEC ESD、EFT、およびサージに耐えることが確認されています。

さまざまな TVS デバイスと抵抗の組み合わせで ADG5412F をテストした場合の結果を、表 1 に示します。

表 1. TVS デバイスと抵抗のさまざまな組み合わせによる試験結果

Protection	IEC ESD Contact (kV)	IEC ESD Air (kV)	EFT (kV)	Surge (kV)
33 V TVS and 0 $\Omega$ Resistor	5	Not tested	3	4
33 V TVS and 10 $\Omega$ Resistor	8	16	4	4
45 V TVS and 0 $\Omega$ Resistor	4	Not tested	2	4
45 V TVS and 15 $\Omega$ Resistor	8	16	4	4
54 V TVS and 30 $\Omega$ Resistor	8	16	4	4

ESD や EFT におけるトランジェントの立ち上がり時間はきわめて短く、トランジェントは最初のオーバーシュートの後に TVS デバイスによってクランプされます。このオーバーシュートは、ESD/EFT パルスの立ち上がりが非常に速いのにに対して、TVS の応答速度が充分ではないことによって生じます。したがって、表 1 に示すように、ESD/EFT レベルを上げるために小さい値の抵抗が必要になります。

TVS の選択

TVS デバイスを選択するときは、最大動作電圧を、保護するピンの通常動作範囲、および誤配線によって生じ得る既知のシステム過電圧のどちらよりも大きくすることが重要です。TVS の最大動作電圧と、ADG5412F 内蔵の  $\pm 55$  V OVP を組み合わせれば、TVS 選択のための設計ウィンドウを広げることができます。

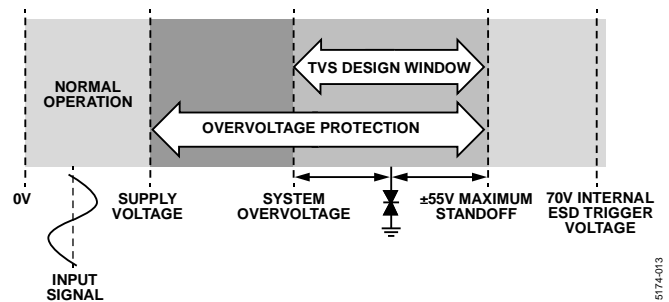


図 5. TVS 設計ウィンドウ

外部とのインターフェースを形成するシステム入力の動作領域を、図 5 に示します。左端の領域は、入力電圧が電源電圧範囲内にある通常の動作領域を表します。左から 2 番目の領域は、電源喪失、誤配線、あるいは短絡などによって、入力に継続的な DC 過電圧や長時間の

AC 過電圧が生じる可能性のある範囲を表します同じく図の右端に示されているのは、ADG5412F の内部 ESD 保護ダイオードのトリガ電圧です。

TVS 設計ウィンドウ領域は、スイッチの  $\pm 55\text{ V OVP}$  によって形成されます。このウィンドウは、OVP スwitchの最大スタンドオフ電圧と、システム内で発生し得る最大過電圧値の差によって定義されます。IEC 規格に定めるトランジェントからシステム入力と敏感な下流側回路を保護して、電圧を OVP スwitchの動作範囲内に収めるには、ブレークダウン電圧が TVS 設計ウィンドウ領域内に収まる TVS を選択してください。この設計ウィンドウの概念は、この広い電圧範囲内の任意の位置で TVS ブレークダウン電圧を選ぶことができるという柔軟性をシステム設計者に提供します。

デバイス選択時に考慮すべきもう 1 つの TVS パラメータは、最大クランピング電圧です。サージ現象発生時は TVS デバイスに通常より大きい電流が流れるので、TVS のクランピング電圧がその最大クランピング電圧まで増加する可能性があります。この TVS の最大クランピング電圧は、ブレークダウン電圧より大きくなります。高ブレークダウン電圧（例えば  $54\text{ V}$ ）の TVS では、最大クランピング電圧が、データシートに仕様規定された ADG5412F ソース・ピンの  $\pm 55\text{ V DC}$  の絶対最大定格より大きくなります。しかし、IEC61000-4-5 に定めるサージ試験により、ADG5412F は、サージ・トランジェントの持続時間にわたって DC 最大定格より大きい電圧に耐え得ることが証明されています。これは、サージ・トランジェントの立上りが ESD パルスの場合よりはるかに遅いためです。したがって、ADG5412F の内部 ESD 保護回路がサージ・トランジェントの持続時間内にトリガされることはありません。

## システム・レベルの保護

図 4 に示す回路では、ディスクリット・デバイスである TVS と抵抗が、IEC、ESD、EFT、およびサージから ADG5412F を保護しています。ADG5412F は、過電圧故障、ラッチアップ、およびホット・スワップに対する保護機能を備えています。ESD、EFT、サージからシステム入力を完全に保護するには、OVP コンポーネント（ADG5412F）がトランジェント電圧に耐えるようにするだけでなく、下流側のデバイスが損傷を受けないように、ADG5412F のドレイン側（Dx）からスイッチを出るエネルギーのレベルを十分に抑制することが重要です。

IEC、ESD、EFT、サージ発生時に ADG5412F の出力のエネルギー・レベルを定量化するために使用するセットアップを、図 6 に示します。

この試験セットアップは、下流側コンポーネントの入力保護に ADG5412F を使用する代表的なシステムの例を示しています。アップ・ダイオードとダウン・ダイオードは、任意の下流側回路（例えばアンプや ADC）内に存在する入力 ESD 保護ダイオードを表しています。トランジェント現象発生時、ADG5412F は下流側デバイスに到達するエネルギーを減らす上で有効です。次のセクションでは、これをデータによって示します。下流側デバイスの入力 ESD 保護ダイオードは、ちょうど HBM ESD 現象の発生時に通常行われるように、保護回路出力の小さい残留エネルギーを除去します。

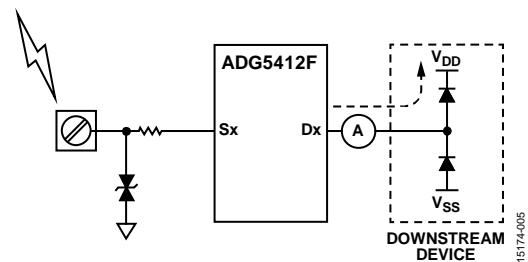


図 6. 試験構成

## 静電放電 (ESD)

ESD は、近距離での接触によって発生するか、電解によって誘導される異なる電位をもつ物体間での急激な静電荷の移動です。ESD が発生すると、瞬時に高電流が流れます。

動作中にシステム外部で発生する ESD 現象に対する耐性を判断することが、IEC 61000-4-2 試験の主な目的です。IEC 61000-4-2 では、接触放電と気中放電の 2 つのカップリング方法を使用した試験についての仕様を規定しています。接触放電とは、放電ガンに装置に直接接触させることを指します。気中放電ではより高い試験電圧を使用しますが、被試験装置に直接接触させることはありません。

気中放電試験では、空気ギャップをわたってアーク放電が発生するまで、放電ガンの帯電した電極を被試験体に近づけます。放電ガンは、装置には直接接触させません。湿度、温度、気圧、距離、装置への接近速度など、多数の要素が気中放電試験の結果と再現性に影響を与えます。気中放電法は、接触放電法よりも実際の ESD 現象の発生を表現するのに適していますが、再現性はあまり良くありません。

図 7 に、仕様に記載されている 8 kV の接触放電の電流波形を示します。注意すべき主な波形パラメータは、1 ns 未満の立上がり時間、約 60 ns の短いパルス幅、および 30 A のピーク電流です。

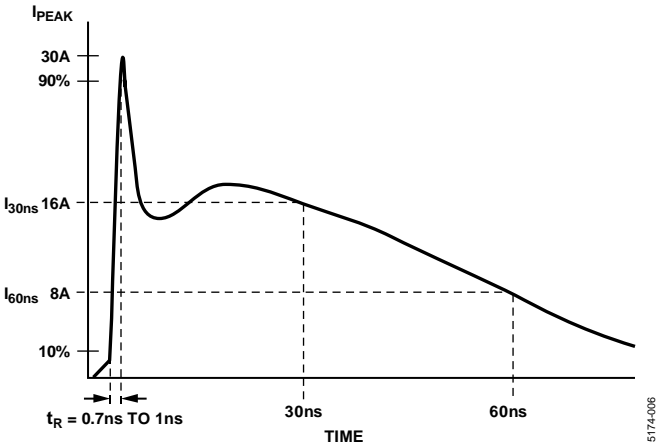


図 7. IEC 61000-4-2 ESD 波形 (8 kV)

この試験は単発放電で行われます。試験ポイントには、少なくとも 10 回の正放電と 10 回の負放電が加えられます。放電間隔は 1 秒間とすることが推奨されています。

保護回路の入力に ESD パルスを加えたときは、最初のオーバーシュート後に、TVS デバイス (SMAJ54CA) によって入力電圧が 54 V にクランプされます。パルス持続時間が約 60 ns と非常に短いため、ADG5412F 内の OVP 回路にとっては、ESD に対応して下流側回路を ESD から隔離する時間はありません。しかし、ADG5412F の出力にある内部保護ダイオードが順方向バイアスのかかった状態となって、ADG5412F の出力電圧を  $V_{DD} + 0.7$  V にクランプします。

出力に組み込まれたこれらの内部ダイオードは、電流の大部分を下流側デバイスからそらせるだけの十分な堅牢性を備えているので、最初に発生する 8 kV の ESD からシステムを保護することができます。

### IEC61000-4-2 による静電放電試験

IEC に規定するトランジェント現象発生時に回路を流れる電流の経路を図 8 に示します。電流の大部分は、TVS デバイスを通じてグラウンドへシャントされます (経路 I<sub>1</sub>)。経路 I<sub>2</sub> は、スイッチがオフになるまでの 500 ns の間に放出される電流を表わします。最終的に、経路 I<sub>3</sub> の電流が、下流側コンポーネントが耐えなければならないレベルとなります。

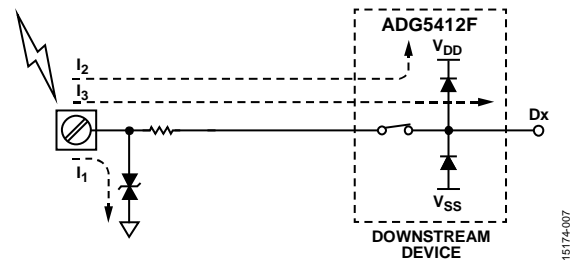


図 8. ESD 発生時の電流経路

ADG5412F に 54 V の TVS (Bourns SMAJ54CA) と 30 Ω の直列抵抗を接続し、その入力に ±8 kV の IEC ESD 接触放電パルスを加えたときにスイッチの出力で測定した電流を、図 9 に示します。TVS がトランジェント電圧をクランプする前に、ADG5412F (30 Ω の抵抗が必要) の内部 ESD 保護回路のトリガをのがれた初期オーバーシュートがあります (TVS の選択のセクションを参照)。IEC ESD 現象の発生時に ADG5412F の出力 (Dx) で測定されるこのピーク電流は、678 mA に過ぎません。

出力で測定されるピーク電流は、HBM ESD の分類に使われるピーク電流を持つ持続時間 60 ns の短いパルスに関連付けることができます。1 kV の HBM ESD のピーク電流は約 660 mA で、持続時間は 500 ns です。したがって、図 4 に示す構成に ADG5412F を使用すると、8 kV の IEC ESD を、1 kV HBM ESD に相当する大きさ未満に減衰させることができます。これは、下流側コンポーネントの HBM ESD 定格値を満たします。

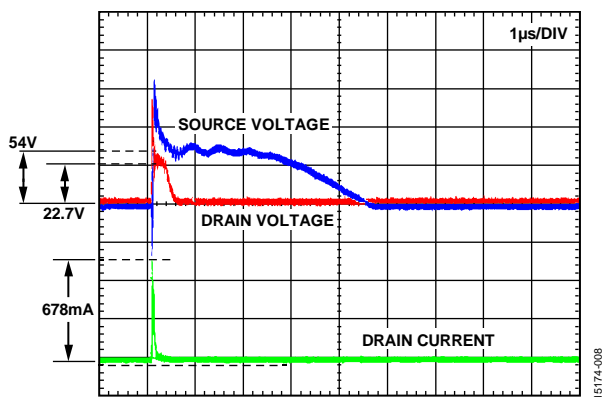


図 9. 8 kV ESD 発生時のドレイン電圧とドレイン (Dx) の出力電流

同様に、ADG5412F に 54 V の TVS (Bourns SMAJ54CA) と 30 Ω の直列抵抗を接続し、その入力に ±16 kV の IEC ESD 気中放電パルスを加えたときにスイッチ出力で測定した電流を、図 10 に示します。

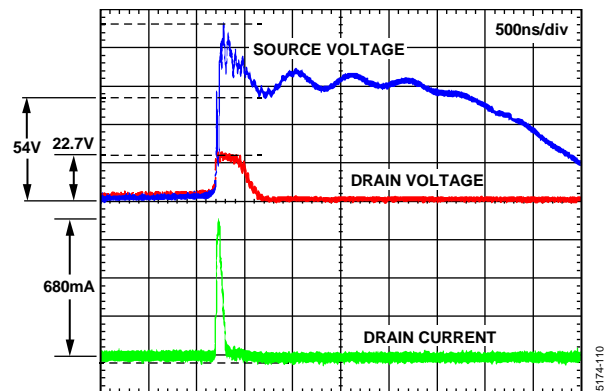


図 10. 16 kV 気中放電時のドレイン電圧とドレイン (Dx) の出力電流

IEC ESD 発生時に ADG5412F の出力で測定したピーク電流は 680 mA に過ぎず、これは、8 kV 接触放電試験時に得られた結果とほぼ同じです。

## 電氣的ファスト・トランジェント (EFT)

EFT 試験では、きわめて高速のトランジェント・インパルスを信号ラインに複数結合させることで、信号ラインに容量結合された外部スイッチング回路に伴う過渡的な外乱を再現する必要があります。この試験は、誘導性負荷や容量性負荷のスイッチングで発生する接触バウンスやトランジェントを反映しています。これらはすべて、工業環境では頻繁に発生します。IEC 61000-4-4 で定義される EFT 試験では、これらの現象の結果として発生する干渉をシミュレートします。

図 11 に EFT の波形を示します。出力波形は、5 kHz の高電圧トランジェントの繰り返しバーストで構成されます。バーストの間隔は 300 ms で、各バーストの持続時間は 15 ms です。各パルスの立上がり時間 ( $t_R$ ) は 5 ns で、パルスの持続時間 ( $t_D$ ) は 50 ns です。持続期時間は、波形の立上がりエッジの中間点から立下がりエッジの中間点までの時間として測定されます。ESD トランジェント同様、個々の EFT パルスには、立上がり速くパルス幅が短いという特徴があります。単一パルス内の合計エ

ネルギーは、ESD パルスの合計エネルギーとほぼ同じになります。

IEC 61000-4-4 は、容量性クランプを使用して、これらの高速バースト・トランジェントを入力ラインに結合するよう仕様規定しています。EFT は、直接接触ではなく、クランプによって入力ラインに容量結合されます。システム・レベル試験でこのカップリング・プレートを再現するには、0.5  $\mu$ F のカップリング・コンデンサを IC の入力に接続します。これは、IEC61000-4-4 規格の IC レベル・バージョンを記述した IEC 62215 規格に従った措置です。

これらの EFT パルスを保護回路の入力に加えると、ESD の場合と同様の形で電流が抑制されます。初期オーバーシュートの後、4 kV の EFT 電圧は 54 V TVS デバイスによってクランプされ、TVS に流れなかった残りの電流の大部分は、ADG5412F の出力に組み込まれた堅牢な内部ダイオードに吸収されます。この保護処理は、各バーストの個々のパルスごとに繰り返されます。

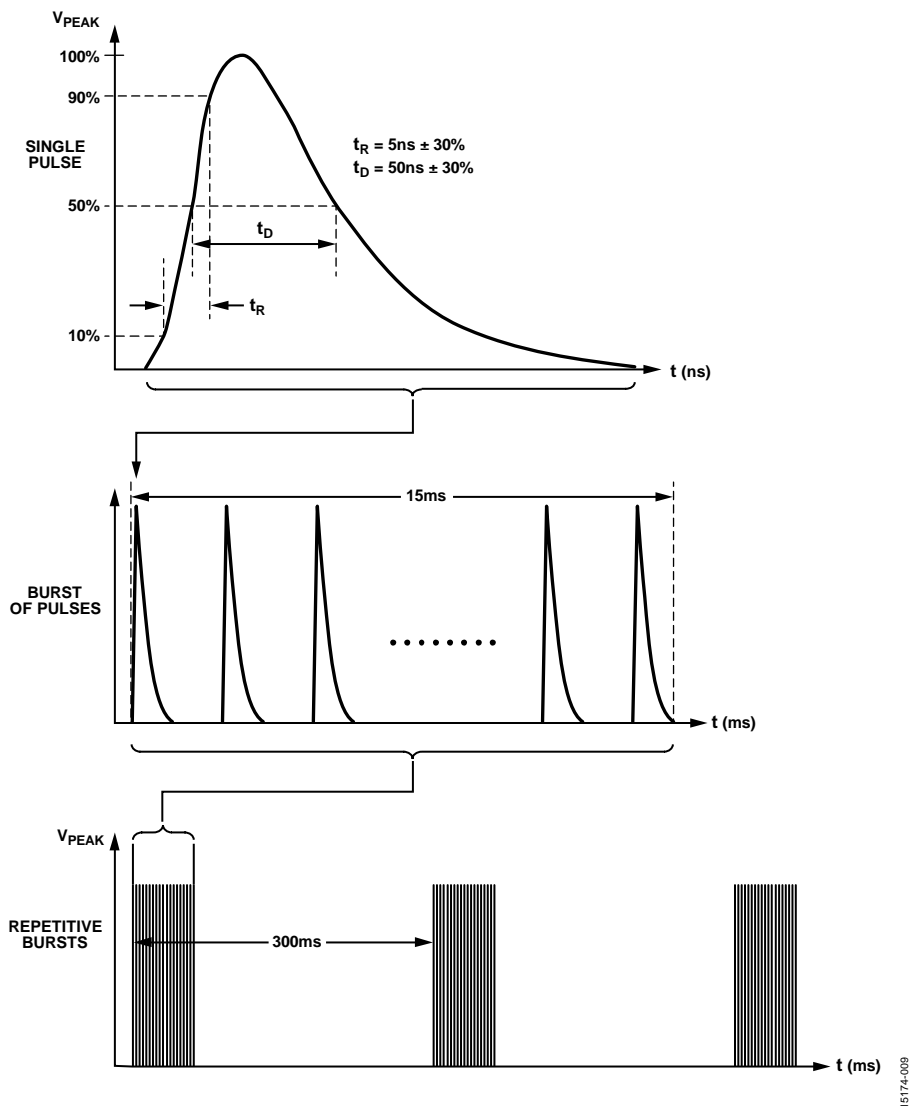


図 11. IEC 61000-4-4 の EFT 波形



**EFT 試験、IEC61000-4-4**

54V TVS と 30Ω の直列抵抗を接続した ADG5412F デバイスの入力に ±4 kV IEC EFT パルスを印加した場合について、図 12 に示します。出力における EFT バースト内のパルスの 1 つに対して、出力で測定したピーク電流は 420 mA に過ぎません。

ESD の場合同様、この値は、持続時間が 60 ns という短いパルスを、HBM ESD の分類に使われるピーク電流と比較するために使用できます。750 V の HBM ESD のピーク電流は約 500 mA で、持続時間は 500 ns です。したがって、図 5 に示す構成で ADG5412F を使用すると、4 kV の IEC EFT によって生じる 1 つのパルスを 750 V HBM ESD に相当する値未満に減衰させることができます。この程度のトランジェントであれば、現在の IC のほとんどは耐えることができます。

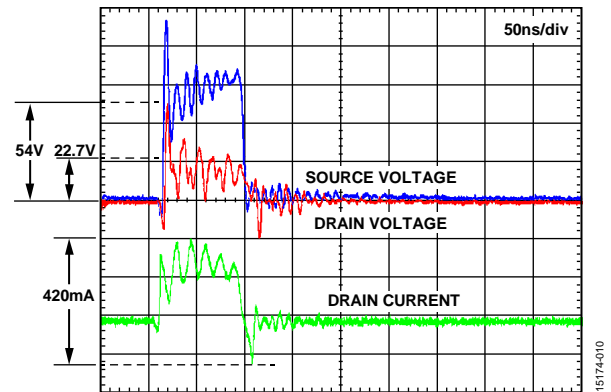


図 12. 単一パルスの EFT 電流

## サージ

サージ・トランジェントは、スイッチングや雷トランジェントからの過電圧によって発生します。スイッチング・トランジェントは、電源システムのスイッチング、配電システムでの負荷の変動の他、短絡や施設のグラウンディング・システムへのアーク故障などのさまざまなシステム故障が原因で発生します。雷トランジェントは、落雷によって回路に混入した大電流や高電圧から発生します。IEC 61000-4-5 では、これらのサージに対する電気および電子装置の耐性を評価するための波形、試験方法、および試験レベルを定めています。

波形は、オープン・サーキットや短絡による波形発生器の出力として仕様規定されています。2つの波形が説明されています。電話交換線などの通信線に接続するポートの試験には、10  $\mu$ s/700  $\mu$ s のコンビネーション波形を使用します。それ以外のすべての場合、特に短距離の信号接続では、1.2  $\mu$ s/50  $\mu$ s のコンビネーション波形を使用します。

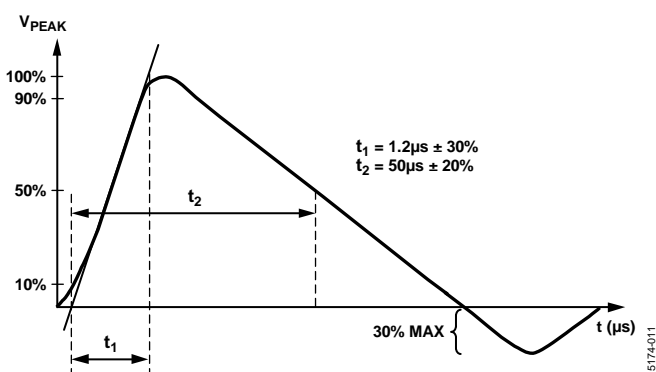


図 13. IEC 61000-4-5 サージ 1.2  $\mu$ s/50  $\mu$ s 波形

図 13 に 1.2  $\mu$ s/50  $\mu$ s サージ・トランジェント波形を示します。ESD と EFT は同様の立ち上がり時間、パルス幅、およびエネルギー・レベルを備えています。しかしサージの場合はパルスの立ち上がり時間が 1.2  $\mu$ s とはるかに遅く、持続時間がはるかに長くなります。パルス幅は 50  $\mu$ s で、どちらの値も ESD パルスや EFT の個々のパルスよりはるかに大きくなっています。さらに、サージ・パルスのエネルギーは、ESD パルスまたは EFT パルスのエネルギーより 3 ~ 4 桁大きくなる可能性があります。こ

のため、サージ・トランジェントは、最も厳しい EMC トランジェント仕様と見なされています。サージの発生時、入力電圧は TVS デバイスによってクランプされます。サージの持続時間は 50  $\mu$ s なので、スイッチの OVP が反応して下流側回路を隔離するのに十分な時間があります。わずか 500 ns 後には、ADG5412F の OVP が下流側デバイスをトランジェントから隔離します。これによって 50  $\mu$ s のサージ入力に 500 ns パルスとなるので、下流側コンポーネントに伝達されるエネルギーは著しく減少します。

### サージ試験、IEC61000-4-5

54 V TVS と 30  $\Omega$  の直列抵抗を接続した ADG5412F の入力に  $\pm 4$  kV のサージ・パルスを加えた場合、出力で測定されるピーク電流は 616 mA です。

図 4 に示すこの保護回路は、コンポーネントを破壊する恐れのあるほどの長時間、大電流のサージを、持続時間 500 ns 未満、ピーク電流 608 mA の短いサージに減衰させます。比較のため例示すると、1 kV の HBM ESD のピーク電流は約 660 mA で、持続時間は 500 ns です。

図 14 は 500 ns 経過後のスイッチの動作を示したもので、サージからドレインを隔離しています。

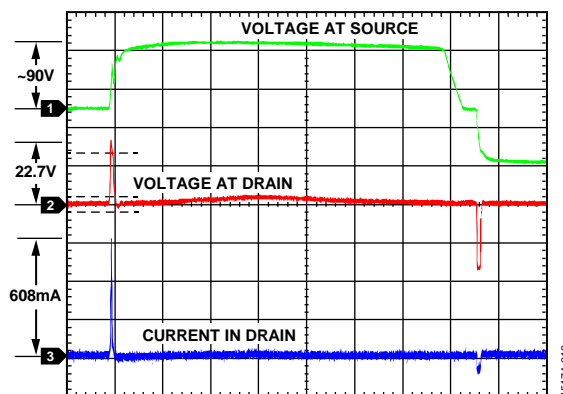


図 14. サージ発生時の OVP の動作

## まとめ

このアプリケーション・ノートで述べた保護アーキテクチャは、ADG5412F を一つの TVS デバイスおよび小さい値の抵抗と組み合わせることによって、最大 16 kV の IEC ESD、4 kV の EFT、および 4 kV のサージから、システムの入力や出力ノードを保護できることを示しています。また、このアプリケーション・ノートでは、ここに述べた保護アーキテクチャによって、下流側回路の保護の必要性を 1 kV の HBM ESD と同等のレベルまで緩和できることも示しています。これらの情報は、以下の利点を実現しながら、システムの入出力用の保護回路を設計する際に必要な知識をシステム設計者に提供します。

- 保護設計の容易さ
- 迅速な市場投入
- 必要なディスクリート・コンポーネント数の減少による保護回路の高性能化
- 信号経路の直列抵抗値の低減
- 広い TVS 設計ウィンドウによる TVS 選択の容易さ
- 以下の規格によるシステム・レベルの保護
  - IEC61000-4-2:  $\pm 16$  kV の気中放電
  - IEC61000-4-2: 8 kV の接触放電
  - IEC61000-4-4: 4 kV
  - IEC61000-4-5: 4 kV
- AC および継続的 DC 過電圧に対する保護: 最大  $\pm 55$  V
- パワーオフ保護: 最大  $\pm 55$  V

## 参考資料

Electromagnetic Compatibility (EMC) Part 4-2: “Testing and Measurement Techniques—Electrostatic Discharge Immunity Test” (IEC 61000-4-2:2008, Edition 2.0).

Electromagnetic Compatibility (EMC) Part 4-4: “Testing and Measurement Techniques—Electrical Fast Transient/Burst Immunity Test” (IEC 61000-4-4:2012, Edition 3.0).

Electromagnetic Compatibility (EMC) Part 4-5: “Testing and Measurement Techniques—Surge Immunity Test” (IEC 61000-4-5:2005, Edition 2.0).

JEDEC JS-001: “Human Body Model Electrostatic Discharge Testing Standard” (ESDA/JEDEC JTR001-01-12).

[Analog Dialogue, 2011: アプリケーション・エンジニアに尋ねる \\_\\_40 厳しい環境下で使用するスイッチとマルチプレクサの設計上の留意事項](#)

[Analog Dialogue, 2016: 障害保護に対応するアナログ・スイッチ IC、ディスクリートの保護部品が不要に](#)