

高出力電流アプリケーションのための ADP1763 LDO レギュレータの並列接続

著者: Jason Duan、Justin Zhao

はじめに

高速 A/D コンバータ (ADC) や D/A コンバータ (DAC)、アジャイル無線周波数 (RF) トランシーバ、クロッキング、特定用途向け集積回路 (ASIC)、フィールド・プログラマブル・ゲートアレイ (FPGA) などの高性能ミックスド・シグナル製品の多くは、信号チェーンの性能を最大化するクリーンな電源を提供するために、超低ノイズ、低ドロップアウト (LDO) のリニア・レギュレータを必要とします。このように大規模なミックスド・シグナル集積回路 (IC) は、より高レベルの機能の集積化、低消費電力化の要求に応じて、多くのトランジスタを集積する微細プロセス (例えば 28 nm 以下) を採用した設計を特長とします。このような要件は電力要件にも影響します。コアの電源電圧が低下し続ける一方、近年ではさらに多くのアナログ機能やデジタル機能を搭載するため負荷電流が大幅に増加しています (例えば 3 A 以上)。

用途によっては超低ノイズと高負荷電流の両方の設計目標を満たす LDO レギュレータを見つけることは非常に困難となっています。なぜなら、こうした LDO レギュレータは市場での入手が非常に限られ、たとえ入手できるにしても非常に高価なものになるためです。したがって、高電流アプリケーションでは LDO レギュレータを並列接続すると有効な場合があります。LDO レギュレータを並列接続すると、高負荷時に複数の LDO レギュレータのパッケージに熱や電力損失を分散できるなど、1 個の LDO レギュレータを使用するよりも多くの利点が得られます。また、LDO レギュレータを並列接続すると、単一 LDO レギュレータと比較して、それぞれの LDO レギュレータは低電流

状態で動作するため、ドロップアウト電圧が改善され、電源電圧変動除去比 (PSRR) 性能も向上します。高性能ミックスド・シグナル製品の電源を図 1 に示します。この図では 2 個の ADP1763 デバイスが並列接続され、コア電圧に電力を供給しています。

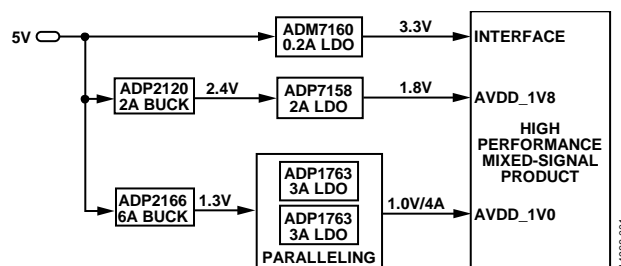


図 1. ミックスド・シグナル製品の電源図

このアプリケーション・ノートでは、パッシブとアクティブの 2 種類の並列接続方式を紹介します。パッシブ並列接続の場合は、2 個の調整可能な ADP1763 デバイスがバラスト抵抗によって並列に接続されます。アクティブ並列接続の場合は、低オフセットのレール to レール・アンプ ADA4051-1 が ADP1763 デバイスの出力電圧を調整し、2 個の ADP1763 デバイス間の電流差を検出して電流分担を実現します。これら 2 つの方式の長所と短所は、実験を通して結果が示されています。

目次

はじめに.....	1	負荷レギュレーション.....	6
改訂履歴.....	2	ソフト・スタート.....	6
電流分担方式.....	3	ノイズ・スペクトル密度.....	7
パッシブ並列接続.....	3	熱テストの結果.....	7
アクティブ並列接続.....	4	まとめ.....	7
テスト結果.....	5		
電流分担の精度.....	5		

改訂履歴

10/2016—Revision 0: Initial Version

電流分担方式

一般には、LDO レギュレータ間の出力電圧は許容誤差のためミスマッチを生じることがあるので、2 個の LDO レギュレータを単に並列に接続しただけでは電流分担を実現することはできません。この許容誤差には、LDO リファレンス電圧の差異、フィードバック抵抗のミスマッチ、プリント回路基板 (PCB) の寄生成分のミスマッチなどがあります。LDO レギュレータ間の出力電圧のミスマッチは、負荷電流に大きなアンバランスを招く可能性があります。最悪の場合、1 個の LDO が大部分の負荷を担うために電流制限保護につながる可能性があります。

ADP1763 は、外付けバイアス電源を必要とせずに最小 1.1 V の入力電圧の単電源で動作し、最大 3 A の出力電流を供給するように設計された LDO リニア・レギュレータです。ADP1763 は 100 Hz ~ 100 kHz で 2 μ V rms の超低出力ノイズを特長としています。ADP1763 の超低出力ノイズは、LDO 誤差アンプをユニティゲインに維持し、リファレンス電圧を出力電圧に等しくなるように設定することによって実現されます。ユニティゲイン・アーキテクチャの利点は、LDO 出力ノイズが出力電圧設定とは独立していることです。詳細については、図 2 を参照してください。

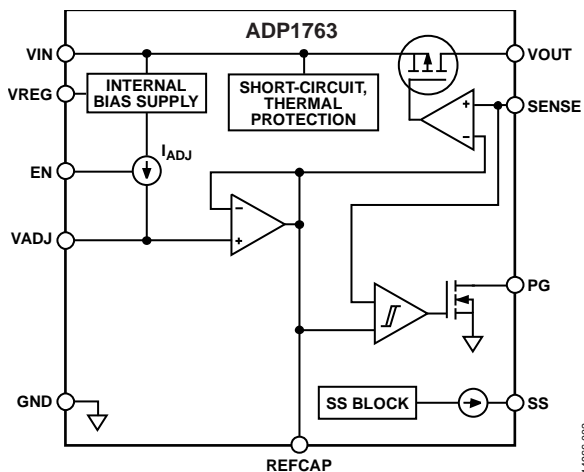


図 2. ADP1763 の内部ブロック図

パッシブ並列接続

電流分担の実際的な方法は、複数の LDO レギュレータ間の電流分担を改善するために、それぞれのレギュレータ出力に同一のバラスト抵抗 (RB1 と RB2) を追加することです。電流分担性能をさらに高めるには、大きなバラスト抵抗が望まれます。しかし、大きなバラスト抵抗は負荷レギュレーションを劣化させ、ドロップアウト電圧を増加させます。したがって、バラスト抵抗のトレードオフを考慮した慎重な設計が必要になります。2 個の ADP1763 デバイスの並列接続を図 3 に示します。出力誤差を最小にするには、それぞれの REF CAP ピン同士と VADJ ピン同士を接続して、複数のデバイス間で電圧リファレンスを十分にマッチさせます。また、SS ピンと EN ピンも同様に接続して、異なるデバイス間でソフト・スタート動作を同期させます。アプリケーションでパワーグッド・インジケータ機能が必要な場合は、PG ピン同士も接続します。

2 個の ADP1763 デバイスの REF CAP ピン同士を接続すると、主な出力電圧誤差は、それぞれの ADP1763 出力に接続される誤差アンプのオフセット電圧から生じます。この誤差アンプのオフセット電圧の仕様は非常に小さく、-40 °C ~ +125 °C の温度範囲で ± 1.32 mV です。REFCAP ピンと VOUT ピンの間には ± 1.32 mV の誤差しか生じないため、このオフセット電圧により、小さなバラスト抵抗でも許容可能な電流分担精度を達成できます。さらに、小さなバラスト抵抗では、低負荷レギュレーションと低電力損失という利点も得られます。

ワーストケースを計算するには、 V_{O1} を最悪の正のオフセット電圧とし、 V_{O2} を最悪の負のオフセット電圧とします。

$$V_{O1} = V_{REFCAP} + V_{OFFSET}$$

$$V_{O2} = V_{REFCAP} - V_{OFFSET}$$

総出力電流 (I_o) = 5 A かつ $I_o = I_{o1} + I_{o2}$ です。

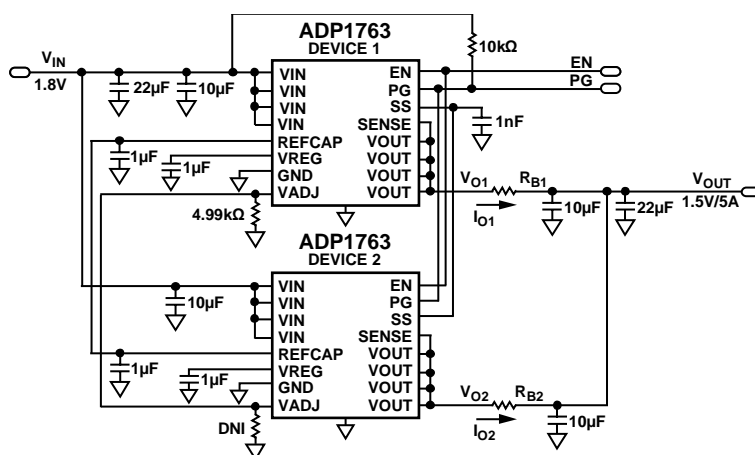


図 3. 2 個の ADP1763 デバイスのパッシブ並列接続

バラスト抵抗の許容差 (R_{S-TOL}) は $\pm 1\%$ です。ワーストケースを計算するには、 V_{O1} 電源電圧のバラスト抵抗が正の許容差を持ち、 V_{O2} 電源電圧が負の許容差を持つと仮定します。

$$V_{O1} - I_{O1} \times R_B \times (1 - R_{S-TOL}) = V_{O2} - I_{O2} \times R_B \times (1 + R_{S-TOL})$$

$R_{S-TOL} = 1\%$ のとき、

$$I_{O1} = \frac{I_O \times (1 + R_{S-TOL}) + \frac{V_{O1} - V_{O2}}{R_B}}{2}$$

$$I_{O2} = 5\text{ A} - I_{O1}$$

$$CS_{ACCURACY} = \frac{I_{O2} - I_{O1}}{I_O} \times 100\%$$

ここで、 $CS_{ACCURACY}$ は電流分担精度です。

5 A の負荷における電流分担精度および電圧降下とバラスト抵抗との関係を図 4 に示します。バラスト抵抗が増加するにつれて、電流分担精度が向上します。しかし、電圧降下が大きくなるという欠点があります。約 10% の電流分担精度と最小の電圧降下を達成するには、 $R_B = 5\text{ m}\Omega$ を選択します。

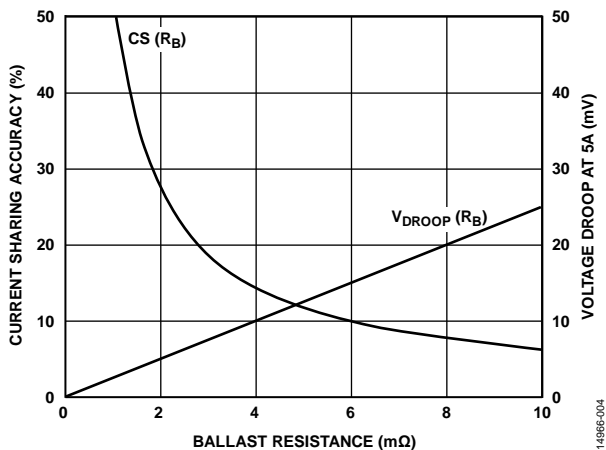


図 4. 電流分担 (CS) 精度および電圧降下とバラスト抵抗との関係

図 4 の計算によると、ワーストケースの電流分担精度は 5 A 負荷で $\pm 11.6\%$ です。最大負荷電流は 2.789 A で、3 A の定格電流よりも小さい値です。パッシブ電流分担方式を使用した 2 チャンネル間の負荷レギュレーションを図 5 に示します。

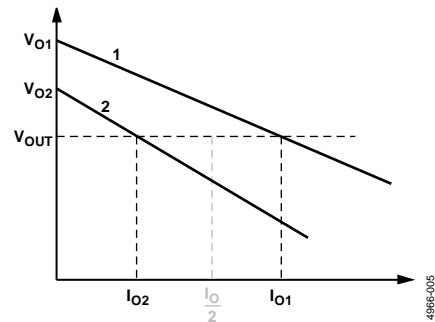


図 5. パッシブ並列接続の負荷制御

アクティブ並列接続

アクティブ電流分担方式はパッシブ電流分担方式とは異なり、アクティブ電流分担ループを使用して、スレーブとマスタの LDO レギュレータ間の電流バランスを実現します。2 個の ADP1763 デバイスのアクティブ電流分担の例を図 6 に示します。ここでは、第 1 の ADP1763 をマスタ LDO とした 2 個の ADP1763 デバイス、1 出力アンプである ADA4051-1、および各 LDO レギュレータの入力に接続された 2 個の 10 mΩ 電流検出抵抗が含まれています。アンプ ADA4051-1 は電流差を検出し、その出力を第 2 の ADP1763 デバイスの VADJ ピンの帰還ノードに接続してその出力電圧を調整し、電流をバランスさせます。

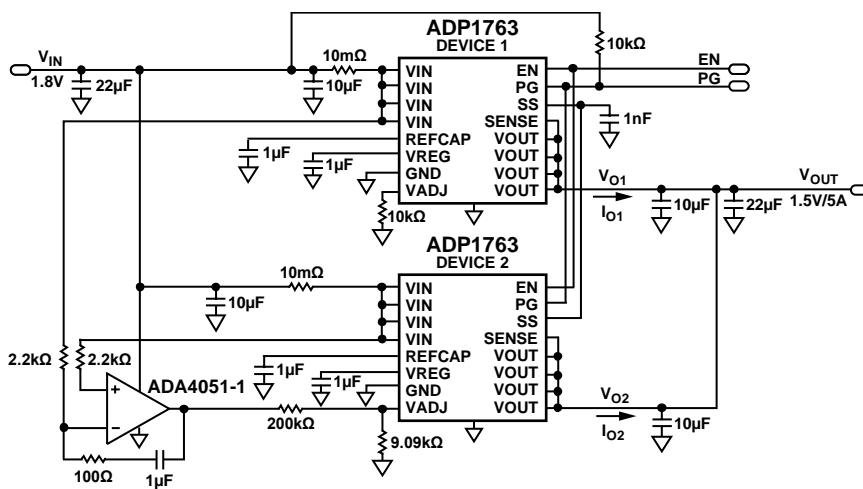


図 6. 2 個の ADP1763 デバイスのアクティブ並列接続

テスト結果

2つの電流分担方式を比較し性能を検証するために、図7および図8に示すような、2個のADP1763デバイスを搭載した電流分担評価ボードを設計しました。

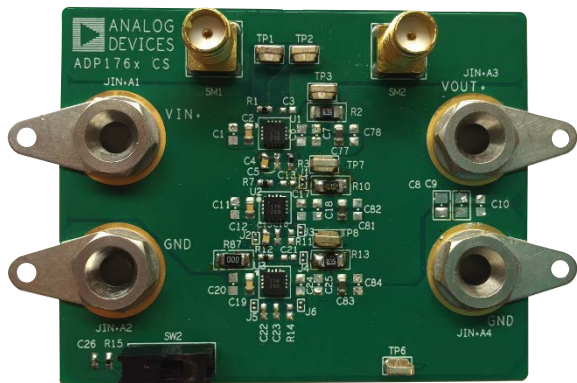


図 7. パッシブ電流分担評価ボード

14866-007

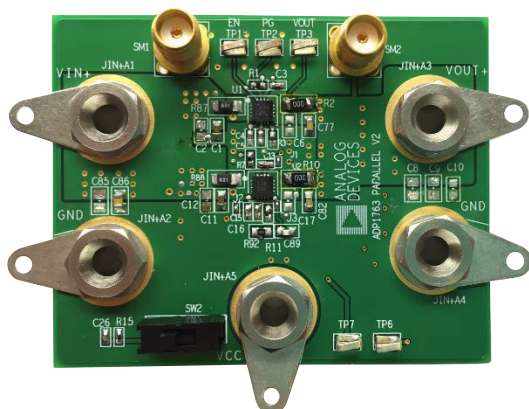


図 8. アクティブ電流分担評価ボード

14866-008

電流分担の精度

2つの評価ボードの電流分担精度を図9と図10に示します。テスト結果から、アクティブ電流分担の精度は広範囲の負荷で $\pm 1\%$ 未満です。パッシブ電流分担の精度はフル負荷時で約 $\pm 5\%$ で、ほとんどのアプリケーションで許容される値です。アクティブ電流分担方式はパッシブ電流分担方式よりも電流分担の結果が改善され、特にパッシブ電流分担方式において固定オフセット誤差が大きくなる軽負荷状態で改善されます。

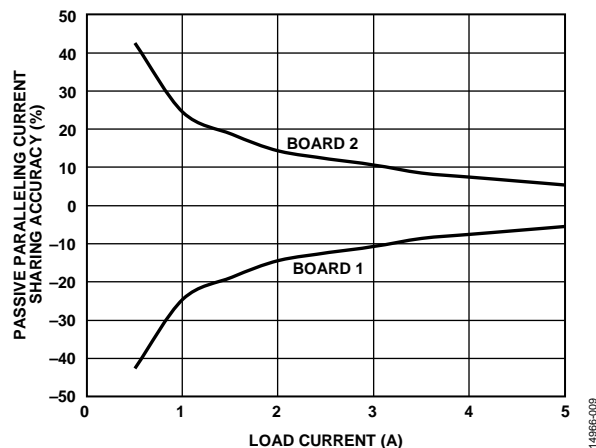


図 9. パッシブ並列接続の電流分担精度と負荷電流の関係

14866-009

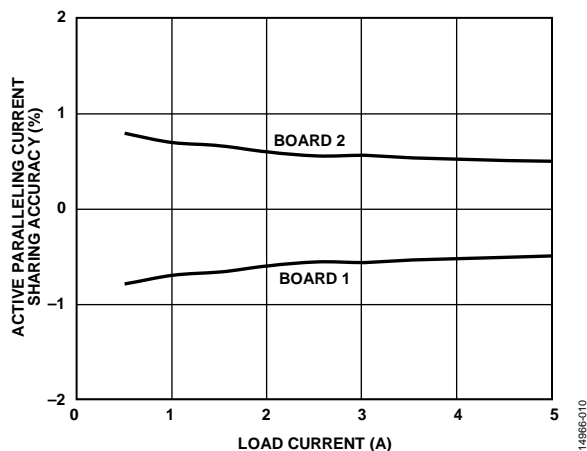


図 10. アクティブ並列接続の電流分担精度と負荷電流の関係

14866-010

負荷レギュレーション

パッシブ並列接続ではそれぞれの ADP1763 の出力にバラスト抵抗を使用するため、負荷電流の増加とともに出力電圧は低下します。図 11 に示すテスト結果から、パッシブ並列接続の負荷レギュレーションは約 1.3% であるのに対して、アクティブ並列接続の負荷レギュレーションは約 0.5% であり、パッシブ並列接続よりもはるかに低いことを図 12 は示しています。

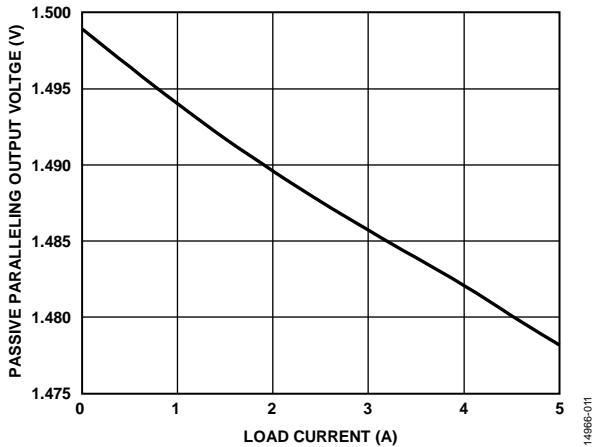


図 11. パッシブ並列接続の出力電圧と負荷電流

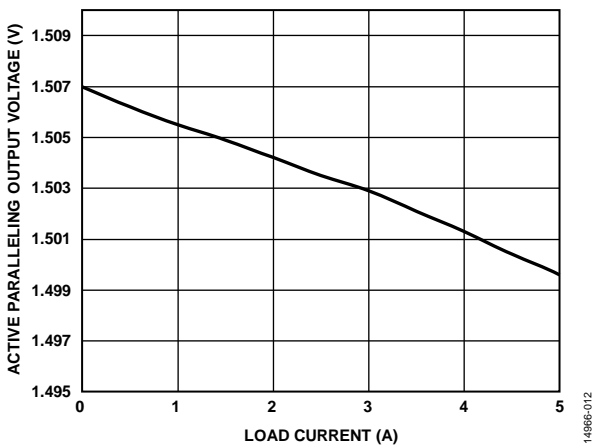


図 12. アクティブ並列接続の出力電圧と負荷電流

ソフト・スタート

フル負荷状態でのパッシブとアクティブの並列接続のソフト・スタート波形を図 13 と図 14 に示します。図 13 と図 14 の波形に示すように、出力電圧はパッシブ並列接続とアクティブ並列接続のいずれでも単調増加します。

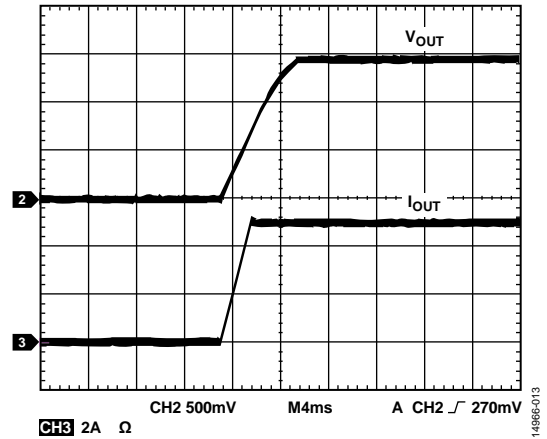


図 13. パッシブ並列接続のソフト・スタート

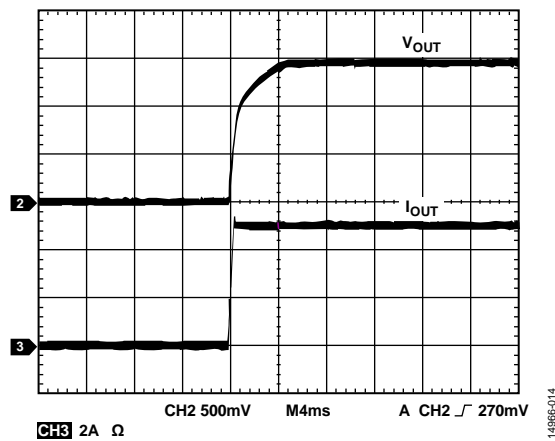


図 14. アクティブ並列接続のソフト・スタート

ノイズ・スペクトル密度

5 A の負荷に対するパッシブ並列接続とアクティブ並列接続のノイズ・スペクトル密度をそれぞれ図 15 と図 16 に示します。テスト結果から、アクティブ並列接続とパッシブ並列接続のノイズ・スペクトル密度性能にはあまり差がないことがわかります。

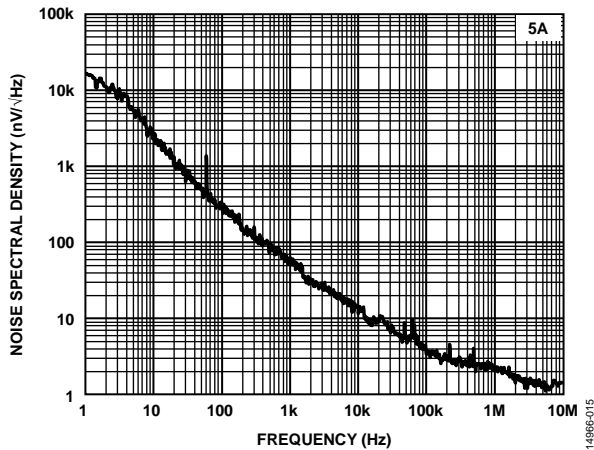


図 15. パッシブ並列接続のノイズ・スペクトラム密度 (NSD) の周波数特性、 $V_{IN} = 1.8V$ 、 $I_O = 5A$

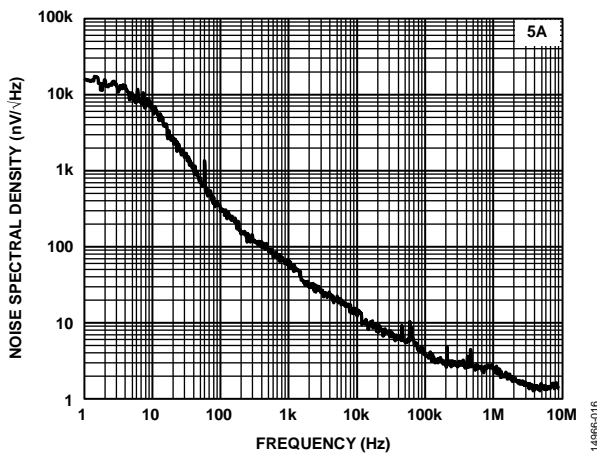


図 16. アクティブ並列接続の NSD の周波数特性、 $V_{IN} = 1.8V$ 、 $I_O = 5A$

熱テストの結果

ボードの熱テストの結果を図 17 と図 18 に示します。図 17 と図 18 に示すように、どの ADP1763 デバイスも熱的にバランスが取れています。

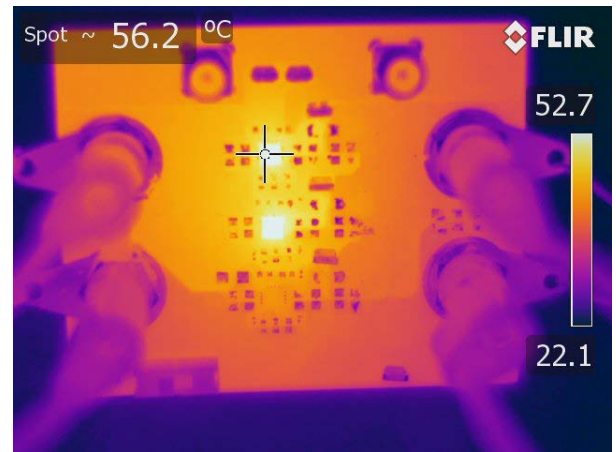


図 17. パッシブ並列接続の熱テスト

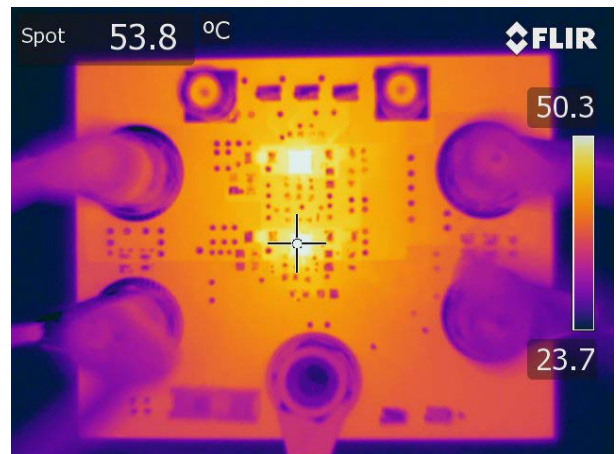


図 18. アクティブ並列接続の熱テスト

まとめ

このアプリケーション・ノートでは、高出力電流 LDO アプリケーションにおいて、パッシブ電流分担およびアクティブ電流分担を使用した、LDO レギュレータを並列接続する 2 つの方法を紹介しました。電流分担精度、負荷レギュレーション、ソフト・スタート、ノイズ・スペクトル密度、熱性能など、設計上の検討事項とテスト結果を示しました。