

## AD7770 および AD7779 の診断機能

著者: Lluís Beltran Gil、Miguel Usach

### はじめに

AD7770 および AD7779 は、8 チャンネル、同時サンプリング  $\Sigma$ - $\Delta$  A/D コンバータ (ADC) です。各チャンネルは、専用のプログラマブル・ゲイン・アンプ (PGA) 段 (ゲイン: 1、2、4、8)、フル機能の  $\Sigma$ - $\Delta$  ADC、および低遅延の sinc3 デジタル・フィルタで構成されています。

AD7770 および AD7779 は、リファレンス・ブロック、変調器、シリアル・インターフェースなど、アナログ領域とデジタル領域の両方のブロック内に、多くの診断機能とモニタリング機能が実装されています (図 1 参照)。

また、AD7770 および AD7779 は、独立して電源を供給できる 12 ビット逐次比較レジスタ (SAR) ADC を内蔵しています。この SAR ADC を外部のマルチプレクサおよびシグナル・コンディショニングとともに使用することにより、システム測定機能専用の  $\Sigma$ - $\Delta$  ADC チャンネルの 1 本を本来の機能から外すことなく、診断およびモニタリングが可能です。内部ノードと外部電源も、この SAR ADC に接続された内部診断用のマルチプレクサを介して選択することにより、モニタリングすることができます。

AD7770 および AD7779 は、シリアル・ペリフェラル・インターフェース (SPI) 制御モードまたはピン制御モードを使用して設定することができます。ピン制御モードでは、デバイスは電源投入時に MODE0 ~ MODE3 ピンと FORMAT0 および FORMAT1 ピンに与えられた電圧レベルに基づく既定の状態に設定されます。詳細については、AD7770 および AD7779 のデータシートを参照してください。

ピン制御モードでは、デバイスに実装されている診断およびモニタリング機能の多くにアクセスできません。一方、SPI 制御モードでは、実装されている診断およびモニタリング機能のすべてにアクセスできます。そのため、デバイスを診断およびモニタリングのために使用する場合は、SPI 制御モードを使用することを推奨します。

このアプリケーション・ノートでは、これらの機能の概略、AD7770 および AD7779 で検出できるエラー、それらのエラーの診断と修復のために使用可能なさまざまなオプションについて説明します。

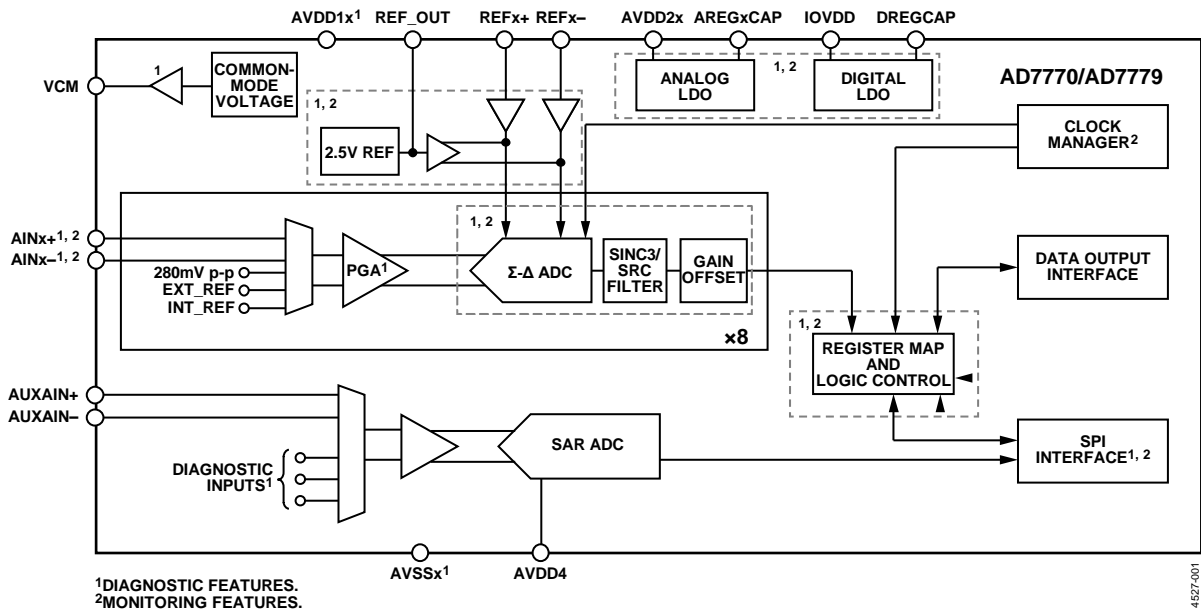


図 1. AD7770 / AD7779 のブロック図  
(8 チャンネルのシグナル・チェーンのうち 1 つだけ図示しています。)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

はじめに.....	1	MCLK スイッチ・エラー .....	7
改訂履歴.....	2	インターフェースの完全性 .....	8
診断およびモニタリング機能 .....	3	SPI 伝送エラー .....	8
メイン・シグナル・チェーン .....	4	無効な読み出し/書き込み .....	8
出力飽和.....	4	SCLK カウンタ .....	8
フィルタ飽和.....	4	CRC チェックサム・エラー .....	8
変調器の飽和.....	4	シグマ・デルタ変換.....	9
PGA ゲイン.....	4	電源.....	10
過電圧/低電圧イベント .....	4	内部低ドロップアウト・レギュレータ (LDO) のステータス .....	10
リファレンス・ブロック .....	6	リセットおよび電源投入.....	10
リファレンス検出.....	6	SAR ADC.....	11
コモンモード .....	6	診断用マルチプレクサ .....	11
デジタル・コア .....	7	シグマ・デルタ ADC マルチプレクサ .....	13
ROM および MEMMAP の CRC .....	7		

## 改訂履歴

4/2017—Revision 0: Initial Version

## 診断およびモニタリング機能

AD7770 および AD7779 は、デバイスが正しく機能することを保証するために、シグナル・チェーン、リファレンス、共通モード、デジタル、電源の各ブロックを網羅する幅広いエラー・チェッカーを用意しています。エラー・チェッカーのどれかがトリガすると、

- ALERT ピンがセットされます。
- $\Sigma$ - $\Delta$  ADC ヘッダーのアラート・ビットがセットされます。
- ステータス・レジスタの CHIP\_ERROR ビットがセットされます (表 2 参照)。
- メモリ・マップ内の対応するフラグがセットされます。

ALERT ピン (ピン制御モード使用時はピン 18、SPI 制御モード使用時はピン 16) は、通常エラーが発生中のみハイの状態、エラーが解消されるとリセットされます。SPI エラーの場合は例外で、その後に SPI トランザクションが行われるまで ALERT ピンはリセットされません。

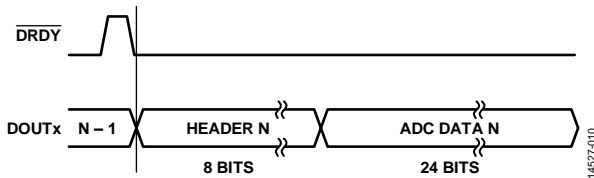


図 2. ADC が出力する 8 ビットのヘッダーと 24 ビットの変換データ

$\Sigma$ - $\Delta$  データ・ヘッダーはすべてのデータ・フレームに先行し、アラート・ビットを含んでいます。アラート・ビットは最上位ビット (MSB) で、ALERT ピンと同様の機能を持ち、エラーが発生している場合に警告を發します。さらに、図 3 に示す  $\Sigma$ - $\Delta$  巡回冗長検査 (CRC) ヘッダーがデフォルトでアクティブになっており、DOUT\_HEADER\_FORMAT ビット (レジスタ 0x015 のビット 5) を使用してエラー・ヘッダーとスイッチできます (SPI 制御モードのみ)。エラー・ヘッダー・が選択されている場合、ヘッダーの 4 個の最下位ビット (LSB) によって、主要なエラーの詳細情報が与えられます。例えば、図 3 に示すようにリセットが検出された場合や変調器やデジタル・フィルタが飽和した場合、またアナログ入力オーバー・レンジ/アンダー・レンジである場合です。

ALERT	CH NUMBER	CH NUMBER	CH NUMBER	CRC	CRC	CRC	CRC
ALERT	CH NUMBER	CH NUMBER	CH NUMBER	RESET	MOD SATURATE	FILTER SATURATE	AIN OV/UN

図 3. CRC およびエラー・ヘッダー

表 2. AD7770 および AD7779 のステータス・レジスタ

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x05D	STATUS_REG_1	Reserved		CHIP_ERROR	ERR_LOC_CH4	ERR_LOC_CH3	ERR_LOC_CH2	ERR_LOC_CH1	ERR_LOC_CH0
0x05E	STATUS_REG_2	Reserved		CHIP_ERROR	ERR_LOC_GEN2	ERR_LOC_GEN1	ERR_LOC_CH7	ERR_LOC_CH6	ERR_LOC_CH5
0x05F	STATUS_REG_3	Reserved		CHIP_ERROR	INIT_COMPLETE	ERR_LOC_SAT_CH6_7	ERR_LOC_SAT_CH4_5	ERR_LOC_SAT_CH2_3	ERR_LOC_SAT_CH0_1

モニタしているブロックのいずれかでエラーがトリガされると、メモリ・マップ内の対応するフラグがセットされます。その結果、ピン制御モードでは、SPI 制御モードと異なりメモリ・マップにアクセスできないため、エラー・ソースを確認できません。

メモリ・マップ内のこれらのエラー・ビットはスティッキー・ビットであるためです。つまり、エラー・レジスタが読み出され、エラー・ソースが解消されている場合のみ、リセットされます。

エラー・ソースを簡単に調査できるように、メモリ・マップには STATUS\_REG\_1、STATUS\_REG\_2、STATUS\_REG\_3 の 3 個のレジスタが含まれています。表 2 に示すように、これらのレジスタは、エラー・ソースが含まれている特定のレジスタを指示します。

例えば、STATUS\_REG\_1 の ERR\_LOC\_CH4 ビットがセットされている場合 (表 2 参照)、このビットは、表 1 から、CH4\_ERR\_REG レジスタ (レジスタ 0x050) 内でフラグがトリガされたことを示しています。

3 個すべてのステータス・レジスタのビット 5 (CHIP\_ERROR ビット) は、エラー・ビットのいずれかがセットされたことを表しています。エラーがなくなると、またレジスタを読み出すと、このビットはクリアされます。しかし、ステータス・レジスタが指し示しているレジスタが読み出されてリセットされるまで、ビット [4:0] はクリアされません。

表 1. レジスタのエラー・ソース

Bit Name	Register Source
ERR_LOC_GEN2	GEN_ERR_REG_2
ERR_LOC_GEN1	GEN_ERR_REG_1
ERR_LOC_CH7	CH7_ERR_REG
ERR_LOC_CH6	CH6_ERR_REG
ERR_LOC_CH5	CH5_ERR_REG
ERR_LOC_CH4	CH4_ERR_REG
ERR_LOC_CH3	CH3_ERR_REG
ERR_LOC_CH2	CH2_ERR_REG
ERR_LOC_CH1	CH1_ERR_REG
ERR_LOC_CH0	CH0_ERR_REG
ERR_LOC_SAT_CH6_7	CH6_7_SAT_ERR
ERR_LOC_SAT_CH4_5	CH4_5_SAT_ERR
ERR_LOC_SAT_CH2_3	CH2_3_SAT_ERR
ERR_LOC_SAT_CH0_1	CH0_1_SAT_ERR

## メイン・シグナル・チェーン

AD7770 および AD7779 には、シグナル・チェーンに沿って、出力、フィルタ出力、変調器、そしてアナログ入力ピンをモニタするエラー・チェッカーが内蔵されています。PGA ゲインも診断できます。

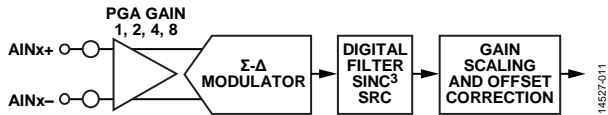


図 4. 各チャンネルのシグナル・チェーン

### 出力飽和

各チャンネルには、対応するオフセット調整レジスタおよびゲイン調整レジスタがメモリ・マップ内にあり（レジスタ 0x01C ~ レジスタ 0x04B）、AD7770 および AD7779 のデータシートで説明されているように、デバイスを校正します。ゲインとオフセットの設定を間違えると、出力が正または負のフルスケールでクリップしてしまうことがあります。例えば、チャンネル 6 のゲイン・レジスタおよびオフセット・レジスタが適切に設定されていない場合、これに対応する CH6\_7\_SAT\_ERR レジスタの CH6\_ERR\_OUTPUT\_SAT ビットがアサートされます（表 3 参照）。

エラーがトリガされた場合は、変換された最後のデータを読み出して、出力が実際に正または負のフルスケールでクリップ（+FS または -FS）されていたかどうかを検証することによって、ダブルチェックが可能です。検証された場合、特にフィルタまたは変調器の飽和チェッカーがその前にトリガされていない場合、オフセット・レジスタまたはゲイン・レジスタが適切に設定されていなかったことがクリッピングの原因として考えられます。しかし、これらの補正レジスタを上書きしていない場合には、フィルタが飽和に近づいているためにデフォルトのゲイン・スケールでも +FS または -FS を超える出力になっていることを、エラー・チェッカーが示している可能性もあります。

このエラー・チェッカーがトリガされるその他の原因として、アナログ入力が入力電圧が +FS または -FS を超えていることが考えられます。この場合は、SAR ADC を使用して、SAR ADC のセクションで説明する方法によって診断することができます。また、PGA がアナログ入力を適切なスケールで増幅していない可能性も考えられます。この場合は、PGA ゲイン・セクションで説明する方法によって診断できます。

### フィルタ飽和

フィルタ出力が範囲外にあって、出力コードが正または負のフルスケールよりも約 20% 高い場合は、フィルタ飽和がトリガされます。

8 個の内蔵デジタル・フィルタのいずれかで飽和エラーが発生すると、対応する CHx\_SAT\_ERR レジスタ（レジスタ 0x054 ~ レジスタ 0x057）の対応する CHx\_ERR\_FILTER\_SAT ビットがアサートされます。例えば、チャンネル 6 のフィルタが飽和すると、CH6\_7\_SAT\_ERR レジスタのビット 1 がアサートされます（表 3 参照）。

フィルタ飽和は、Σ-Δ 変換を読み出すことにより検証できます。検証された場合、ADC\_MUX\_CONFIG レジスタ（レジスタ 0x015）のビット [7:6] を使用して Σ-Δ リファレンスを AVDD ピンに変更することを推奨します。これにより、入力電圧が予想より高いかどうかをより広い入力レンジでチェックできるので、ADC のフロント・エンドのエラーであるかどうか分かります。

フィルタ出力が範囲外にあると、結果的に出力飽和がトリガされます。したがって、出力飽和がトリガされたかどうかをチェックすると、変調器の飽和チェッカーが正常に動作しているかどうか分かります。

### 変調器の飽和

8 個の Σ-Δ 変調器のいずれかが連続して 20 個の 1 または 0 を出力すると、飽和検出器は、対応する CHx\_SAT\_ERR レジスタの CHx\_ERR\_MOD\_SAT ビットをアサートします。例えば、チャンネル 6 が連続して 20 個の 1 または 0 を出力すると、CH6\_7\_SAT\_ERR レジスタのビット 2 がセットされます（表 3 参照）。このビットは、エラー自体が修正された場合、例えば変調器がすべて 0 またはすべて 1 ではない別の値を再び出力してから CHx\_ERR\_MOD\_SAT レジスタを読み出した場合にのみクリアされます。

変調器が飽和している場合は、変調器が範囲外になっていることを示しており、変調器をリセットするために RESET ピンにパルスを与える必要があります。

変調器が範囲外にあると、それによりフィルタ飽和がトリガされます。したがって、フィルタ飽和がトリガされたかどうかをチェックすると、変調器の飽和チェッカーが正常に動作しているかどうか分かります。

これら 3 つの飽和検出器、すなわち変調器、フィルタ、および出力の飽和検出器はデフォルトでイネーブルされており、CHX\_ERR\_REG\_EN レジスタ（レジスタ 0x058）の [7:5] を使用してディスエーブルすることができます（表 3 参照）。

### PGA ゲイン

PGA ゲインが正しいかどうかを診断することができます。Σ-Δ コンバータの入力に接続された内部診断用のマルチプレクサには、ADC\_MUX\_CONFIG（レジスタ 0x015 [5:2]）を使用して 280 mV の信号に接続するオプションがあります。これにより、チャンネル設定レジスタ（レジスタ 0x000 ~ レジスタ 0x007）のビット [7:6] により設定されたゲイン段によって増幅され、Σ-Δ で変換されたデータが 280 mV の信号に対応しているかどうかをチェックすることにより、各ゲイン段（1、2、4、8）を個別に検証できます。

### 過電圧／低電圧イベント

AD7770 および AD7779 には、すべてのアナログ入力にコンパレータ回路が内蔵されており、AINx+ または AINx- ピンの絶対入力電圧が AVDD1x の電圧レベルを超えた場合に、各チャンネルに対応する CHx\_ERR\_REG レジスタ（レジスタ 0x04C ~ レジスタ 0x053）の CHx\_ERR\_AINx\_OV ビットをトリガします。これにより、AINx+ または AINx- ピンを個別にチェックできます。入力電圧が AVDD1x を下回ってからレジスタを読み出すと、このビットはクリアされます。データシートの限界値を超えて ADC を動作させると、直線性が低下します。例えば、チャンネル 6 の正のアナログ入力（AIN6+）が AVDD1B の電圧レベルを超えると、CH6\_ERR\_AINP\_OV ビット（レジスタ 0x052、ビット 1）がアサートされます。

同様に、入力電圧が AVSSx を下回ると、もう 1 つのコンパレータによってそのチャンネルに対応する CHx\_ERR\_AINx\_UV ビットがアサートされ、電圧レベルが AVSSx より高くなってからレジスタを読み出されるまでクリアされません。

図5にすべてのアナログ入力（AINx+ と AINx- の両方）に実装され、過電圧／低電圧イベントのモニタリングおよびトリガを行う2つのコンパレータを示します。エラーが長時間にわたりそのままになっていると、デバイスを劣化させ信頼性に影響を与えることがあります。コンパレータの閾値に許容範囲があるため、トリガ・レベルは電源レールから  $\pm 30$  mV の範囲です。すなわち、過電圧イベントに対しては  $AVDDx \pm 30$  mV、低電圧イベントに対しては  $AVSSx \pm 30$  mV です。

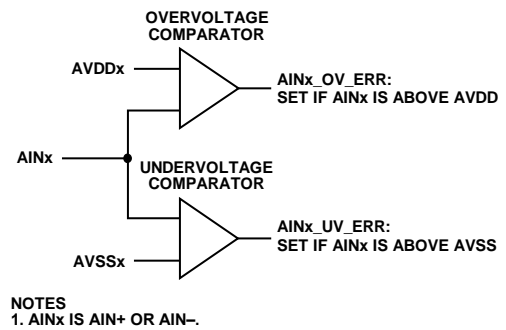


図5. すべてのアナログ入力の過電圧および低電圧コンパレータ

これらのエラーがトリガされた場合は、SAR コンバータを使用して、トリガされたアナログ入力を AUXAIN+ / AUXAIN- の入力ペアに接続することによって診断できます。詳細については、SAR ADC のセクションを参照してください。

表3. CH6\_7\_SAT\_ERR および CHx\_ERR\_REG\_EN

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x057	CH6_7_SAT_ERR	Reserved		CH7_ERR_MOD_SAT	CH7_ERR_FILTER_SAT	CH7_ERR_OUTPUT_SAT	CH6_ERR_MOD_SAT	CH6_ERR_FILTER_SAT	CH6_ERR_OUTPUT_SAT
0x058	CHX_ERR_REG_EN	OUTPUT_SAT_TEST_EN	FILTER_SAT_TEST_EN	MOD_SAT_TEST_EN	AINM_UV_TEST_EN	AINM_OV_TEST_EN	AINP_UV_TEST_EN	AINP_OV_TEST_EN	REF_DET_TEST_EN

## リファレンス・ブロック

### リファレンス検出

AD7770 および AD7779 の電圧リファレンス・レベルは、図 6 に示す内蔵コンパレータによってモニタされています。このコンパレータは、 $\Sigma$ - $\Delta$  チャンネルのいずれかの電圧リファレンスが 0.7 V を数マイクロ秒下回るとトリガし、チャンネルのエラー・レジスタ (CHx\_ERR\_REG、レジスタ 0x04C ~ レジスタ 0x053) のビット 0 のうち、発生したチャンネルに対応する CHx\_ERR\_REF\_DET ビットをセットします。このエラー・フラグは、印加されているリファレンス電圧が変換用のリファレンスとして有効ではないことを示しています。このエラーが発生する場合、内部リファレンス・バッファまたはリファレンス自体に問題が発生していることを示している可能性があります。

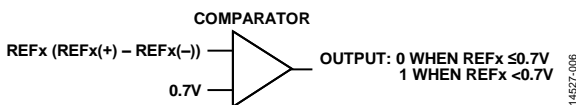


図 6. リファレンス検出回路

リファレンス検出がトリガされた場合には、SAR ADC のセクションで説明されているように、SAR ADC を使用して、SAR の入力マルチプレクサで REF+ または REF- 信号を選択することによりリファレンスを診断します。あるいは、リファレンスを ADC の入力マルチプレクサで選択し、 $\Sigma$ - $\Delta$  ADC のいずれかを使ってリファレンス電圧を測定することもできます (詳細はシグマ・デルタ ADC のマルチプレクサのセクションを参照)。

表 4. リファレンス・バッファの動作モード

Reference Buffer Operation Mode	REFx+	REFx-
Enabled	BUFFER_CONFIG_1, Bit 4 = 1; BUFFER_CONFIG_2, Bit 7 = 0	BUFFER_CONFIG_1, Bit 3 = 1; BUFFER_CONFIG_2, Bit 6 = 0
Precharged	BUFFER_CONFIG_1, Bit 4 = 1; BUFFER_CONFIG_2, Bit 7 = 1	BUFFER_CONFIG_1, Bit 3 = 1; BUFFER_CONFIG_2, Bit 6 = 1
Disabled	BUFFER_CONFIG_1, Bit 4 = 0	BUFFER_CONFIG_1, Bit 3 = 0

表 5.  $\Sigma$ - $\Delta$  リファレンス

ADC_MUX_CONFIG, Bits[7:6]	Channel 0 to Channel 3	Channel 4 to Channel 7
00	REF1+/REF1-	REF2+/REF2-
01	Internal reference	Internal reference
10	AVDD1A/AVSS1A	AVDD1B/AVSS1B
11	REF1-/REF1+	REF2-/REF2+

これを行うには、AVDD1A または AVSS1A をリファレンスに選択しなければなりません。そうすることで入力範囲が広がり、変調器を飽和させることなく 2.5 V のリファレンスに対応できます (表 5 参照)。

リファレンスを検証する場合、リファレンス・バッファの動作モード (BUFFER\_CONFIG\_1 および BUFFER\_CONFIG\_2 レジスタ) を、表 4 に記載された 3 つの動作モードのいずれかから選択し、リファレンス電圧 (ADC\_MUX\_CONFIG レジスタ (レジスタ 0x015) のビット [7:6]) を表 5 に記載された 3 つのソースのいずれかから選択します。

リファレンス検出エラー・チェッカーはデフォルトでディセーブルされていますが、CHX\_ERR\_REG\_EN レジスタ (レジスタ 0x058) のビット 0 の REF\_DET\_TEST\_EN ビットを使用してイネーブルすることができます。

### コモンモード

PGA のようなコモンモード出力 (代表値は (AVDD1+AVSSx) ÷ 2) にはモニタリング機能が内蔵されていないため、出力が適切に動作していない場合でもエラー・チェッカーはトリガしません。ただし、SAR の入力マルチプレクサを VCM ピン電圧に接続することにより、その動作を診断できます。詳細については、SAR ADC のセクションを参照してください。

## デジタル・コア

### ROM および MEMMAP の CRC

電源投入時に、ヒューズの検証が実行されます。ヒューズの再結合によるエラーを防ぐために、AD7770 および AD7779 には、エラー訂正コーディング (ECC) ブロックが内蔵されており、1 個のヒューズ・バンクあたり最大 2 個のヒューズを修正できます。合計 4 個のヒューズ・バンクが内蔵されています。

レジスタとヒューズには CRC ブロックが組み込まれており、書き込み/読み出しレジスタ、設定レジスタ、テスト・レジスタを含む内蔵レジスタで計算が行われ、結果が保存されます。数マイクロ秒ごとに CRC が再計算され、保存値と比較されます。CRC の保存値と計算値が一致しない場合は、メモリ・マップ (MEMMAP) が破損しています。メモリ・マップにアクセスするたびに、CRC が再計算され、保存されます。

CRC は次式を使用して計算され、ヒューズ・ブロック自体から読み出した値と比較されます。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x^1 + x^0$$

ROM の検証中にエラーが見つかった場合は ROM\_CRC\_ERR ビットが、MEMMAP が破損している場合は MEMMAP\_CRC\_ERR ビットがそれぞれアサートされます。これらのビットは、GEN\_ERR\_REG\_1 レジスタ (レジスタ 0x059) 内にあります。エラーが発生すると、デバイスはリセットされます。

これらのチェッカーはデフォルトでイネーブルされており、GEN\_ERR\_REG\_1\_EN レジスタ (レジスタ 0x05A) のビット [5:4] の MEMMAP\_CRC\_TEST\_EN ビットと ROM\_CRC\_TEST\_EN ビットをクリアすることによりディスエーブルされます。

### MCLK スイッチ・エラー

AD7770 および AD7779 は、電源投入時にデバイスを初期化するクロック発振器を内蔵しています。電源投入後、AD7770 および AD7779 はクロッキング制御を外部発振器に渡します。ハンドオーバーでエラーが発生した場合は、

EXT\_MCLK\_SWITCH\_ERR ビット (GEN\_ERR\_REG\_2 (レジスタ 0x05B) のビット 4) がアサートされます。これは、ハンドオーバーが正常に行われなかったためにデバイスが内部発振器を使用して動作していることを示しています。この場合、AD7770 および AD7779 へアクセスすることはでき、レジスタの読み出しや書き込みはできますが、 $\Sigma\Delta$  はいかなる変換結果も生成しません。変換結果をチェックすることにより、ハンドオーバーが正常に行われたかどうかを診断できます。

このエラーは、最小クロックが 265 kHz であることを想定しています。外部クロックが 132 kHz ~ 265 kHz の場合は、内部発振器と外部クロック間の内部同期によってはエラーがトリガされることがあります。そのため、外部クロックが 265 kHz より低い場合には、CLK\_QUAL\_DIS ビットをセットすることによりチェッカーをディスエーブルします。このビットをセットすると、エラーもクリアされます。外部クロックが 265 kHz より高くエラーがトリガされた場合は、デバイスをリセットします。

## インターフェースの完全性

ADC とシステム間のあらゆる誤通信を防ぐために、AD7770 および AD7779 のデジタル・データ転送の完全性が重要です。誤通信は、不正確な情報が転送され処理される原因となります。

### SPI 伝送エラー

AD7770 および AD7779 を SPI モードで使用する場合、SPI インターフェースは、ADC データの読出しに加えて、メモリ・マップ・レジスタの読出しとすべての設定レジスタへの書込みを行います。さまざまなエラー・チェッカーが実装されており、伝送されるデータのエラーを検出します。これらのエラーは自動的に修復されません。また、レジスタを読み出し、新しい SPI フレームが発行されるまで、エラー・フラグと ALERT ピンはセットされています。

### 無効な読出し／書込み

マスターが無効なレジスタ・アドレスを読み出そうとした場合や無効なレジスタ・アドレスや読出し専用レジスタに書込みをしようとした場合、SPI\_INVALID\_READ\_ERR ビットまたは SPI\_INVALID\_WRITE\_ERR ビットがアサートされます。これらは GEN\_ERR\_REG\_1 レジスタ（レジスタ 0x059）で確認でき、読出し／書込み動作は無視されます。

### SCLK カウンタ

すべての SPI トランザクションは、8 クロックの整数倍です。AD7770 および AD7779 にはカウンタが内蔵されており、CS ピンがローの間にカウントされたクロック数が 8 の整数倍でないと、GEN\_ERR\_REG\_1 レジスタ（レジスタ 0x059）内の SPI\_CLK\_COUNT\_ERR ビットのフラグをトリガします。CS ピンがハイに戻るとアサートされます。書込み動作中に、SCLK のクロック・ラインに含まれる SCLK パルスの数が正しくないと、この値はアドレス指定されたレジスタに書き込まれず、書込み動作はアボートします。

トランザクションが正常に実行されたかどうかを検証するために、エラーがトリガされた場合は、書込みをしようとしたレジスタを読み出すことを推奨します。

### CRC チェックサム・エラー

SPI CRC がイネーブルされていると（レジスタ 0x05A のビット 0）、図 7 に示すように 8 個の CRC ビットが SPI トランザクションに追加されます。

AD7770 および AD7779 で計算された CRC が、マスターによって送られてきた CRC と一致しない場合、CRC エラーがトリガされ、レジスタが読み出されるまで、SPI\_CRC\_ERR ビット（レジスタ 0x059 のビット 0）、ALERT ピン、Σ-Δ ヘッダーの ALERT ビットがセットされます。さらに、受信したメッセージは無視されます。

SPI CRC は、レジスタ・マップの書込み／読出しコマンドと SAR 出力変換にのみ影響を与えます。

書込み動作の CRC の計算には、R/W ビット、7 個のアドレス・ビット、およびデータ・ビットを使用します。

AD7770 および AD7779 は、伝送するすべてのデータに 8 個の CRC ビットを追加します。前のコマンドがライト・レジスタ・コマンドである場合、SDO ピンは前に受信したデータと同じデータをシフト・アウトします。

コマンドがリードバック・レジスタ・コマンドである場合 AD7770 および AD7779 は、7 ビットのアドレスを含む、受信したリードバック・コマンドの R/W ビットと、アドレス指定したレジスタからリードバックしたデータを使用して CRC を計算します。

SPI インターフェースが SAR の変換結果を読み出す場合は、b0000 ヘッダーと 12 ビットの SAR 変換データを使用して CRC を計算します。

SPI インターフェースから SAR の結果を読み出すには、GENERAL\_USER\_CONFIG レジスタ（レジスタ 0x012）内の SAR\_DIAG\_MODE\_EN ビットをセットします。

CRC チェックサムは次の多項式によって計算されます。

$$x^8 + x^2 + x + 1$$

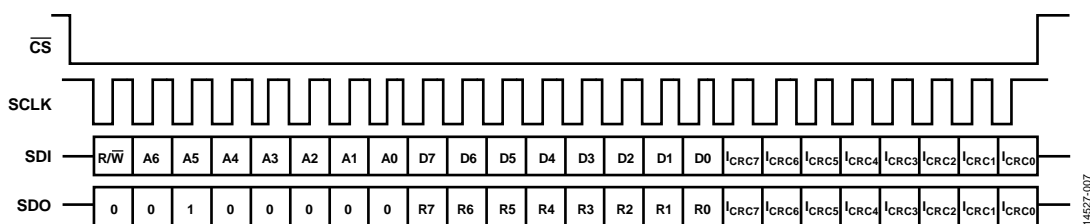


図 7. CRC が追加された SPI



## シグマ・デルタ変換

$\Sigma\Delta$  変換は、データ出力インターフェースまたは SPI インターフェースを通じて読み出すことができます。

ピン制御モードでは、FORMAT0 ピンと FORMAT1 ピンを使用してインターフェースを選択します。SPI 制御モードでは、デフォルトで選択されている DOUT インターフェースの代わりに SPI インターフェースを通じて ADC データをクロック・アウトするために、SPI\_SLAVE\_MODE\_EN ビットをセットする必要があります。

$\Sigma\Delta$  から読み出されるデータのフォーマットは、図 2 のように、チャンネルごとに 32 ビット (8 個のヘッダー・ビットと 24 個のデータ・ビット) で構成されています。デフォルトでは、 $\Sigma\Delta$  の 8 個のヘッダー・ビットは、図 3 に示すように、ALERT ピンと同じ情報を提供するアラート・ビット、データのチャンネル・ソース、そして 4 個の CRC ビットで構成されています。

CRC は 2 つのペアのデータ、例えばチャンネル 0 とチャンネル 1、チャンネル 2 とチャンネル 3、チャンネル 4 とチャンネル 5、またはチャンネル 6 とチャンネル 7 のデータを使用して計算されます。

合計で 56 ビットを使用します。例えば、2 番目のチャンネル・ペアであるチャンネル 2 とチャンネル 3 については、次のようになります。

56 ビット = アラート・ビット + ADC チャンネルの 3 ビット (010) +  
24 データ・ビット (チャンネル 2) + アラート・ビット +  
ADC チャンネルの 3 ビット (011) + 24 データ・ビット  
(チャンネル 3)

組み合わせたチャンネルの 1 番目には、CRC の MSB が含まれ、2 番目には CRC の LSB が含まれます。

受信したデータが、追加されている CRC と一致しない場合、ADC データは無視されます。

インターフェース・エラーのいずれかがトリガされると、ALERT ピンがアサートされ、エラー・レジスタが読み出されるまで、すなわち新しい SPI トランザクションが正常に実行されるまでアサートされた状態に保たれます。SPI エラー・チェッカーはデフォルトでディセーブルされていますが、GEN\_ERR\_REG\_1\_EN レジスタ (レジスタ 0x05A) を使用してイネーブルすることができます。

## 電源

AD7770 および AD7779 を、デバイスの動作中に初期化すると、電圧レベルをチェックしてリセットが発生していないかどうかを調べるために、追加でモニタリングが実行されます。

### 内部低ドロップアウト・レギュレータ (LDO) のステータス

AD7770 および AD7779 には、アナログ・ブロック用の LDO が 2 個 (ALDO1 および ALDO2) とデジタル・コア用の LDO が 1 個 (DLDO) 内蔵されています。内部コンパレータが各 LDO の出力電圧レベルをモニタし、電圧があらかじめ決められた閾値レベルを超えるとエラー・フラグを生成します。

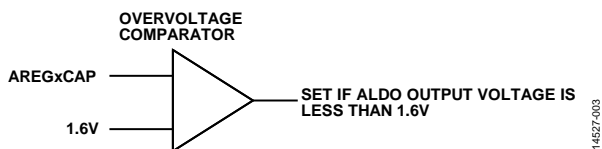


図 8. アナログ LDO モニタ

3 つの LDO のいずれかの電圧が数マイクロ秒でも閾値を下回った場合、対応するビット、すなわち、GEN\_ERR\_REG\_2 レジスタ (レジスタ 0x5B) 内のビット [2:1] の ALDO1\_PSM\_ERR、ALDO2\_PSM\_ERR、または DLDO\_PSM\_ERR ビットがアサートされます。

これらの内部 LDO は、必要であれば BUFFER\_CONFIG\_2 レジスタ (レジスタ 0x01A) のビット [2:0] をセットすることにより個別にオーバードライブ可能で、外部電源を AREG1CAP ピン、AREG2CAP ピン、DREGCAP ピンのいずれかに直接接続することができます。この場合は、外部出力電圧が検出されま

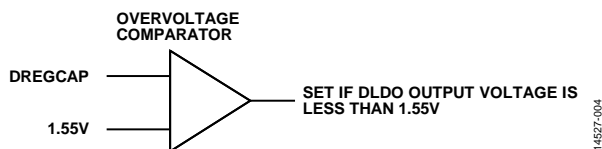


図 9. デジタル LDO モニタ

3 つのチェッカーはすべて、GEN\_ERR\_REG\_2\_EN レジスタ (レジスタ 0x05C) のビット [3:2] を使用して、個別にイネーブル/ディスエーブルすることができます。

3 つのチェッカーのいずれかがトリガされると、SAR ADC のセクションで説明したように、内蔵 SAR ADC を使用し、SAR 入

力のマルチプレクサを対応する LDO に接続することによって検証できます。

検出器が正しく動作しているかどうかを確認するには、レジスタ 0x05C、ビット [1:0] の LDO\_PSM\_TRIP\_TEST\_EN ビットをセットして、内部モニタのレベルをマニュアルでトリガすることができます。これらのビットはコンパレータ・ウィンドウの閾値を LDO 出力よりも増加させ、コンパレータを強制的にトリガします。

### リセットおよび電源投入

AD7770 および AD7779 のレジスタは、次のいずれかの場合に、それらのデフォルト値にリセットすることができます。

- 電源投入時に LDO が最小レベルに達し、パワーオン・リセット (POR) 回路がトリガされる場合。
- **RESET** 入力ピンにパルスを与える場合。この方法は、正常に初期化されるように、デバイスの電源投入直後に行うことを推奨します。
- **GENERAL\_USER\_CONFIG\_1** レジスタ (レジスタ 0x011、ビット [1:0]) の **SOFT\_RESET** ビットに、対応するシーケンスで書き込む場合。例えば、最初に **SOFT\_RESET** = 11 を書き込み、続いて **SOFT\_RESET** = 10 (以下続く) を書き込む。
- **SDI** ピンを介して 64 個の連続する 1 がクロック・インされる場合。

これらのいずれの場合も AD7770 および AD7779 はリセットされ、したがって、**RESET\_DETECT** ビット (GEN\_ERR\_REG\_2 (レジスタ 0x05B) のビット 5) がアクティブになります。

AD7770 および AD7779 は、LDO 出力が正常なレベルになるまでリセットされたままです。**RESET\_DETECT** ビットがアサートされている場合は、ソフトウェアまたはハードウェアによってリセットされたことを示しています。例えば、**RESET\_DETECT** ビットは **RESET** ピンのグリッチを検出します。

**RESET\_DETECT** ビットがアサートされた場合は、SPI 制御モードで GEN\_ERR\_REG\_2 レジスタ (レジスタ 0x05B) を読み出すか、SPI 制御モードおよびピン制御モードの両方で **SYNC\_IN** ピンをトグルすることによりクリアします。

## SAR ADC

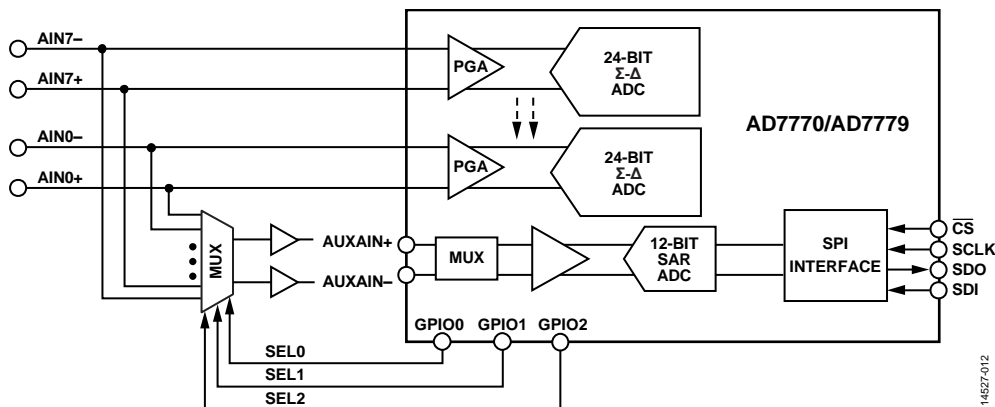


図 10. 診断用の SAR ADC

AD7770 および AD7779 の SAR ADC は、これまで説明したように、オンチップおよびシステム・レベルで多くの診断用途に使用されます。メインの ADC チャンネルとは独立して制御され、(すなわち AVDD4 および AVSS4 ピンから) 独立して給電されており、メインの ADC 変換を中断することがないため、診断用には SAR を使用するほうが望ましい場合があります。

SAR はデータ出力インターフェースではなく SPI ピンを使用して ADC データをクロック・アウトするため、診断のためには SAR を使用するほうが、他の  $\Sigma$ - $\Delta$  ADC チャンネルを使用して診断する場合に共通の原因で発生する故障のリスクを減らすことができます。図 10 に示すように、AD7770 および AD7779 の汎用入出力 (GPIO) ピンによって、選択するラインを制御できる外部マルチプレクサと、シグナル・コンディショニングを使用することにより、システム測定機能専用のどの  $\Sigma$ - $\Delta$  ADC も停止することなく SAR ADC で信号チャンネルを診断することができます。

SAR\_DIAG\_MODE\_EN ビット (レジスタ 0x012、ビット 5) を使用して SAR ADC をイネーブルすると、SDO ピンのラインからシフト・アウトされるデータはすべて SAR ADC から来るので、 $\Sigma$ - $\Delta$  ADC は中断されることなく DOUT インターフェースを同時に使用することができます。

### 診断用マルチプレクサ

図 11 に示すように、SAR ADC の前にマルチプレクサが置かれているので、外部ピンのペア (AUXAIN+/AUXAIN-)、内部電源、信号、LDO 出力電圧、リファレンス、チップ温度の中から選択が可能です。

診断用にマルチプレクサを介して SAR ADC に接続可能なノードの一覧を表 6 に示します。この中のいくつかは既にこのアプリケーション・ノートで取り上げています。このマルチプレクサは、GLOBAL\_MUX\_CONFIG レジスタ (レジスタ 0x016) のビット [7:3] で制御します。表 6 に記載されているように、ビットの設定に従って、SAR ADC の入力はさまざまな信号に接続されます。これまでに説明したエラーの 1 つがトリガされた場合、対応する信号を SAR 入力に接続することができれば、SAR ADC で電圧レベルをモニタできるので、診断に利用することができます。

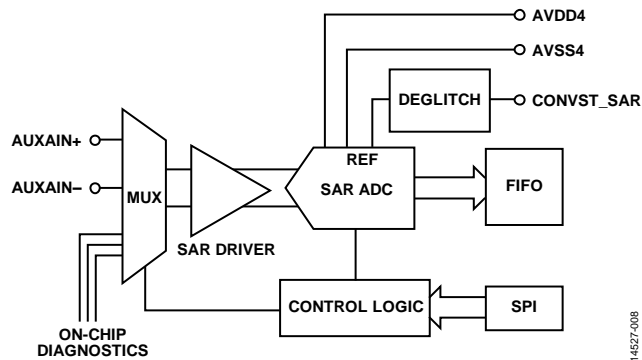


図 11. マルチプレクサ、ドライバ・アンプ、ADC、ロジック回路を備えた SAR ADC シグナル・チェーン

表 6. SAR マルチプレクサ入力

GLOBAL_MUX_CTRL	SAR AIN+ <sup>1</sup>	SAR AIN- <sup>1</sup>	Attenuation ÷ 6
0000	AUXAIN+	AUXAIN-	No
0001	DV <sub>BE</sub>	AVSSx	No
0010	REF1+	REF1-	No
1001	REF2+	REF2-	No
1010	REF_OUT	AVSSx	No
1011	VCM	AVSSx	No
10110	AREG1CAP	AVSSx	Yes
10111	AREG2CAP	AVSSx	Yes
11000	DREGCAP	DGND	Yes
11001	AVDD1A	AVSSx	Yes
11010	AVDD1B	AVSSx	Yes
11011	AVDD2A	AVSSx	Yes
11100	AVDD2B	AVSSx	Yes
11101	IOVDD	DGND	Yes
11110	AVDD4	AVSSx	No
11111	DGND	AVSSx	Yes
10000	DGND	AVSSx	Yes
10001	DGND	AVSSx	Yes
10010	AVDD4	AVSSx	Yes
10011	REF1+	AVSSx	No
10100	REF2+	AVSSx	No
10101	AVSSx	AVDD4	Yes

<sup>1</sup> AVSSx は、AVSS1 ピン～ AVSS4 ピンを表しています

## シグマ・デルタ ADC マルチプレクサ

$\Sigma$ - $\Delta$  ADC もすべて診断のために使用することができます。信号経路の PGA の前のマルチプレクサを介して (図 1 参照)、図 12 に従ってコンバータの入力をゼロ・スケール、正のフルスケール、負のフルスケール、または固定 280 mV 差動信号に接続して、チャンネルが正常に動作していることを検証できます。

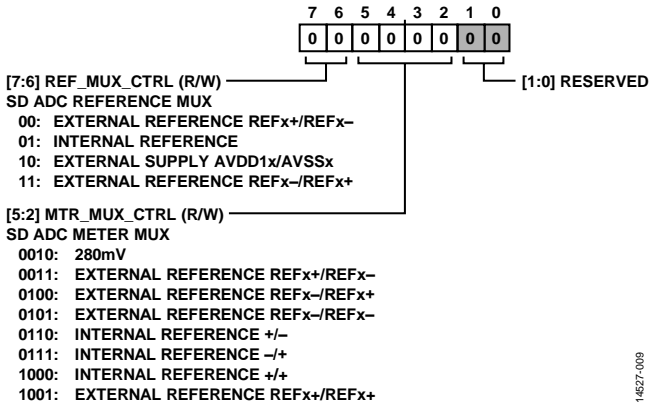


図 12. ADC と接続するリファレンスおよび入力を選択できるようにする ADC\_MUX\_CONFIG レジスタ

診断用マルチプレクサは、診断したいチャンネルの CHx\_CONFIG レジスタの CHx\_RX ビットを使用してイネーブルします。その後、ADC\_MUX\_CONFIG レジスタ (レジスタ 0x015) のビット [5:2] の MTR\_MUX\_CTRL ビットを使用してマルチプレクサを制御することができます。これにより、この内部マルチプレクサも診断用に使用することができます (PGA ゲインのセクションおよびリファレンス検出のセクションを参照)。

AD7770 および AD7779 には、内部ブロックのモニタ、アラートが発行された場合の診断およびエラーの検証をユーザーが行えるようにする機能が装備されています。また、エラーを修復するさまざまな方法も提供します。これらの機能を備えているので、AD7770 および AD7779 は機能の安全性を診断する必要があるアプリケーション向けに最適なソリューションです。