



AN-1320 アプリケーション・ノート

ADuCM360/ADuCM361 の自己診断機能

著者 : Michael Looney

はじめに

ADuCM360/ADuCM361 は Cortex™-M3 をベースとした 32 ビットのマイクロコントローラで、24 ビットの Σ - Δ 型 A/D コンバータ (ADC) を内蔵し、どちらもフル・プログラマブル計装アンプをフロントエンドに内蔵しています。これらのマイクロコントローラは、工業用制御装置や計測器を含む幅広いアプリケーションをターゲットとしています。このようなターゲット・アプリケーション多くは、安全が重視される環境下や故障モードから速やかに復帰するための自己診断機能が重視されます。

このアプリケーション・ノートでは、ADuCM360/ADuCM361 とその周辺回路に関する問題を診断するための ADuCM360/ADuCM361 のいくつかの機能について述べます。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

はじめに.....	1	すべての外部ピンの ESD 保護.....	5
改訂履歴.....	2	Cortex-M3 の障害管理機能.....	5
診断用電流源.....	3	クロックとタイマー.....	6
極めて柔軟なアナログ入力マルチプレクサ.....	4	クロッキング・アーキテクチャのブロック図.....	6
複数の ADC リファレンス・ソース.....	4		
フラッシュの内容確認.....	4		

改訂履歴

10/14—Revision 0: 初版

診断用電流源

ADuCM360/ADuCM361 には 50 μ A の診断用電流源が組み込まれています。これらの電流源はプログラム可能な励起用電流源とは別のものです。ADC0 と ADC1 は別々の独立した診断用電流源を備えています。

診断用電流源は、正入力チャンネル選択 (ADCxCON レジスタのビット[9:5]) と負入力チャンネル選択 (ADCxCON レジスタのビット[4:0]) を介して ADC 変換用に選択されているアナログ入力チャンネルへ、内部的に接続されます。表 1 に示すように、ADCxCON レジスタのビット[11:10]は、正および負の ADC 入力への電流源をイネーブルまたはディスエーブルします。

表 1. レジスタ ADCxCON のビット[11:10]

Bits	Bit Name	Description
[11:10]	ADCDIAG	診断用電流の制御ビット。 00 : 電流源オフ。 01 : 選択された正入力で 50 μ A の電流をイネーブル。たとえば AIN0。 10 : 選択された負入力で 50 μ A の電流をイネーブル。たとえば AIN1。 11 : 選択された入力で 50 μ A の電流をイネーブル。たとえば AIN0 と AIN1。

たとえば、ADCxCON レジスタのビット 11 が 0x1、ADCxCON レジスタのビット[4:0]が 0x1 の場合は、AIN1 から 50 μ A の電流が流れます。

同様に、ADCxCON レジスタのビット 10 が 0x1、ADCxCON レジスタのビット[9:5]が 0x0 の場合は、AIN0 から 50 μ A の電流が流れます。

図 1 に回路例を示します。

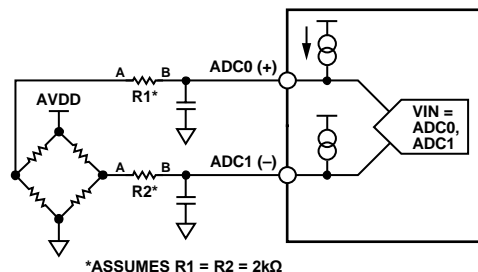


図 1. 診断用電流源を使用した回路例

表 2. 診断用電流源使用のシナリオ例¹

診断テスト					
Register ADCxCON, Bits[11:10], Setting	電流源の状態	内容	正常な結果	異常な結果	異常に関する検出値
00	電流源オフ	診断用電流をディスエーブルし、AINx と AINy を正常として変換	正常な結果	該当せず	該当せず
01	AINx の 50 μ A 診断用電流源をイネーブル	AINx と AINy を変換	ADC の電圧が $\Delta V = 50\mu A \times R1$ だけ変化 (たとえば R1 = 2k Ω の場合は ~100mV)	AINx と AINy 間の短絡 (R1_A と R1_B 間の短絡)	プログラマブル・ゲイン・アンプ (PGA) の設定に関わらず ADC 指示値 ≈ 0 V
01	AINx の 50 μ A 診断用電流源をイネーブル	シングルエンドモードで AINx を変換	AINx の期待される電圧	AINx の断線 または R1 の断線	PGA が最小設定の場合でも、ADC の指示値は正のフルスケール
11	AINx と AINy の両方で 50 μ A の診断用電流源をイネーブル	AINx と AINy を変換	ADC 指示値が $\Delta V = 50\mu A \times (R1 - R2)$ だけ変化、つまり許容差 10% で ~10 mV	R1 と R2 の不整合	ADC 指示値 > 予想値の 10mV

¹. AINx は正入力チャンネル、AINy は負入力チャンネルです。

極めて柔軟なアナログ入力マルチプレクサ

ADuCM360/ADuCM361 に内蔵されている ADC は、極めて柔軟なアナログ入力マルチプレクサを備えています。この柔軟なアナログ入力マルチプレクサが、ADC 測定において固定された差動入力ペアによる制約を解消します。任意の外部アナログ入力ピンを差動ペアとして設定することができます。さらに、ADC1 を使用して、差動 ADC1 測定用に内部 ADC チャンネルの 1 つと外部アナログ入力ピンを組み合わせることができます。ADC0 と ADC1 は、ともに任意の外部アナログ入力ピンに接続可能です。

極めて柔軟なこのアナログ入力マルチプレクサは、以下のシステム異常のチェックに使用できます。

- アナログ入力ピンの電圧チェック。既知の電源電圧、VDAC 電圧に対するクロスチェック、またはいずれかの AINx ピンに接続した固定外部電圧を基準としたクロスチェック。
- どちらかの ADC の機能チェック (ADuCM360 のみ)。ADC0 で行った測定と同じ入力チャンネルを選択して、ADC1 上で同じ測定を繰り返します。ADC0 経由で ADC1 の指示値をチェックすることもできます。
- ADC1 経由でデジタルまたはアナログ電源電圧をモニタします。これはバッテリー電源アプリケーションの場合や、電源電圧の低下を検出するのに有効です。

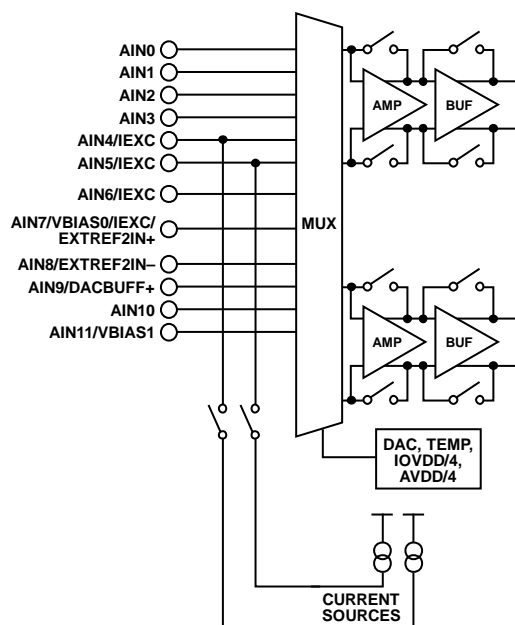


図 2. ADC 入力マルチプレクサ

複数の ADC リファレンス・ソース

ADC0 と ADC1 に使用できるリファレンス・オプションを表 3 に示します。これらのリファレンス・オプションは ADCxCON レジスタのビット [13:12] で選択します。

表 3. ADCxCON レジスタのビット [13:12]

Bits	Bit Name	Description
[13:12]	ADCREF	リファレンス選択 00 : INTREF-AGND. 01 : EXTREF. 外部バッファ・モードは ADCxCFG レジスタで設定 10 : EXTREF2IN (ADC1 でのみ有効)。ADCxCFG レジスタ経由で制御される EXTREF2IN+バッファ 11 : AVDD-AGND

これらのリファレンス・ソースを使用して、例えば内部リファレンスを使用して測定を繰り返したり、アナログ電源電圧を ADC リファレンス・ソースとして使うことにより、外部リファレンス・ソースの安全性をチェックすることができます。

こうした安全性チェックは、いずれかの ADC 電圧リファレンス・ソースを使用した ADuCM360/ADuCM361 システムの不具合検出を可能にします。

外部リファレンス EXTREF のもう 1 つの機能は、レジスタのステータス・ビットによってリファレンス電圧の低下を検出することです。EXTREF に関しては、VREF+ および VREF- 間における EXTREF のソース電圧が 0.4V (代表値) 未満になるか 0.8V (最大値) 未満になると、DETSTA レジスタのステータス・ビット (ビット 4) が 1 にセットされます。この機能を使用するには、DETCN レジスタのビット 8 を 1 にセットします。

EXTREF2IN±リファレンス・ソースでは、この機能は使用できません。

フラッシュの内容確認

ADuCM360/ADuCM361 は、フラッシュの読取り/書込み保護機能とともに、シグネチャ生成機能として、最後にプログラムされてから変更されていないフラッシュの内容を確認する機能も備えています。この機能の詳細については [UG-367 ユーザ・ガイド](#) に記載されています。

フラッシュ完全性シグネチャ機能

このシグネチャはフラッシュ・デバイスの完全性をチェックします。ソフトウェアは、必要に応じて、あるいは新しいコード・ブロックを実行しようとする度にシグネチャ確認コマンドを実行することができます。シグネチャは、多項式 $x^{24} + x^{23} + x^6 + x^5 + x + 1$ を使用する 24 ビットの巡回冗長検査 (CRC) です。

シグネチャ生成コマンドはシグネチャを生成し、コード・ブロックのシグネチャをチェックします。ブロックは 1 ページまたは複数ページとすることができ、シグネチャは 24 ビット線形帰還シフト・レジスタ (LFSR) が生成します。ハードウェアは、あるブロックのシグネチャがブロックの最上位ページの上位 4 バイトに保存されることを前提としています。これらの 4 つのバイトは、シグネチャ生成時には含まれていません。

シグネチャを生成するには以下の手順に従ってください。

1. FEEADR0L レジスタと FEEADR0H レジスタにブロックの開始アドレスを書き込みます。
2. FEEADR1L レジスタと FEEADR1H レジスタにブロックの終了アドレスを書き込みます。
3. シグネチャ生成コマンドをコマンド・レジスタに書き込みます (FEECMD レジスタ = 10)。

このコマンドを実行するとシグネチャ生成レジスタにシグネチャが書き込まれ、このシグネチャが、ブロックの最上位ページの上位4バイトに保存されたデータと比較されます。このデータとシグネチャが一致しない場合は、ステータス・レジスタにフェイル・ステータスが返されます (FEESTA レジスタ、ビット[5:4]=10)。

シグネチャの計算中は、フラッシュへの他のアクセスはストールします。128kB ブロックだと 32,000 サイクルがストールします。

FEEADR0L レジスタ、FEEADR0H レジスタ、FEEADR1L レジスタ、および FEEADR1H レジスタはバイト・アドレスですが、識別する必要があるのはページだけです。このハードウェアは下位9ビットを無視します。

ユーザはユーザ・コードの CRC 多項式を最初に実行して CRC 値を生成し、それからブロックの最上位ページの上位4バイトにその値を書き込む必要があります。この操作の完了後にシグネチャ機能呼び出すと、常にこの4バイト値と比較し、シグネチャ・チェック機能の結果として示します。

カーネルの完全性

ハードウェアは、リセット後にカーネルの完全性を自動的にチェックします。不具合がある時は、FEESTA レジスタのビット6がセットされて、ユーザ・コードを実行できなくなります。このビットは、シリアル・ワイヤ・インターフェース

がイネーブルされている場合のみ、シリアル・ワイヤ・リードから読み取り可能です。

すべての外部ピンの ESD 保護

ADuCM360/ADuCM361 の各外部ピンは、オペレータや装置取り扱いによる静電放電からデバイスを保護するために、グラウンドまたは電源ラインに対し保護回路を備えています。

このデバイスの過渡電圧に対する耐性の詳細を表4に示します。これらは ADuCM360/ADuCM361 の信頼性レポートに基づいています。

CORTEX-M3 の障害管理機能

Cortex-M3 プロセッサの障害管理システムは、バスやメモリの障害、および未知のインストラクションによる障害を検出します。

これらの障害が発生すると Cortex-M3 プロセッサは現在実行中のインストラクションの実行を停止し、所定のメモリ・アドレスへ移動して、対応するユーザ定義の例外ハンドラを実行します。

この例外ハンドラ機能では、ユーザ・コードは障害が発生したシステムにアラートを発し、障害回復のために次のステップへ進むか、ADuCM360/ADuCM361 をシャットダウンすることができます。

主な例外の概要を表5に示します。

表 4. 過渡電圧に対する耐性

ESD Model	Package	ESD Test Specification	RC Network	Highest Pass Level	First Fail Level	Class
FICDM	48-lead LFCSP	JESD22-C101	R = 1 Ω, C = capacitance of the package	±1500 V	Not applicable	C6
HBM	48-lead LFCSP	ESDA/JEDEC JS-001-2011	R = 1.5 kΩ, C = 100 pF	±2500 V	±3000 V	2

表 5. システムの例外

Number	Type	Priority	Description
1	Reset	-3 (highest)	あらゆるリセット
2	NMI	-2	ADuCM360/ADuCM361 の電源モニタに接続されたマスク不能割込み
3	Hard fault	-1	対応する障害ハンドラがイネーブルされていない場合はすべての障害状態
4	Memory management fault	Programmable	メモリ管理障害、不正領域へのアクセス
5	Bus fault	Programmable	プリフェッチ障害、メモリ・アクセス障害、データ・アボート、その他のアドレス/メモリ関連障害
6	Usage fault	Programmable	未定義のインストラクションを実行した場合、あるいは不適切な状態遷移を試みた場合と同じ

クロックとタイマー

ADuCM360/ADuCM361 には 2 つの内蔵発振器と外付けの水晶発振器用の回路が組み込まれています。

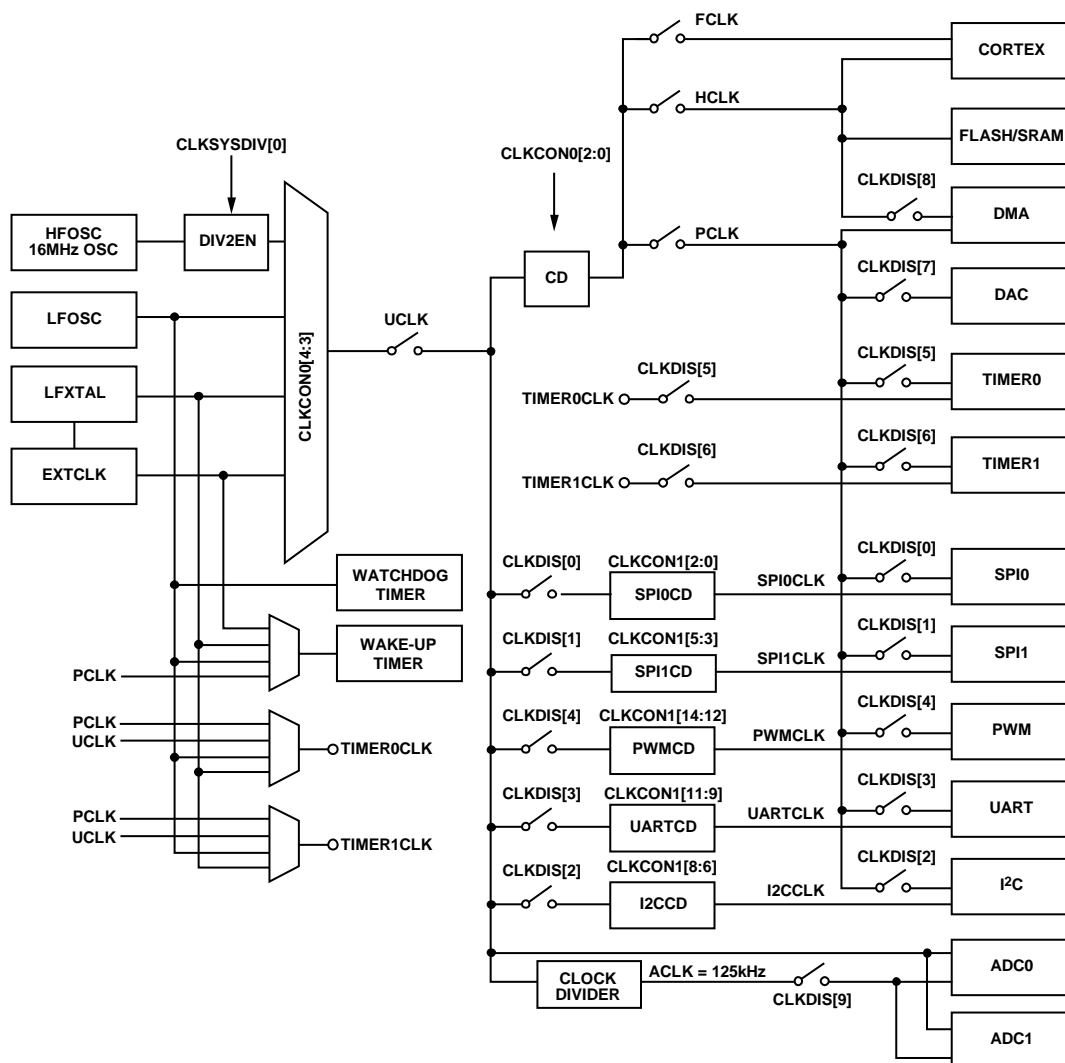
- LFOSC は 32kHz の低消費電力内蔵発振器で、低消費電力モードで使われます。
- HFOSC は 16MHz の内蔵発振器で、アクティブ・モードで使われます。
- LFXTAL は 32kHz の外付け水晶発振器です。
- 周辺機能用にイネーブル/ディスエーブルできる省電力クロック・メカニズムです。

ユーザは、ソフトウェア制御を使用して 4 種類の異なるシステム・クロック・ソースを選択し、他のクロック・ソースや内部クロック回路のクロスチェックを行うことができます。

デフォルトでは、内部 16MHz 発振器がシステム・クロック (UCLK) ソースです。

ADuCM360/ADuCM361 にはウォッチドッグ・タイマーも組み込まれています。通常、ウォッチドッグ・タイマーはユーザ・コードでイネーブルされ、定期的にリフレッシュします。ユーザ・ファームウェアが期待通りに実行されず、定められた時間内にウォッチドッグ・タイマーをリフレッシュできなかった場合は、ウォッチドッグ・ハードウェアがフル・システム・リセットを実行します。

クロッキング・アーキテクチャのブロック図



NOTES

1. ADuCM361 CLOCKING ARCHITECTURE BLOCK DIAGRAM IS IDENTICAL EXCEPT ADC0 IS REMOVED.

図 3. ADuCM360 のクロッキング・アーキテクチャ・ブロック図

12597-003