



# AN-1254

## APPLICATION NOTE

### 複数の DDS ベース・シンセサイザ AD9915 を同期する

by David Brandon and Scott Shoaf

#### はじめに

様々なアプリケーションで、2つもしくはそれ以上の正弦波または方形波を発生できる回路の要求が高まっています。しかもそれら複数の信号は、期待される位相値で同期関係にあることが必要です。アナログ・デバイセズが提供する AD9915 DDS IC は、上記で説明した信号を発生させる能力を有します。このアプリケーション・ノートでは、2つもしくはそれ以上のデバイスを、どのようにすれば同期できるかを解説し、位相誤差を生じさせる可能性のある原因についても考察したいと思います。

同期を成功させるには、各デバイスの REF CLK、SYNC\_CLK、そして IO\_UPDATE のタイミング全てを制御しなければなりません。そして全ての DDS デバイスが同じ内部システム・クロックで動作し、±1 クロック・カウントまたはそれ以上の誤差を生じないようにすることが重要です。それゆえ、各デバイスの

SYNC\_CLK 相互の位相補正を必ず行わなければなりません。また、各デバイスの IO\_UPDATE 信号は、SYNC\_CLK と同期して発生させる必要があります。これらを行うことで、DDS 出力信号間の位相誤差不確定性が、±1 もしくはそれ以上のシステム・クロック周期を超えることはありません。

出力フィルターの mismatch、REF CLK のスキュー、もしくはその他の事柄に起因する位相誤差は、ある一定値の誤差として（出力信号に）現れます。しかしながら、DDS はプログラマブルな位相調整機能を持っているので、この一定値の誤差をキャンセルすることができます。このアプリケーション・ノートでは、複数の DDS 部品を同期させる為に求められる基本を解説します。各部品の位相同期を成功させる為の第一歩は、REF CLK の分配方法からスタートします。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に  
関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、  
アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様  
は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
© Analog Devices, Inc. All rights reserved.

## 目次

はじめに .....	1	全ての DDS デバイスに対する SYNC_CLK の位相を合わせる .....	3
改訂履歴 .....	2	全ての DDS デバイスに位相が一致した IO_UPDATE を入力する .....	4
複数の部品を同期するには .....	3	複数の部品に対して SYNC_CLK の位相を合わせる .....	5
同期すべき全ての部品に位相の一致した REF CLK を入力する .....	3	まとめ .....	6

## 改訂履歴

12/13—Revision 0: Initial Version

## 複数の部品を同期するには 同期すべき全ての部品に位相の一致した REF CLK を入力する

複数の AD9915 を使った同期動作を成功に導くため最初にやらなければならないことは、各部品の REF CLK 端子に入力される信号間の位相誤差を最小にすることです。もし REF CLK への入力信号が複数の DDS 部品に入力される時、その信号の位相が合っていないと、出力信号の位相誤差は、他の誤差要因を除いたとしても、少なくとも REF CLK へ入力された信号の位相誤差と同じ値を持ちます。

したがって、標準的なクロック分配回路における慣行を忠実に守って、PCB 上の配線レイアウトを行って下さい(図 1)。

現実には、REF CLK の位相誤差、もしくは入力信号のクロック・スキューが非常に大きいと、複数の DDS 部品間において、SYNC\_CLK を同じ REF CLK のエッジに合わせる事が出来なくなります。SYNC\_CLK の位相補正を行わないと、複数の DDS 部品間における同期は不可能です。DDS 内部のシステム・クロックは、REF CLK から位相の遅れた同一信号であり、それぞれのデバイスは同じ内部クロック・レートになることに注意して下さい。但しこれは内部の PLL が無効になっている場合です。

PLL が有効になっている場合は、(DDS 内部の)システム・クロック・レートは、設定された PLL の乗算係数倍になります。

複数の DDS 部品を同期させることが可能な、最高システム・クロック・レートは 2.5GSPS です。このレートを超えて動作させた場合、信頼性の高いタイミング・ソリューションを構成することは、より困難になります。

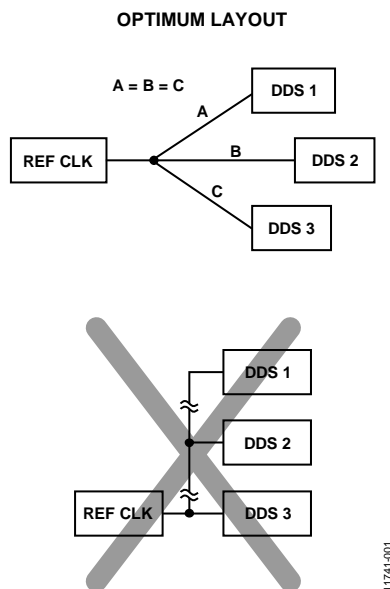


図 1. 推奨レイアウト (上図) と避けるべきレイアウト (下図)

## 全ての DDS 部品に対する SYNC\_CLK の位相を 合わせる

SYNC\_CLK は CMOS レベルの信号出力で、その周波数はシステム・クロックの 1/16 です。同期動作の最終段階で、SYNC\_CLK 信号は DDS デバイス内部にて IO\_UPDATE 信号をサンプリングしています。従って、SYNC\_CLK 信号は外部で UPDATE と同期をとるため、外部に出力されます。電源投入時、各部品が出力する SYNC\_CLK 信号のエッジ位置は、たとえそれぞれの部品に対する REF CLK 信号の位相を完全に一致する形で入力していたとしても、1つの信号の位相を基準として 16 段階ある位相のうち、どれか 1つになります。

上記の理由から、複数の部品を適切に同期させるには、最初にそれぞれの SYNC\_CLK エッジの位相を合わせこむ必要があります。そうでないと複数のデバイスを持つフェーズ・アキュムレータが、位相の差分値を同じシステム・クロック・カウンタ内に積算することが出来ないからです。

複数のデバイスから出力される SYNC\_CLK を同期させるには、各々のパーツに於いて、幾つかのレジスター・ビットの設定、位相の一致している SYNC\_IN 信号の入力、そして自動 DAC キャリブレーションの実行が必要です。要約すると、SYNC\_CLK を発生させている内部分周回路を SYNC\_IN 信号経路でリセットすることになります。これは各 DDS 部品に対して、位相の合った SYNC\_IN 信号を送ることで達成されます。さらに SYNC\_IN のエッジ位置は、DDS 部品内部において、内部のシステム・クロックに対しそのセットアップ・タイムの規格値を満たさなければなりません。

多くの場合、SYNC\_IN 信号は、マスター DDS 部品が出力している SYNC\_OUT 信号が元になります。SYNC\_OUT のクロック・レートは、システム・クロックの 1/384 になります。各 DDS 部品の SYNC\_IN は、マスター DDS デバイスから出力されている SYNC\_OUT で直接駆動しない場合があることにも注意して下さい。これは、SYNC\_IN と SYNC\_OUT は両方とも 3.3V の CMOS ロジックであるため、ファン・アウトが取れない場合があるからです。なお、複数の DDS 部品の同期を行う為には、SYNC\_IN への信号クロック・レートは、システム・クロックの整数分の 1 とし、かつ 50MHz 以下になるように設定して下さい。

2.5GSPS の最高クロック・レートで動作させる時、内部のシステム・クロックの周期は 400ps です。複数のデバイスの同期動作を行い、且つデバイス内部におけるタイミング・マージンを最大化させる為には、図 2 に示すように、SYNC\_IN のエッジを、システム・クロック周期の中央に持ってくる必要があります。

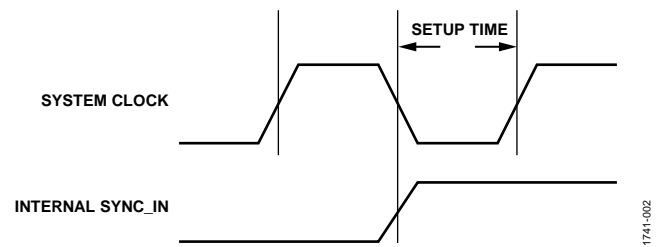


図 2. 必要とされる内部信号のタイミング

しかしながら、図2に示された SYNC\_IN と REF CLK 信号は、デバイス内部で伝搬している為、それらの信号の時間関係に直接アクセス出来ません。一方で AD9915 は外部にある SYNC\_IN ピンと、同じく外部にある REF CLK ピンにおいて、SYNC\_IN 信号の立ち上がり部のエッジが、REF CLK 信号の立ち上がり部のエッジと同時に入力されていれば、2.5GSPS 以下で動作している限り、内部信号のセットアップ・タイムが最小になるよう設計されています。SYNC\_IN と REF CLK との時間関係は図3を参照ください。

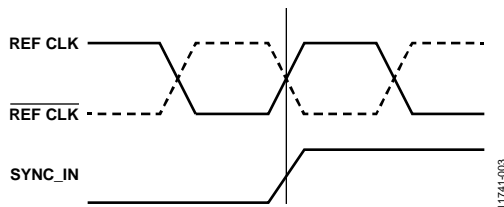


図3. 必要とされる外部信号のタイミング

もしこの時間関係が全てのデバイスの該当ピンで満足しなかったとしても、REF CLK のエッジに対する SYNC\_IN 信号の時間関係は、デバイス内部の SYNC\_OUT 信号の時間位置を調整できるレジスタ 0x1B 内のプログラマブル・ディレイ・ビットを設定することで調整することができます。これにより SYNC\_OUT の時間位置が調整され、DDS デバイスに供給されている SYNC\_OUT 由来である全ての SYNC\_IN 信号のエッジ位置を同時に調整することができます。詳しくは AD9915 のデータシートを参照ください。

加えて、SYNC\_IN の内部経路における遅延時間を、レジスタ 0x1B 内の別のビットを設定することで調整できます。その結果、個別デバイス内部の、システム・クロックに対する SYNC\_IN 信号の遅延時間を調整することができます。

SYNC\_IN の内部経路における遅延時間を過剰に設定してしまうと、その遅延量によっては、SYNC\_CLK 出力信号の位相が、デバイス内部のシステム・クロックの別の周期にジャンプしてしまいます。この現象が起きると、それぞれのデバイスから出力される SYNC\_CLK エッジが、本来あるべき時間位置から外れてしまいます。SYNC\_CLK の時間位置を調整する手順は、複数の部品に対して SYNC\_CLK の位相を合わせるセクションを参照ください。各デバイスの SYNC\_CLK の時間位置の調整が完了すれば、SYNC\_OUT 出力をオフにできます。

## 全ての DDS デバイスに位相が一致した IO\_UPDATE を入力する

各部品の SYNC\_CLK の位相調整が完了した後、全ての部品に共用の IO\_UPDATE 信号を使ったさらなるプログラミングが必要です。例えば、IO\_UPDATE を送らなくとも、各デバイスの周波数調整用ワード・レジスタと位相オフセット用ワード・レジスタは、最初にそれぞれのデバイス毎に必要な値に非同期でプログラミングできます。しかしながら、全てのデバイスの DDS コアは、IO\_UPDATE 信号が発行されるまで上記プログラミング結果を反映した動作をしません。その後、共通 IO\_UPDATE 信号を入力すると、その直後、周波数調整用ワード・レジスタと位相オフセット用ワード・レジスタの設定値は、内部システム・クロック・カウントのタイミングで、各デバイスが必要とする値へと同時にアップデートされます。

IO\_UPDATE 信号は、SYNC\_CLK と同期して発生する必要があります。そのセットアップ・タイムは 2ns、ホールド・タイムは 0ns です。このタイミングを満足し、SYNC\_CLK が全てのデバイスに対して正確な時間位置に調整されていれば、複数デバイスの同期が可能です。

## 複数の部品に対して SYNC\_CLK の位相を合わせる

8ステップが必要で、それらを以下に示します。

1. 全てのデバイスの電源を投入し、REF CLK を与えます。システムブロック・ダイアグラムを図4に示します。繰り返になりますが、全てのデバイスに与える REF CLK 信号は、できる限りタイミング・スキューが小さくなるようにして下さい。またシステム・クロックを 2.5GBPS 以上に設定して動作を試みた場合、複数チップの同期が成功する確率は非常に低くなります。
2. 全ての DDS デバイスにマスター・リセット信号を送ります。このマスター・リセット信号は、各デバイスに対して非同期に送ることができます。マスター・リセットにより、内部レジスタの値を予め決められたデフォルト値にします。
3. 全ての DDS デバイスに DAC CAL を行うように指示します。これはレジスタ 0x03 の中の DAC CAL ビットをロジック 1 とし、その後クリアします。この動作は、まず1つの IO\_UPDATE 信号を送って、DAC CAL ビットをハイ・レベルにし、続いて別の IO\_UPDATE 信号を送って DAC CAL ビットをクリアします。この段階で IO\_UPDATE を全ての DDS デバイスに与えるとき、非同期でも問題ありません。
4. マスター DDS デバイスの SYNC\_OUT イネーブル・ビットのみをロジック 1 とします。このビットは、レジスタ 0x01 のビット 9 です。設定が終了したら、IO\_UPDATE を送ります。この動作により、SYNC\_OUT が出力され、その SYNC\_OUT 由来の SYNC\_IN 信号が、マスター及び他のスレーブ DDS デバイスの SYNC\_IN ピンに与えられます。多くの場合、SYNC\_OUT 信号は、複数のデバイスをドライブできるだけのファン・アウトを備えたデバイスによってバッファすべきです。SYNC\_OUT 信号の周波数は、システム・クロックの 1/384 になります。この段階においても、IO\_UPDATE を全ての DDS デバイスに与えるとき、非同期でも問題ありません。
5. 全ての DDS デバイスのレジスタ 0x10 内、CAL with SYNC ビットをロジック 1 に設定します。繰り返しになりますが、この時点でも IO\_UPDATE を全てのデバイスに与えるとき、非同期でも問題ありません。
6. レジスタ 0x1B 内の SYNC\_OUT デイレイ調整用ビットの値を変化させ、マスター・デバイスにける SYNC\_IN の立ち上がりエッジと REF CLK の位相関係が、図3に示した最適な時間位置になるように調整します。
7. ステップ3を繰り返すこととなりますが、マスター・デバイスを含む全てのデバイスに対して、再度 DAC CAL を行います。ここでも IO\_UPDATE を全てのデバイスに与えるとき、非同期でも問題ありません。このステップ7で、各デバイスの SYNC\_CLK とマスター・デバイスの SYNC\_CLK との位相関係が補正されるはずですが、
8. 各部品の SYNC\_CLK がマスター・デバイスと一定の位相関係に調整されたことを受け、同期関係が適切かどうかのテストを行います。全てのデバイスの3本のプロファイルピンをロジック 0 に設定します。
  - IO\_UPDATE 信号を送らずに、全てのデバイスは、個別にプロファイル・モードになり、プロファイル 0 レジスタへ、必要とされる周波数調整用ワードデータをプログラムします。
  - 続いて、全デバイス共通の IO\_UPDATE ピンに対して、位相の一致した IO\_UPDATE 信号に送ります。この時、IO\_UPDATE は、SYNC\_CLK と同期した上で、定められたセットアップ・タイムとホールド・タイムの規格を満足するように発生させる必要があります。このステップで全ての DDS 出力は同期し、お互いの位相が調整されているはずですが。

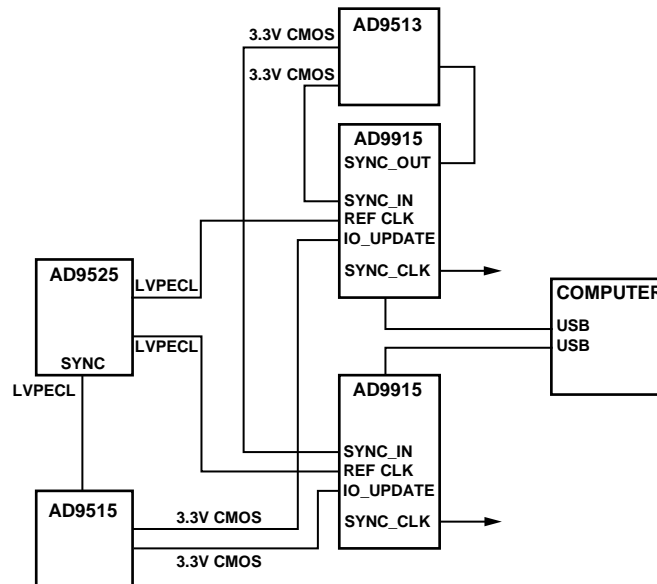


図 4. 簡略化した回路図

## まとめ

このアプリケーション・ノートで紹介した手順を注意深く実行すれば、複数の DDS 部品から出力される信号を同期させることが出来ます。

図 5 から 図 7 にそれぞれの場面で 4 つのデバイス間における、期待される時間関係を示します。図 5 は、電源投入直後の状態を示しています。同期動作をするための手順を踏む前であり、4 つの SYNC\_CLK の時間位置がランダムになっています。それぞれの部品に対する REF CLK の入力位相が完璧に一致していても、この状態になります。

図 6 と 図 7 は SYNC\_CLK と DDS 出力波形との時間位置を観測・表示したものです。SYNC\_CLK の時間位置調整後の SYNC\_CLK 波形と、ステップ 8 で示したそれぞれのデバイスに IO\_UPDATE を同時に入力という行為を行った後の DDS 出力波形を示しています。

図 7 に示した各デバイス間の DDS 出力信号位相オフセット値は、同じ値であることは予想されていたことです。もし 1 つのデバイスの位相を  $90^\circ$  変化させた場合、その信号の位相は、他の 3 つのデバイスからの信号に対して、 $90^\circ$  の位相オフセットを持つこととなります。

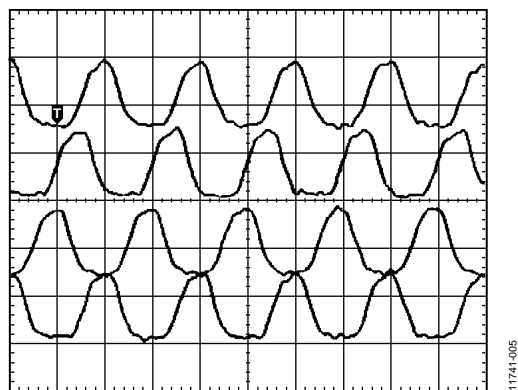


図 5. 電源投入直後、  
デバイス間 SYNC\_CLK の位相はランダムに配置される

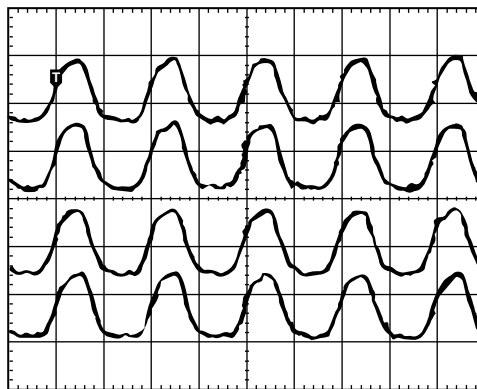


図 6. SYNC\_CLK 位相調整手順を行った後の、  
デバイス間 SYNC\_CLK 信号の位相位置

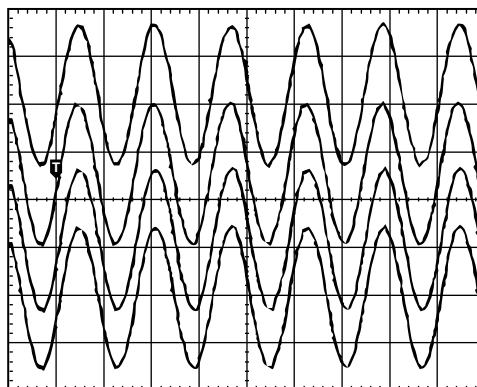


図 7. SYNC\_CLK 位相調整後、IO\_UPDATE 信号を全てのデバイス  
に入力した後の (DDS) デバイス出力波形

ノート

ノート