

小さいストレスで昇圧比を高くする SEPIC 増幅昇圧コンバータ

著者: Bob Zwicker

概要

このアプリケーション・ノートでは、適度に高い昇圧比 (例えば 10:1~50:1) を持つ昇圧コンバータの新しいテスト済み回路を紹介いたします。この回路では、他の方法に存在する多くの欠点を克服しています。このデザイン法の利点には次が含まれます:

- 電流ストレスの大幅な増加を伴うことなく、メイン・スイッチとダイオード・スイッチに対する電圧ストレスが大幅に削減されます。高電圧が欠点となることが多い、MOSFET とショットキー・ダイオードの選択肢が広がり強化されます。
- 非常に高いデューティ・サイクルとは反対に、連続導通モード (CCM) 動作を可能にするパルス幅変調 (PWM) デューティ・サイクルを加減することにより、帰還ループ補償が容易になります。
- 中程度のデューティ・サイクル、低電圧 MOSFET とダイオード、小さいピーク to ピーク電圧振幅の採用により、スイッチング損失を削減して、効率を改善します。
- スイッチ・ノード容量のエネルギー削減によりノイズが削減されます。さらに、複数のインダクタ・エネルギー放電バスが高周波リングを制動するため、高周波放出が削減されます。

目的

このアプリケーション・ノートは、新しい有用な電力変換回路を回路設計者に紹介することを目的としています。入力では最小約 1.8 V の電圧を、出力ではおそらく最大 500 V の電圧を扱います。

このアプリケーション・ノートでは、高い昇圧比の実現について、テーマの方法を他の方法と比較し、テスト済みデザイン例を提供します。また、派生デザインと部品の考慮事項の情報も提供します。完全なデザイン・マニュアルを意図したものではありません。この回路のデザインに関して支援を希望する設計者の方は、<http://www.analog.com/jp> でアプリケーション・エンジニアにご相談ください。

目次

概要	1	マルチステージ SEPIC 増幅昇圧の回路解析	7
目的	1	デザイン方法	9
改訂履歴	2	結合型インダクタと非結合型インダクタ	12
はじめに—他の回路の概要	3	様々なコンデンサ接続	12
優れた技術の必要性	4	その他の部品の選択	13
SEPIC 増幅昇圧コンバータの比較例	6	ADP1621 を使用した 200 V/5 倍出力のテスト	14
他の回路からの SEPIC 増幅昇圧コンバータの導出	6		

改訂履歴

8/12—Revision 0: Initial Version

はじめに—他の回路の概要

比較的高い昇圧比 (10:1 以上)を実現する DC/DC コンバータ回路は複数あります。これらの回路には次が含まれます。

- シンプル昇圧
- チャージ・ポンプ増幅昇圧
- タップ付きインダクタ昇圧

シンプル昇圧

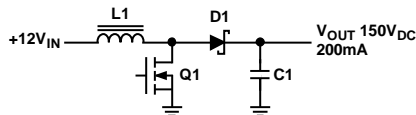


図 1.シンプル昇圧

シンプル昇圧の動作パラメータを表 1 に示します。

シンプル昇圧回路の利点には次が含まれます。

- 部品数の少ない最もシンプルな回路図デザインです。
- 低昇圧比から中昇圧比で使用する場合に効率が良くなります。

シンプル昇圧回路の欠点には次が含まれます。

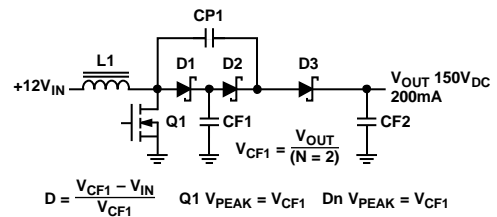
- 高昇圧比で、Q1 に高電圧ストレスと高電流ストレスが加わります。MOSFET の定格は、フル出力電圧と比較的高い電流 (低いオン R_{DS} を意味します)に対応している必要があります。これにより MOSFET チップが大きくなり、このために高価になり、強力なゲート・ドライバが必要になります。大きなチップのトランジスタで電圧が大きく変化するため、スイッチング損失が大きくなる可能性があります。
- ダイオードに高電圧が加わるため、一般的なショットキー・ダイオードが使用できないので、超高速タイプが必要になります。大きな昇圧比では高いデューティ・サイクルが必要です。
- 高デューティ・サイクルと超高速ダイオードにより、導通損失が増加する不連続導通モード (DCM)の傾向を示します。

表 1.シンプル昇圧コンバータの動作パラメータ

Parameter	Equation	Numerical Value for 12 V into 150 V Output at 200 mA	Comment
Voltage CF1	Not applicable	Not applicable	No such node in this topology
CCM Duty Cycle D	$D = (V_{OUT} - V_{IN})/V_{OUT}$	92%	
Q1 Peak Volts	$Q1 V_{PEAK} = V_{OUT}$	150 V	
Q1 Amps RMS (Large L)	$Kt ou \approx \frac{\sqrt{F} \times K_{QWV}}{(1-F)}$	2.6 A	Approximation is very close for low inductor ripple
D1 Peak Volts	$D1 V_{PEAK} = V_{OUT}$	150 V	

チャージ・ポンプ増幅昇圧

チャージ・ポンプ増幅昇圧の動作パラメータを表 2 に示します。この例では、N=2 ステージを使います。



$$D = \frac{V_{CF1} - V_{IN}}{V_{CF1}} \quad Q1 V_{PEAK} = V_{CF1} \quad Dn V_{PEAK} = V_{CF1}$$

図 2.2 ステージのチャージ・ポンプ増幅昇圧

チャージ・ポンプ増幅昇圧回路の利点には次が含まれます。

- 高出力電圧と低出力電流に対してリーズナブルな選択肢です。
- 高い昇圧比、高いデューティ・サイクル、ダイオードとメイン・スイッチに対する低い電圧ストレスを提供します。

チャージ・ポンプ増幅昇圧回路の欠点には次が含まれます。

- 各チャージ・ポンプ増幅ステージには、2 個の直列ダイオードの追加が必要となり、これが順方向電圧降下での損失が発生します。
- ここに示す他の回路とは異なり、ポンプ・コンデンサのピーク電流を制限する電流源としてインダクタを使用しないという意味で、チャージ・ポンプは真のスイッチャではありません。高いピーク電流の発生と大きなサイクリック・ドロップを回避するため、ポンプ・コンデンサ値は大きくする必要があります。
- 高ピーク電流によりスイッチ電流実効値が増える傾向があり、電流モード制御波形の歪みが生ずることがあります。

これらの理由で、チャージ・ポンプ増幅は、出力電流が 50 mA ~100 mA を超えないアプリケーションに限られます。

表 2. チャージ・ポンプ増幅昇圧コンバータの動作パラメータ

Parameter	Equation	Numerical Value for 12 V into 150 V Output at 200 mA	Comment
Voltage at CF1	$V_{CF1} = V_{OUT}/(N = 2)$	75 V	
CCM Duty Cycle D	$D = (V_{CF1} - V_{IN})/V_{CF1}$	84%	
Q1 Peak Volts	$Q1 V_{PEAK} = V_{CF1}$	75 V	
Q1 Amps RMS (Assuming Large L1 and CP1)	$Kto u \approx \frac{\sqrt{F} \times P \times K_{QW} + \frac{K_{QW}}{\sqrt{F}}}{(1-F)}$	2.51 A	
D(n) Peak Volts	$D(n) V_{PEAK} = V_{CF1}$	75 V	Same for all diodes

表 3. タップ付きインダクタ昇圧コンバータの動作パラメータ

Parameter	Equation	Numerical Value for 12 V into 150 V Output at 200 mA, N1 = N2	Comment
Voltage CF1	Not applicable	Not applicable	No such node in this topology
CCM Duty Cycle D	$F = \frac{3}{3 + \frac{X_{RP} \times *P3 + P4}{P3 \times *X_{QW} - X_{RP} +}}$	85.19%	
Q1 Peak Volts	$S3X_{RCCM} = X_{RP} + \frac{*X_{QW} - X_{RP} \times P3}{*P3 + P4}$	81 V	Does not include leakage L spikes
Q1 Amps RMS (Large L)	$Kto u \approx \frac{\sqrt{F} \times K_{QW} \times (P4 + P3)}{(1-F) \times P3}$	2.492 A	Approximation is very close for low inductor ripple
D1 Peak Volts	$D1 V_{PEAK} = V_{OUT} + (N2 \times V_{IN}/N1)$	162 V	Does not include leakage L spikes

タップ付きインダクタ昇圧

タップ付きインダクタ昇圧の動作パラメータを表 3 に示します。この例では、N1 = N2 とします。タップ付きインダクタは、間隙付きコアを持つ自己昇圧トランスとして説明することができます。

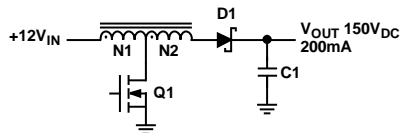


図 3. タップ付きインダクタ昇圧

タップ付きインダクタ昇圧回路の利点は、優れたデザインでは、高いデューティ・サイクルで高出力電圧を提供し、メイン・スイッチに対する電圧ストレスの削減が可能です。

タップ付きインダクタ昇圧回路の欠点は、

- この技術では、出力ダイオードの電圧ストレスを小さくすることができません。実際に、同じ出力電圧に対して、出力ダイオードの電圧ストレスはシンプル昇圧の場合より悪化します。
- タップ付きインダクタ昇圧コンバータは、トランスのリーク・インダクタンスの悪影響を受けます。リーク・インダクタンスにより、電圧スパイクとリンギングが発生し、これにより EMI が発生して、MOSFET と出力ダイオードに対する電圧ストレスが増加します。これらの影響はスナバで制御できますが、このような対策により電力が浪費されます。

- 出力ダイオードに対する高い電圧ストレスのため、ショットキー・ダイオードの使用が不可能になることがあります。このために、不連続導通モードで効率が低い超高速ダイオードが使用されることがあります。さらに、タップ付きインダクタは、カスタム製造が必要となることがあります。

優れた技術の必要性

上記すべての技術には、大きな昇圧比で大きな電力を供給する場合にはそれぞれ重大な欠点があります。次のようなコンバータ回路が必要になります。

- 中程度の定格 (例えば 30 V ~ 100 V の範囲) の MOSFET とショットキー・ダイオードが使用できるように、スイッチに対する電圧ストレスと電流ストレスが小さくて、高い昇圧比が提供できる。
- CCM 制御と PWM 制御が容易になる中程度のデューティ・サイクル (例えば 85% ~ 90% 以下) で動作できる。
- チャージ・ポンプの欠点 (低出力電流など) がない“真のスイッチャ”であること。
- トランスのリーク・インダクタンスによる電圧スパイクとリンギングが回避できる。

シングルエンド・プライマリ・インダクタンス・コンバータ (SEPIC)増幅昇圧コンバータは、上記目標をすべて実現します。つぎのような利点があります。

- メイン・スイッチとダイオードに対する電圧ストレスが小さくなります。価格と性能のトレードオフで優れた部品選択ができます。スイッチング損失が小さくなるように、スイッチ・ノードでのピーク to ピーク電圧振幅を大幅に小さくできます。
- デューティ・サイクルの対称性が良くなるため、簡単な電流モード制御で CCM が可能になります。

- スイッチ・ノードでピーク to ピーク電圧振幅が小さくなるため、さらに複数のインダクタ電流放電パスで発生するリングングも小さくなるため、EMI とノイズが小さくなります。
- トランスのリーク・インダクタンスからリングングまたは電圧ストレスが発生しません。
- 電流ストレスの増加または一般にチャージ・ポンプから発生する電流波形歪はありません。

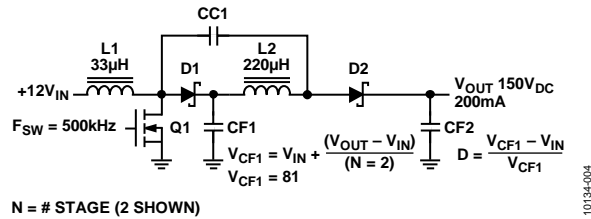


図 4.2 ステージの SEPIC 増幅昇圧コンバータ

表 4. SEPIC 増幅昇圧コンバータの動作パラメータ

Parameter	Equation	Numerical Value for Example Above	Comment
Voltage CF1	$V_{CF1} = V_{IN} + \frac{(X_{QW} - X_{RP})}{P = 2}$	81 V	
CCM Duty Cycle D	$D = \frac{X_{EH} - X_{RP}}{X_{EH}}$	85.19%	This figure is readily achieved by most controller ICs.
Q1 Peak Volts	$Q1 V_{PEAK} = V_{CF1}$	81 V	Q1 V_{PEAK} varies with V_{IN} and V_{OUT} and is higher than with charge pump multiplied boost.
Q1 Amps RMS (Large L)	$K_{tou} \approx \frac{\sqrt{F} \times P \times K_{QW}}{(1 - F)}$	2.492 A	The approximation is very close for low inductor ripple.
D(n) Peak Volts	$D(n) V_{PEAK} = V_{CF1}$	81 V	D(n) V_{PEAK} varies with V_{IN} and V_{OUT} and is higher than with charge pump multiplied boost.
Total effective parallel inductance L_p (eff) using n discrete inductors	$L_p (eff) = \frac{1}{\frac{1}{N_1} + \frac{1}{N_2} + \dots + \frac{1}{N_p}}$	29 μ H	The total effective parallel inductance determines ripple current through Q1 during D. It is possible for some of the inductor currents to pass through zero while the totaled waveform at Q1 is CCM.
Total effective parallel L_p (eff) inductance using one multiwinding coupled inductor	Use rated inductance for any one winding or for all windings connected in parallel	33 μ H would be a good choice but is not shown in the example above.	Although coupled inductors tend to understress the output winding current, using one multiwinding component may save bill of material (BOM)/assembly cost or printed circuit board (PCB) space compared to several discrete inductors.
Peak-to-peak ripple current in Q1 during on time	$Q1 I_{p-p} = \frac{X_{RP} \times F}{Nr (gh) \# h_{LY}}$	710 mA	Note that the ripple current passing through Q1 is not represented by that in any one inductor winding.
Q1 Peak Amps (for CCM)	$I_{IN} = \frac{K_{QW} \times N}{(1 - F)} + 0.5 \times Kr - r$	3.06 amps	

SEPIC 増幅昇圧コンバータの比較例

SEPIC 増幅昇圧

この例では、 $N=2$ ステージを使います。インダクタ巻線はディスクリット型または結合型(この場合、 $L1$ と $L2$ で示す巻線のインダクタンスは等しくなります)です。

SEPIC 増幅昇圧コンバータの利点は次のようになります。

- 同じ電圧を変換するストレート昇圧と比較すると、この技術の方が対称性の優れたデューティ・サイクルを提供し、MOSFET とダイオードに対する電圧ストレスが小さくなります。2 個のダイオードの使用により合計ダイオード順方向降下が増えますが、ダイオードあたりのピーク逆方向電圧が小さくなるため、ショットキーまたは低 V_F (順方向電圧)タイプの使用が可能になるので、ピーク to ピーク AC 波形の使用が可能になりスイッチング損失が小さくなります。
- SEPIC 増幅昇圧では、トランスのリーク・インダクタンスで発生するスパイクとリングングがありません。インダクタ巻線を電流源として使用し、コンデンサを電圧源として使用する“真のスイッチャ”になります。チャージ・ポンプの特性である差動電流スパイクがありません。

SEPIC 増幅昇圧技術の欠点は、次のようになります。

- 直列接続ダイオード数が増えて、合計ダイオード順方向電圧降下が増えます(この損失は通常、他の効率の利点により埋め合わされます)。
- 複雑さが増し、部品数が増えます。

V_{IN} と V_{OUT} が共に高い場合、特に電圧増幅技術 (SEPIC 増幅昇圧など) が役立つことはありません。例えば、入力 = 140 V で出力 = 150 V の場合、ダイオードと MOSFET に加わるピークを 140 V 以下に小さくする増幅ステージ数 N は存在しません。ステージ数が大きいと、直列巻線数とダイオード数が増えるため、コストと合計回路損失が増えます。このアプリケーション・ノートの範囲内で V_{OUT} に無関係に、昇圧比が小さい場合は、多分シンプル昇圧が最適な方法です。

他の回路からの SEPIC 増幅昇圧コンバータの導出

このセクションでは、SEPIC 回路と昇圧回路から SEPIC 増幅昇圧コンバータを導出する方法を示します。

シンプル昇圧コンバータ

これは、最も基本的なコンバータ回路の 1 つです。 $V_{OUT} > V_{IN}$ を発生します。

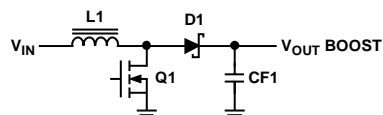


図 5. シンプル昇圧コンバータ

シングルエンド・プライマリ・インダクタンス・コンバータ (SEPIC)

SEPIC は、昇降圧ファミリーに属します。 V_{OUT} と V_{IN} は同じ極性です。主なアプリケーションは、 V_{IN} が変動し V_{OUT} に対して昇圧と降圧の両方のモードが必要になる場合です。 $L2$ の一端がグラウンドに接続されていることに注意してください。 $L2$ の両端での平均 DC 電圧は 0 V になります。

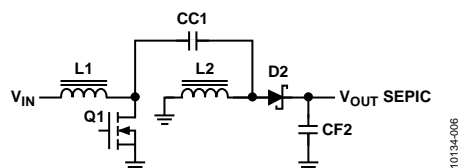


図 6. SEPIC コンバータ

昇圧出力を追加した SEPIC

ダイオードと出力フィルタを SEPIC に追加すると、昇圧出力を増やすことができます。2 つの出力の内の 1 つだけ (昇圧または SEPIC) がレギュレーションされ、他方は V_{IN} とともに変化するため、このデュアル出力技術の有用性は特別な状況に限られます。ただし、両出力からは、主な電圧波形または電流波形に歪のないクリーンな出力が得られます。

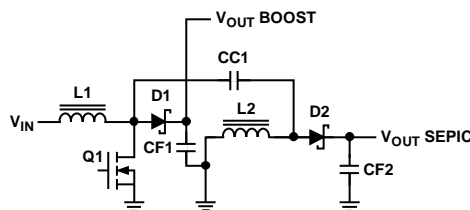


図 7. 昇圧を追加した SEPIC コンバータ

SEPIC 増幅昇圧 ($N = 2$)

この回路は、昇圧出力を追加した SEPIC 例をベースにしています。唯一の変更は、 $L2$ がグラウンドの代わりに $D1$ と $CF1$ の接続点 (ここは前には V_{OUT} 昇圧であった点) に接続されるようになったことです。 V_{OUT} 昇圧接続はなくなっています。 $L2$ と SEPIC ステージは、 $CF1$ で昇圧出力に直列に DC 接続されています。 $L2$ の両端での平均 DC 電圧は $CF1$ の昇圧電圧に等しくなります。

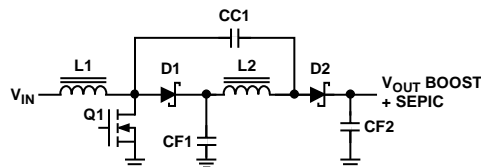


図 8. $N = 2$ の SEPIC 増幅昇圧コンバータ

マルチステージ SEPIC 増幅昇圧の回路解析

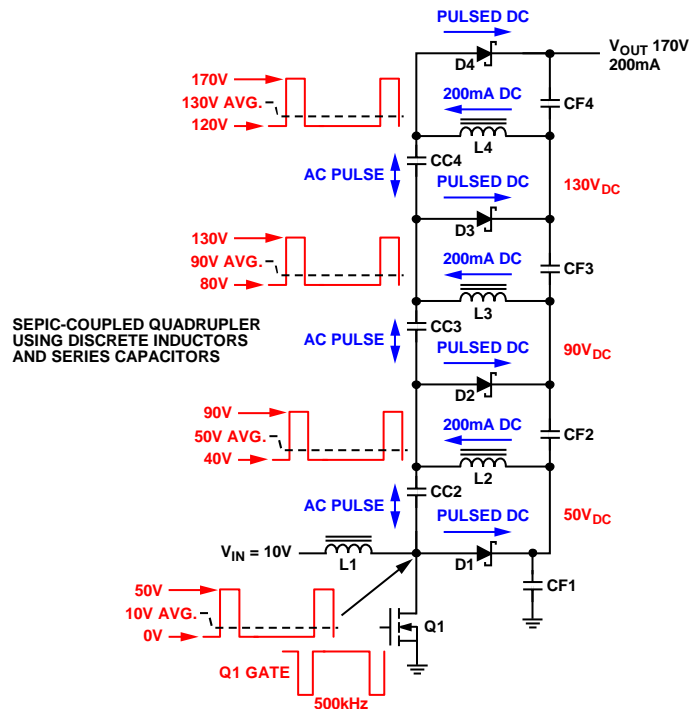


図 9. ディスクリート・インダクタと直列コンデンサを使用した SEPIC 結合型 4 倍出力

簡単化のために次のように仮定します。

- すべての部品は完全である。MOSFET とダイオードの順方向降下は無視でき、オフ時リーク電流は無視できる。
- インダクタのリプル電流が無視できるほど、インダクタ値が大きい。インダクタを流れる電流は比較的純粋な DC である。
- コンデンサはリプルが無視できる DC 電圧源として機能する。したがって、与えられたすべてのコンデンサの両端の AC 電圧は等しいと見なすことができる。
- 動作は連続導通モードであり、瞬時変化があり、デッド・タイムはない。
- 損失は生じない。

次の例は、計算が簡単になるように構成されています。条件は、 $V_{IN} = 10\text{ V}$ 、かつ 200 mA で $V_{OUT} = 170\text{ V}$ です。さらに、制御 IC は 500 kHz で MOSFET をスイッチさせます。

回路動作は次のように解析されました。

1. 図から、唯一の DC 電流パスは、 $L1$ から $Q1$ (スイッチ・ノード)へ、さらに $L2\sim L4$ と $D1\sim D4$ を経由して出力へ行っていることが分かります。このため、 $L2\sim L4$ と $D1\sim D4$ はすべて 200 mA DC を流す必要があります。 $L1$ は $Q1$ へ電流を流すため、別に考慮する必要があることに注意してください ($L1$ の説明はステップ 11 を参照)。
2. すべてのコンデンサの両端の AC 電圧波形 (非 DC 成分) は等しいと見なすため、スイッチ・ノード (メイン・スイッチ $Q1$ のドレイン) の AC 波形は $CC2, CC3, CC4$ の両端で繰り返されると見ることができます。ビジュアル解析とインダクタ電圧秒バランスから、スイッチ・ノードが V_{IN} より上のある昇圧値 $= V_B$ でピークになると、 $D2$ のアノードの電圧も同様に $D1$ のカソード電圧より V_B 上でピークになることが分かります。同様に、 $D3$ のアノード電圧は $D2$ のカソード電圧より V_B 上でピークになる必要があり、 $D4$ のアノードは $D3$ のカソード電圧の上 V_B でピークになる必要が

あります。4 ステージすべてが同じ AC 電圧波形を持つため、ステージあたりの V_B 電圧ゲインは各ステージで等しくなります。実現される合計電圧ゲイン ($170\text{ V} - 10\text{ V} = 160\text{ V}$) は、4 ステージ間で均等に分割されます。

3. V_B は $V_{CF1} = V_{IN} + ((V_{OUT} - V_{IN}) / (N = 4))$ で表され、最初のステージで 50 V が得られます。各ステージでは同じ昇圧電位差が発生するため、各ステージでは V_B 昇圧電位差の $50\text{ V} - 10\text{ V} = 40\text{ V}$ すなわちゲインが得られます。4 ステージで、それぞれ 50 V DC 、 90 V DC 、 130 V DC 、 170 V DC の DC レベルが発生します。
4. インダクタ電圧秒バランスに基づいてデューティ・サイクルを計算します。 $D = (V_{CF1} - V_{IN}) / V_{CF1}$ から 80% デューティ・サイクルが得られます (比較すると、シンプル昇圧では同じ $10\text{ V} \sim 170\text{ V}$ 電圧変換が発生するため 94% 以上のデューティ・サイクルが必要)。
5. 前述の情報を使うと、図 9 に赤で示す AC 電圧波形を得ることができます。 $D1$ のアノードの波形は 80% デューティ・サイクルで、ピーク to ピーク値が 50 V 、 $10\text{ V} = V_{IN}$ の DC 平均になります。ダイオード $D2\sim D4$ は同じ AC 波形を持ちますが、DC 電圧は各ステージで 40 V シフトしています。

6. $D = 80\%$ の場合、 $D1 \sim D4$ は $(1 - D) = 20\%$ の間だけ導通します。 $D4$ を通過する 200 mA DC の平均は、実際には 20% のデューティ・サイクル電流パルスに含まれています。電流パルス波形が 200 mA の DC 平均と 20% のデューティ・サイクルを持つ場合、パルスは $200 \text{ mA}/20\% = 1 \text{ A}$ の振幅を持つ必要があります。このため、 $D1 \sim D4$ の電流波形は図 10 に示す波形に等しくなります。

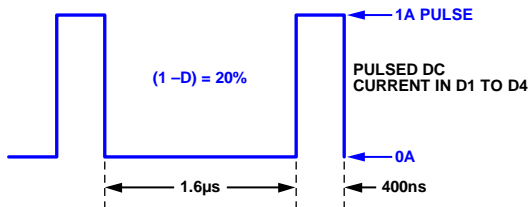


図 10. ダイオード $D1 \sim D4$ の電流波形

この波形は、 1 A のピーク to ピーク AC 成分と 200 mA の DC オフセットを持っています。この組み合わせは、瞬時電流が 0 A を下回らないことと矛盾しません。理想ダイオードには逆方向電流は流れません。実際、定格 25 V 以上の大部分の新しいショットキー・ダイオードはこれに非常に近く、 100°C での逆方向電流は $100 \mu\text{A}$ 以下です。

7. $D1$ の場合、このダイオード電流波形は $L1$ と $Q1$ から供給されます。 $Q1$ は正電流を供給できなく、 $L1$ を流れる電流は 10 V 入力からの正の DC です。したがって、 $(D - 1)$ の間 $Q1$ がオフのとき、インダクタから 1 A レベルが $D1$ へ供給され、 D の間の $Q1$ がオンのときにグラウンドへ流れることとなります。 $L1$ と $Q1$ を流れる合計電流はステップ 11 で計算されます。
8. コンデンサは DC 電流を通過させないため、 $CC4$ は AC のみ出力することが分かります。同時に、 $L4$ は 200 mA の比較的純粋な DC を供給します。 $D4$ に供給する電流源と $D1$ に供給する電流源を比較することは役立ちます。 $D4$ と $D1$ の場合、DC 電流成分はそれぞれのインダクタ巻線から供給されます。 $D1$ の場合 AC 電流成分は $Q1$ から、 $D4$ の場合 AC 成分は $CC4$ から、それぞれ供給されます。
9. $CC4$ を流れる電流波形は、図 11 に示す電流波形と同じになります。

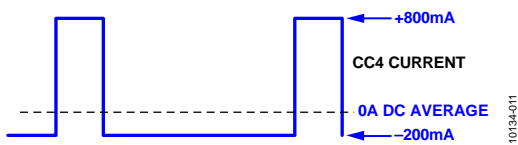


図 11. $CC4$ を流れる電流波形

$CC4$ のこの AC 電流だけが $L3$ を通るのではなく、代わりに $CC2$ と $CC3$ から $CC4$ へ流れます。この AC 電流は $L4$ からの DC 成分へ加算されて、図 10 に示す共通のダイオード電流波形を発生します。このダイオード電流は、 $CF1$ と $CF4$ の直列接続で構成される出力フィルタ・コンデンサで平均化されます。

10. $D3$ 、 $CC3$ 、 $L3$ に対しても同じことが言えますが、1 つだけ重要な違いがあります。 $L2$ 、 $L3$ 、 $L4$ にはすべて、同じ 200 mA DC が直列に流れますが、 $D3$ と $D4$ には各々 1 A p-p AC パルスが流れます。次の AC 電流パルスは加算されます。

- $CC4$ には $D4$ に対する 1 A p-p が流れます。
- $CC3$ には $D3$ に対する 1 A p-p と $D4$ に対する 1 A p-p の合計 2 A p-p が流れます。
- $CC2$ には $D2$ に対する 1 A p-p と $D3$ に対する 1 A p-p と $D4$ に対する 1 A p-p の合計 3 A p-p が流れます。

$CC2$ に供給されるすべての電流は、 $Q1$ と $L1$ の組み合わせから発生します。 $CC2$ と $CC3$ を流れる電流波形は、図 13 に示す電流波形と同じです。

11. $CC2$ に対する AC 電流の他に、 $Q1$ と $L1$ は $D1$ を流れるすべての AC + DC も供給します(図 10 に示す 4 個の全ダイオードに共通な電流波形を参照)。 $Q1$ と $L1$ から供給される合計波形は、 $CC2$ 電流と $D1$ 電流を加算して求めることができます。この合計電流の平均 DC 値は 0 A でないことに注意してください。

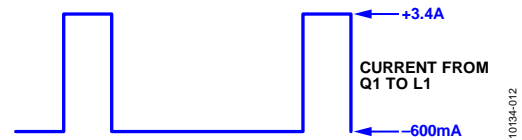


図 12. $Q1$ から $L1$ への電流

3.4 A レベルは、 $(1 - D)$ の間に $L1$ から ($CC2$ と $D1$) へ供給されます。 $Q1$ がオンになる D の間に、スイッチ・ノードは 0 V になり、 $L1$ から 3.4 A が $Q1$ へ供給されます。 $D1$ が非導通時、 $Q1$ が $3.4 \text{ A} + 600 \text{ mA} = 4 \text{ A}$ を処理できるように、 $CC2$ には 600 mA が流れます。 D の間、合計 600 mA の負電流が ($CC2$ と $D1$) に流れます。もちろん、 $D1$ は逆方向電流を流さないため、このすべての電流が $CC2$ を通過します。

$L1$ の電流は 3.4 A で、入力電圧は 10 V であるため、入力電力は $3.4 \text{ A} \times 10 \text{ V} = 34 \text{ W}$ になります。出力電力は $170 \text{ V} \times 200 \text{ mA} = 34 \text{ W}$ で、損失なしのため、入力電力と出力電力が等しくなることに注意してください。この一致は、計算が有効であることを示しています。

複数のステージは、AC は並列で、DC は直列で動作することに注意してください。このため、大信号解析では、SEPIC 増幅昇圧コンバータ・モデルは、昇圧コンバータと良く似ており、 $CF1$ の電圧に等しい電圧を発生し、出力電流は $I_{\text{OUT}} \times N$ に等しくなります。実験からは効率も近くなることが分かります。これが、昇圧比が大きくなると効率が急速に低下する傾向があるストレート昇圧に比べて優れている点です。

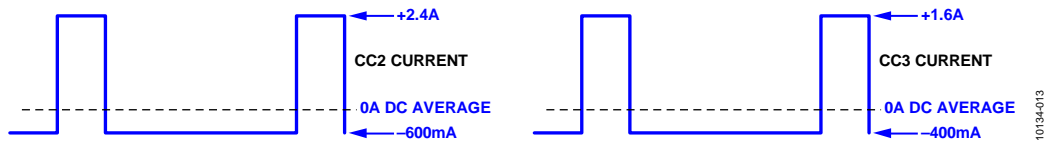


図 13.CC2 と CC3 の電流波形

表 5.SEPIC 増幅昇圧コンバータの条件/適性セットの例

V _{IN} Minimum	V _{IN} Maximum	V _{OUT} Minimum	V _{OUT} Maximum	I _{OUT}	Comment
5.0 V	6.0 V	12 V	80 V	150 mA	Compared to a straight boost, the increased total rectifier forward voltage drop in the SEPIC doubler or tripler causes some reduction in efficiency when V _{OUT} = 12 V. However, the technique helps significantly when V _{OUT} = 80 V. A SEPIC doubler or tripler is worth considering.
30 V	60 V	70 V	80 V	150 mA	No quantity of multiplier stages can prevent the MOSFET and rectifiers from voltage stress of at least 60 V, and a simple boost results in 80 V of stress on these. The SEPIC multiplier technique is not helpful. A simple boost seems like the best choice.
5.0 V	6.0 V	80 V	80 V	5 mA	Due to the low current, a charge pump multiplied boost is probably adequate and should be considered first. The SEPIC multiplied boost also works nicely and may provide better efficiency, but is usually more expensive.

デザイン方法

SEPIC 増幅昇圧回路では、次の点を考慮してください。

- 最初に、必要とされる電圧変換に対する最適回路を選択します。次の制約に応じて、SEPIC 増幅昇圧が最適回路になるか否か判断します。
 - SEPIC 増幅昇圧回路が最大デューティ・サイクルと部品ストレスの点で役立つためには、必要とされる出力電圧 (可変の場合は最大出力電圧) が最大入力電圧より少なくとも数倍高い必要があります。昇圧比が低いことと V_{OUT} が高いことは、V_{IN} も高いことを意味します。この場合、ストレート昇圧のデューティ・サイクルは高くなく、SEPIC 増幅技術は MOSFET とダイオードに対する最大ストレスを大幅に削減しません。この場合、ストレート昇圧が最適オプションの可能性ががあります。
 - 低出力電流 (昇圧比と使用される半導体に応じて 50 mA 範囲以下) の場合、チャージ・ポンプ増幅昇圧で十分であり、SEPIC 増幅昇圧より安価と思われる。SEPIC 増幅昇圧の効率は、チャージ・ポンプ増幅の効率より優れているため、高効率は SEPIC 増幅を選択するもう 1 つの理由にもなります。条件セットの例と、各々に対して SEPIC 結合型昇圧を推奨するか否かの所見を表 5 に示します。
- このアプリケーション・ノートのテーマは高い昇圧比ですが、実際には、高い比の昇圧を回避することが望まれます。例えば、200 V が必要で、入力電力を 5 V または 12 V に選択できる場合、12 V の方を選択することが常に良い性能をもたらします (SEPIC 増幅昇圧を使用した場合でも)。両入力レールが使用可能な場合には、5 V を IC (例えば ADP1621 や ADP1613) のバイアスへ使用します。12 V 入力を使用すると、ピーク・スイッチ・ノード電圧が少し増加しますが (同じ比 N に対して)、通常デューティ・サイクルとピーク電流が小さくなるため、効率が良くなります。
- 式 $V_{Q1\ peak} = V_{CF1} = V_{IN} + ((V_{OUT} - V_{IN})/N)$ を使用すると、MOSFET とダイオード (使用可能な場合はショットキー・ダイオードの方が望まれます) が適切な電圧定格で動作できるようにする N 値を求めることができます。ADP1621 コントロ

ーラを 5 V バイアスで使用する場合、強力な 5 V ゲート・ドライバが内蔵されています。30 V のドレイン・ソース電圧間 (VDS) 定格を持つ優れた MOSFET の大部分は、ロジック・レベル・タイプであり、4.5 V のゲート駆動で仕様が規定されています。ただし、約 4.3 V 以下からの昇圧 (全体デザインが困難になります) でない限り、スイッチ・ノードのピーク電圧に対する条件として 30 V は不必要に低く見えます。すべての 60 VDS の MOSFET が 5 V 駆動で動作できるわけではありませんが、多くが動作できます。MOSFET の VDS 定格が 75 V ~ 100 V へ大きくなると、ロジック・レベル MOSFET の選択肢は少なくなります。100 V 定格までのショットキー・ダイオードは容易に入手できますが、100 V を超えると少なくなります。必要とされる部品が実際に見つかるか確認してください。ADP1621 デザインでは、5 V 以上の入力電圧が使用可能で、かつ高い昇圧比を得ようとするとき、50 V ~ 90 V 範囲 (デバイス定格からの余裕を含めて) のピーク・スイッチ・ノード電圧から検討を開始することは妥当です。ADP1613 は、カスケード構成を使用しない限り 20 V のピーク・スイッチ・ノード電圧に限定されます。

- 次の 5 つのセクションと図 14 ~ 図 18 から、コントローラ IC とドライバ構成を選択してください。

標準電流検出抵抗構成の ADP1621

標準電流検出抵抗構成は、SEPIC 結合型昇圧に対して最も一般的なようです。ADP1621 は、最小 10 A までのピーク MOSFET 電流を制御でき、50 V~90 V 範囲のピーク・スイッチ・ノード電圧を可能にする MOSFET が適しています (図 14 参照)。

標準無損失電流検出構成の ADP1621

この動作モードでは、ADP1621 自体がピーク・スイッチ・ノード電圧を 30 V に制限するため、30 V 定格の MOSFET が最適です。入力電力レールが 5 V の場合、無損失電流検出と 30 V MOSFET は適切な構成です (図 15 参照)。

カスケード構成の ADP1621

カスケード回路は、最も高いスイッチ・ノード電圧能力を提供します。この方法は、50 V~100 V より高いスイッチ・ノード電圧に適します。適切なカスケード・ゲート・バイアスが使用可能な場合、上側 MOSFET に対するロジック・レベル・ゲート駆動の制約がなくなります。正確な電流制限の重要性が高い場合、無損失電流検出は下側 MOSFET に使用することができます。ダイオードの逆方向電圧定格はピーク・スイッチ・ノード電圧より高い必要があることに注意してください。適切なゲート・バイアス (例えば 12 V) が使用できない場合、この駆動回路の実現は困難になることがあります。カスケード MOSFET のターンオフ・ゲート電流はドレイン電流から得られるため、この MOSFET のゲート電荷が大きいと、スイッチング損失が発生して効率が低下します。このため、MOSFET のチップ・サイズを大き過ぎないようにする必要があり、優れたゲート電荷係数を持つ必要があります。負荷電流が小さくなると、効率が低下します。これは有効ゲート電流が小さくなるためにターンオフ変化が低速になるためです (図 16 参照)。

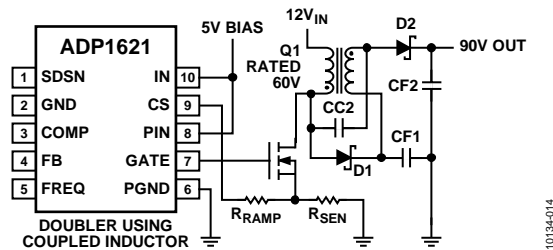


図 14.標準電流検出抵抗構成の ADP1621

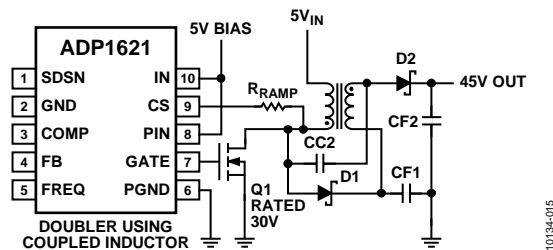


図 15.標準無損失電流検出構成の ADP1621

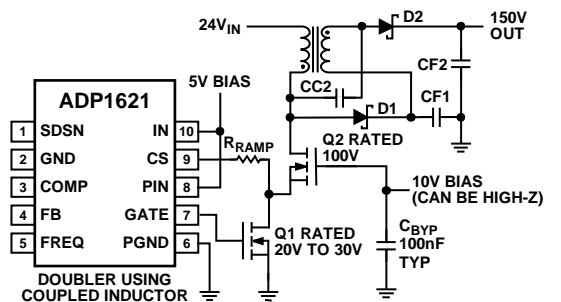


図 16.カスケード構成の ADP1621

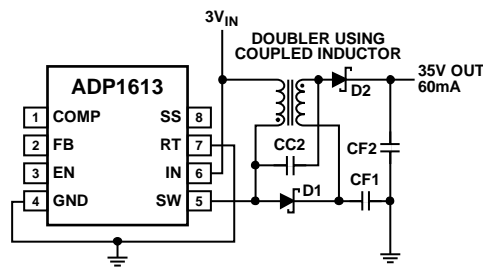


図 17.標準構成の ADP1613

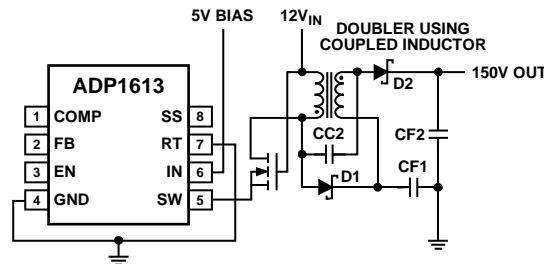


図 18.カスケード構成の ADP1613

標準構成の ADP1612 または ADP1613

ADP1612/ADP1613 の出力スイッチは 1.3 A と 20 V に制限されているため、この方法は、比較的低い電流と低電圧のアプリケーションに最も有効です。3 V から 60 V への変換 (トリプラー) または 3 V から 35 V への変換 (図 17) はこの例であり、ここでは高い入力バイアス・レベルが使用できません。ADP1613 は 2.5 V ~ 5.0 V の V_{IN} に対して使用可能で、ADP1612 は入力電圧が最小 1.8 V になるアプリケーションに使用できます。

カスケード構成の ADP1613

カスケード回路は、最も高いスイッチ・ノード電圧能力を提供します。ADP1613 は、幾つかの規則に従う限り、この役割で優れた動作をします。メイン ADP1613 出力スイッチは、1.3 A のピーク電流に制限されます。適切なゲート・バイアス (例えば 12 V) が使用できない場合、この駆動回路の実現は困難になることがあります。カスケード MOSFET のターンオフ・ゲート電流はドレイン電流から得られるため、この MOSFET のゲート電荷が大きいと、スイッチング損失が発生して効率が低下します。このため、MOSFET のチップ・サイズを大き過ぎないようにする必要があります。負荷電流が小さくなると、効率が低下します。これは有効ゲート電流が小さくなるためにターンオフ変化が低速になるためです。ADP1613 の高い動作周波数は、カスケード MOSFET の大きなゲート電荷が容易に大きなスイッチング損失成分になることを意味しています (図 18 参照)。

5. 次式から D を求めます。

$$F = \frac{X_{EB} + X_H - X_{RP}}{X_{EB} + X_H}$$

ここで、 V_F はショットキー・ダイオードの V_F で、一般に 500 mV ~ 600 mV。

6. DC 入力電流を求めます。CCM 動作の場合 (大部分のケースで望ましい)、入力インダクタ電流は、次式で近似されます。

$$I_{IN} = (I_{OUT} \times N / (1 - D))$$

7. ピーク MOSFET 電流を求めます。 I_{IN} (ステップ 6 参照) はリップルを含む必要があります。40% の入力リップルを持つ一般的なデザインでは、MOSFET は約 $I_{IN} \times 120\%$ のピーク電流を処理する必要があると見なします。
8. ステップ 7 から、IC を選択することができそうです。ピーク MOSFET 電流が 1.4 A を下回る場合、ADP1613 は最も安価なソリューションを提供できる可能性があります。ピーク MOSFET 電流がこのレベルを上回る場合、または 600 mA 以上のピーク MOSFET 電流で最適効率が必要とされる場合、ADP1621 が提案されます。
9. 次式から MOSFET 実効電流を求めます。

$$K_{Io} \approx \frac{\sqrt{F} \times P \times K_{QWV}}{(1 - F)}$$

10. 実効電流と V_{CF1} に基づいて MOSFET を選択します。

- カスケード MOSFET なしで ADP1621 を使用する場合、MOSFET はロジック・レベル・タイプであり、5 V 以下のゲート駆動で適切な R_{DS} オン (計算された実効電流に対する導通損失に基づく) の定格を持つ必要があります。もちろん、 V_{CF1} より大きい V_{DSS} 定格を持つ必要があります。
- カスケード MOSFET と組み合わせて ADP1613 を使用する場合、カスケード MOSFET はロジック・レベル・タイプである必要はありません。ただし、優れたスイッチング係数を持つ MOSFET を選択してください。 R_{DS} (オン) は電流に対して十分小さい必要がありますが、カスケード MOSFET が大き過ぎると大きなスイッチング損失が発生して、正常な電圧変換の妨げになることがあります。カスケード MOSFET に対して必要なゲート DC バイアス電圧を発生してください。一般に 5 V ~ 12 V です。これには無視できる大きさの DC 電流が必要のため、高い値の抵抗分圧器から供給されます。ただし、100 nF ~ 1 μ F のセラミック・コンデンサを使って MOSFET ゲートで注意深くグラウンドへバイパスする必要があります。
- カスケード MOSFET と組み合わせて ADP1621 を使用する場合、ADP1613 に対するカスケード MOSFET に関する注意事項が適用されます。ただし、ADP1621 ゲー

ト・ドライバから駆動される下側 MOSFET も必要になります。この下側 MOSFET は、高速スイッチングと適切な実効電流を持つ比較的小型の 20 V~30 V タイプにすることができます。この MOSFET ではピーク・ドレイン電圧が約 15 V 以下になるため、ADP1621 は損失なしの電流検出モードで動作することができます。ここでは下側 FET の R_{DS} オンは電流検出抵抗として機能します。

11. 周波数を高くすると、セラミック・フィルタと結合コンデンサのサイズを小さくすることに役立ちます。インダクタの小型化も可能です。ただし、これらのコンバータの与えられた高電圧動作に対して、スイッチング周波数を高くするとスイッチング損失が増加する傾向があります。また、スイッチング周波数を高くすると、最大デューティ・サイクルを制限する最小オフ時間にも関係します。ADP1613 デザインの場合、700 kHz より低い f_{sw} を選択してください。ADP1621 デザインの場合、400 kHz よりあまり高い周波数を選択しないでください。これらの設定値は、必要に応じて後で変更することができます。

結合型インダクタと非結合型インダクタ

SEPIC コンバータおよび C_{uk} コンバータと同様に、SEPIC 増幅昇圧では結合型インダクタを使用することもできます。結合型インダクタには、非結合型 (ディスクリット) インダクタに比べて利点と欠点があります。

結合型インダクタには次の利点があります。

- 結合型インダクタでは、ディスクリット・インダクタより全体部品コストが低くなる場合があります。
- 結合型インダクタでは、少ない PCB 面積を使いデザインを小型化できる可能性があります。

結合型インダクタには次のような欠点があります。

- 結合型インダクタでは、小さい面積に熱が集中する傾向があります。
- とくに、高い N 次の増幅では、入力インダクタは他の巻線より大きな電流を処理します。これらのデザインでは、巻線同士を一致 (複数巻線構造の場合のように) させると、出力巻線のサイズが大きくなり過ぎることがあります。
- 場合によっては、最適デザインでは不一致のインダクタ値を使うこともあります。これは結合型インダクタでのオプションではありません。

すべてがディスクリットのデザインまたはすべてが結合型インダクタのデザイン他に、結合型構造と非結合型構造の組み合わせも検討する価値があります。例えば、2 つの巻線結合型インダクタは一般的で安価です。入力以外のすべての巻線には、入力インダクタの電流より小さい電流が流れます。

SEPIC トリプラーの場合、入力ステージに 1 巻線のディスクリット・インダクタを使用し、2 つの出力ステージには結合型インダクタを接続することは役立ちます。

様々なコンデンサ接続

図 9 では CC_x と CF_x に直列接続コンデンサを使用していますが、これはコンバータをデザインする唯一の妥当な方法ではありません。 CC_x と CF_x の直列接続を使用する場合、直列接続されたコンデンサはすべて同じ電圧で動作するため、共通の電圧定格を持つことができますが、マルチステージ SEPIC 増幅昇圧セクションの回路解析のステップ 10 と図 13 で説明したように、 CC_3 は CC_4 の 2 倍の電流を処理し (このため、容量は理論的には 2 倍である必要があります)、 CC_2 は CC_4 の 3 倍の電流を処理します。このため、最もコスト/パフォーマンスの優れた直列接続デザインでは、同じ電圧定格で異なる容量定格のものを使用します。

直列方法の 1 つの欠点は、複数の直列接続のために漂遊インダクタンスが大きくなることです。このために、スパイク、リングング、電磁干渉 (EMI) が大きくなる場合があります。

これに代わる並列接続方法を図 19 に示します。この方法を使うと、すべての CC_x コンデンサとすべての CF_x コンデンサには同じ電流が流れますが、加わる電圧は異なります。 CC_x コンデンサの AC 並列接続により Q_1 の等価直列インダクタンスが小さくなるため、 Q_1 のドレインのスパイクが小さくなり、リングングが抑えられます。同様に、出力フィルタのインダクタンスが小さくなるため、そこでのノイズ・スパイクが小さくなります。出力ノイズに関しては、グラウンドへ接続した出力フィルタ・コンデンサの追加、および/または小さな値のインダクタを使った π 型フィルタの追加が、直列構成または並列構成に役立ちます。ケース・サイズが大きいと (例えば 1210)、容量が大きくなりますが、小さなサイズでは等価直列インダクタンス (ESL) が小さくなることに注意してください。最適なデザインは、異なるサイズの 2 個または 3 個の出力フィルタ・コンデンサの並列接続と思われる。

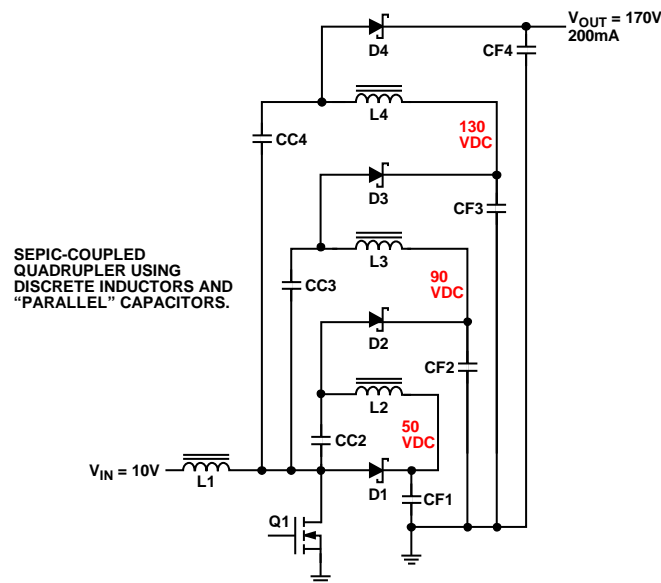


図 19. ディスクリート・インダクタと並列コンデンサを使用した SEPIC 結合型 4 倍出力

その他の部品の選択

スイッチング MOSFET はもちろんこのデザインで重要部品です。次に多くの問題点を優先順位のほぼ降順で示します。

1. MOSFET の定格は、予測電圧ストレスに対しある程度の電圧スパイクを許容できる必要があります。電圧スパイクは、部品 (ダイオードや結合コンデンサなど) と PCB レイアウトの漂遊インダクタンスから発生します。すぐれた PCB レイアウトを使うと、スパイク電圧はトランス採用デザインで遭遇する電圧よりはるかに低くなりますが、優れた PCB レイアウトではこれらのスパイクが大幅に小さくなりますが、完全にはなりません。5 V~10 V 範囲のスパイク振幅 (MOSFET の理論予測ピーク電圧よりは大きい) は妥当で、多くのファクタにより変わります。
2. MOSFET の定格は、予測実効電流により消費される電力に対応するものである必要があります (主に R_{DS} オンによる)。 $I \times R$ は、MOSFET の主要な発熱メカニズムです。通常、MOSFET メーカーの電流定格は非常に楽観的です。温度を上げた MOSFET オン抵抗を使用した $R \times I^2$ の計算は、最適な開始点です。その後、動作時の MOSFET チップ温度を求めるときは、ワーストケース動作条件と熱抵抗の控えめな計算値を使用してください。85°C~105°C 範囲の最大動作チップ温度は一般に妥当なものです。
3. MOSFET の R_{DS} オンの定格は、ドライバ IC 能力以内のゲート駆動電圧に決める必要があります。ADP1621 と組み合わせて使用する、ゲート駆動の MOSFET の場合 (使用する場合には非カスケード接続)、5.0 V 以下のロジック・レベル駆動が必要です (4.5 V は一般的なゲート駆動電圧定格)。6 V 以上を必要とする MOSFET は、ADP1621 または 5 V 駆動のその他のコントローラから安定にゲート駆動できません。ただし、この要求により、これらの MOSFET がカスケード MOSFET と安定に動作することが妨げられるものではありません。

4. ダイオードと MOSFET の電圧定格条件は非常に似ています。MOSFET 電流定格の場合と同様に、ダイオード・メーカーの電流定格は楽観的です。ダイオードのデータシート電流定格を超えないようにしてください。ただしこれを超えて、主にチップ温度と熱抵抗に従ってダイオード電流定格を求めてください。一般に、150°C の最大 T_J 定格を持つダイオードを、ジャンクション温度 105°C または 110°C を超えて動作させないでください。
5. ボード間のインダクタンス巻線のホールドアップ・タイムおよび/または制動に対するバルク・バイパス電解コンデンサは例外ですが、これらのコンバータの要求は SMT セラミック・コンデンサにより解決されます。定格 25 V 以下のフィルタ・コンデンサには X5R を、1 nF~100 nF 範囲の信号コンデンサと定格 25 V 以上のフィルタには X7R を、1 nF 以下の信号コンデンサには NP0 を、それぞれ使用してください。

コンデンサは、通過する実効電流を処理できるように定格を定める必要があります。数百 kHz までの周波数でセラミック・コンデンサを使用する場合、リップル電圧は DC 定格の数パーセントに制限され、リップル電流計算では、コンデンサが容易に電流定格を満たすことが示されます。このため、電圧に対して先ずセラミック・コンデンサを選択し、次に所望のリップル電圧に基づいて控えめに容量を選択してください。

結合コンデンサは各サイクルで $Q = I_{OUT}/F$ の電荷を処理します。ここで、 Q はサイクルあたりの電荷 (クーロン)、 I_{OUT} は出力電流 (アンペア)、 F はスイッチング周波数 (ヘルツ) です。このため、例えば、図 19 の回路が 400 kHz で動作し、200 mA を供給する場合、各結合コンデンサ (CC2、CC3、CC4) は、 $0.2A/400,000 \text{ Hz}$ = スwitching・サイクルあたり 500 ナノクーロンを供給します。

リップル電圧 [リップル= Q (クーロン)/ C (ファラッド)]がコンデンサ両端の DC 値の 2%~5%を下回るように、これらのコンデンサを選択してください。高い K のセラミック・コンデンサは、DC 電圧により、ボードへハンダ付けした後の時間経過により、温度変動により、大幅に容量が小さくなるため、コンデンサの公称容量定格の半分になることに注意してください。リップル電圧に対して適切にコンデンサを選択した後、リップル電流定格をチェックすると、通常十分な余裕があることが示されます。

ADP1621 を使用した 200 V/5 倍出力のテスト

このコンバータは、12 V 入力を 250 mA 出力で 200 V へ昇圧します。このデザインでは、60 V 定格の MOSFET とショットキー・ダイオードを使用しています。U2 は入力低電圧ロックアウト (UVLO)として機能します。91%を超える効率を示しています。

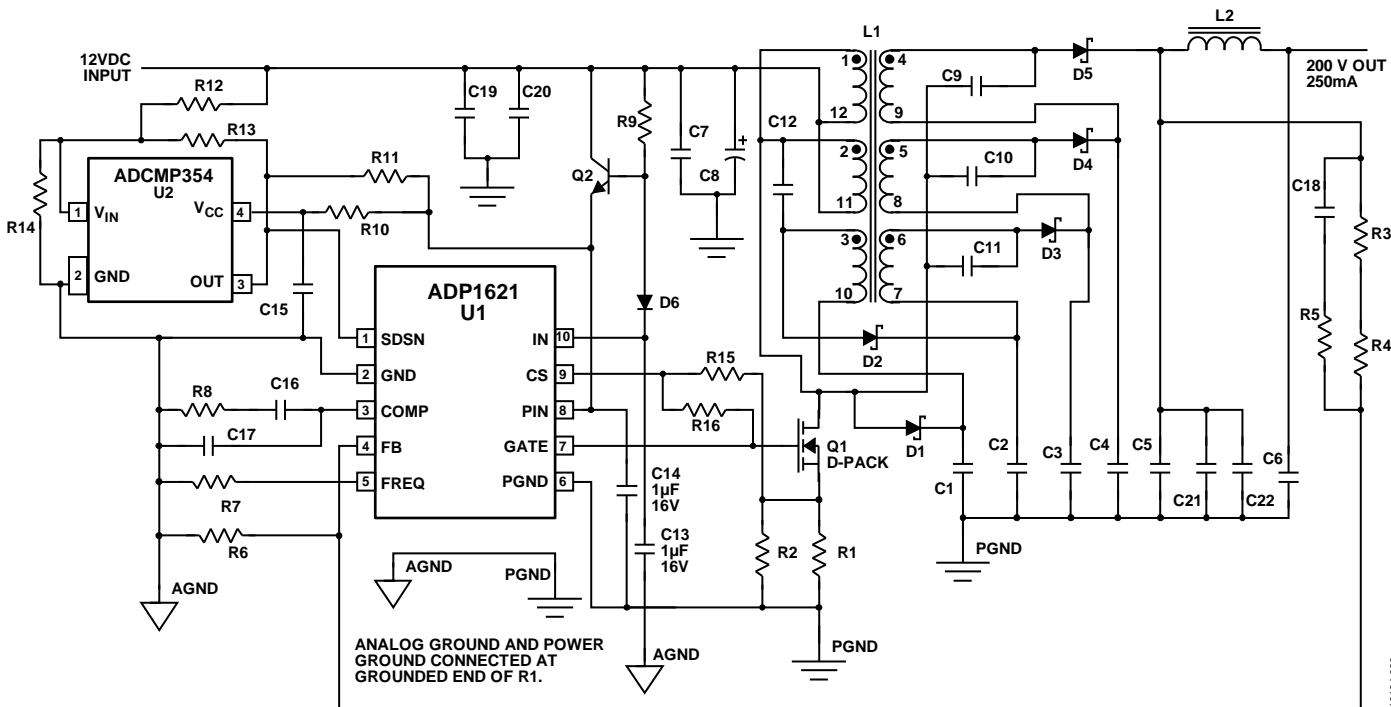


図 20. ADP1621 による 5 倍 SEPIC 増幅昇圧 (テスト例)

10134-020

図 21 の条件は、11.5 V 入力と 260 mA 出力で 200 V です。この波形は比較的クリーンで、60 V 定格 MOSFET に対する電圧ストレスは 200 V DC 出力電圧より遥かに低くなっています。

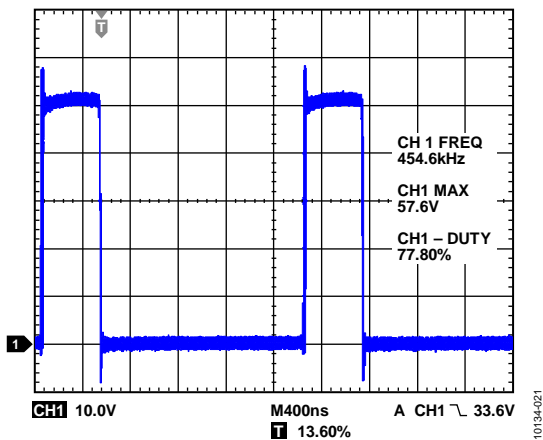


図 21.フル負荷動作時のスイッチ・ノード波形、400 ns/Div

図 22 に、図 21 の場合と同じ条件ですが、立上がりエッジを高速な時間軸を使って表示したスイッチ・ノード波形を示します。損失の発生するスナバを使用しない限り、トランス採用デザインでクリーンな波形を得ることは困難です。

Coilcraft 社の HPH シリーズ結合型インダクタは低リーク・インダクタンスを持つため、他の用途でトランスとして使用することができます (表 6 参照)。この SEPIC 増幅昇圧で使用したように、結合型インダクタとして機能します。

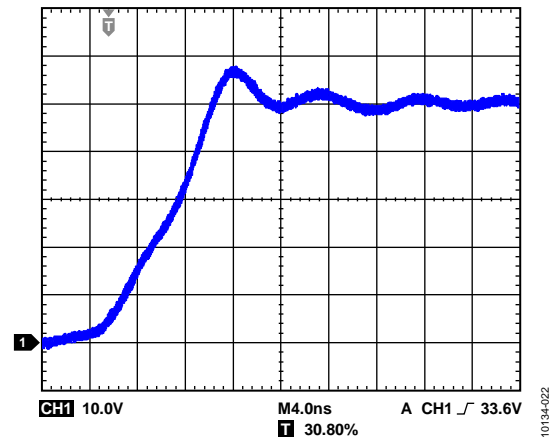


図 22.フル負荷動作時のスイッチ・ノード波形、4 ns/Div

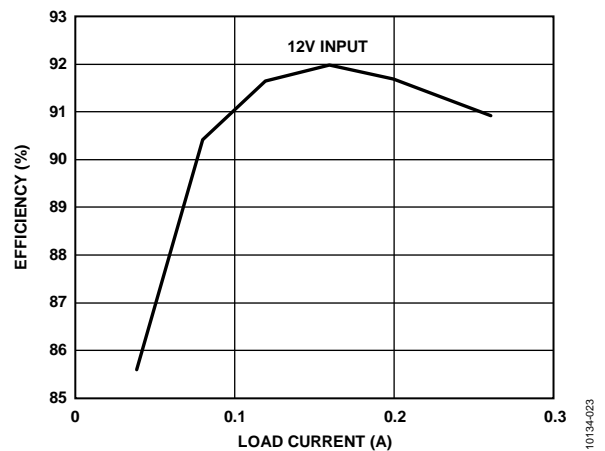


図 23.負荷電流対コンバータ効率

測定した効率のピーク値はほぼ 92%。

表 6.ADP1621 を使用した SEPIC 5 倍増幅昇圧の部品表

Item	Reference Designator	Description	Vendor/Part Number
1	C1	1.0 μ F, X7R, 100 V, 1206	Murata/GRM31CR72A105MA01K
2	C2	1.0 μ F, X7R, 100 V, 1206	Murata/GRM31CR72A105MA01K
3	C3	220 nF, X7R, 250 V, 1210	Murata/GRM32DR72E224KW01L
4	C4	220 nF, X7R, 250 V, 1210	Murata/GRM32DR72E224KW01L
5	C5	220 nF, X7R, 250 V, 1210	Murata/GRM32DR72E224KW01L
6	C6	220 nF, X7R, 250 V, 1210	Murata/GRM32DR72E224KW01L
7	C7	22 μ F, X5R, 25 V, 1210	Murata/GRM32ER61E226KE15
8	C8	1000 μ F, 16 V, alum elect low ESR	Suncon/I6ME1000WGL
9	C9	220 nF, X7R, 250 V, 1210	Murata/GRM32DR72E224KW01L
10	C10	220 nF, X7R, 250 V, 1210	Murata/GRM32DR72E224KW01L
11	C11	1.0 μ F, X7R, 100 V, 1206	Murata/GRM31CR72A105MA01K
12	C12	1.0 μ F, X7R, 100 V, 1206	Murata/GRM31CR72A105MA01K
13	C13	1.0 μ F, X5R, 16 V, 0603	TDK/C1608X5R1C105K
14	C14	1.0 μ F, X5R, 16 V, 0603	TDK/C1608X5R1C105K
15	C15	1.0 μ F, X5R, 16 V, 0603	TDK/C1608X5R1C105K
16	C16	4.7 nF, X7R, 25 V, 0603	Generic
17	C17	Do not populate (DNP)	
18	C18	Do not populate (DNP)	
19	C19	22 μ F, X5R, 25 V, 1210	Murata/GRM32ER61E226KE15
20	C20	Do not populate (DNP)	

Item	Reference Designator	Description	Vendor/Part Number
21	C21	Do not populate (DNP)	
22	C22	Do not populate (DNP)	
23	D1	Schottky diode, 1 A, 60 V, SMA	ON Semiconductor/MBRA160T3
24	D2	Schottky diode, 1 A, 60 V, SMA	ON Semiconductor/MBRA160T3
25	D3	Schottky diode, 1 A, 60 V, SMA	ON Semiconductor/MBRA160T3
26	D4	Schottky diode, 1 A, 60 V, SMA	ON Semiconductor/MBRA160T3
27	D5	Schottky diode, 1 A, 60 V, SMA	ON Semiconductor/MBRA160T3
28	D6	Diode signal, 100 V, 200 mA	ON Semiconductor/MMSD4148
29	L1	Coupled inductor six windings	Coilcraft/HPH6-0158L
30	L2	22 μ H inductor	Coilcraft/ME3220
31	Q1	60 V MOSFET, D-pak logic level	Infineon/IPD079N06L3G
32	Q2	BJT, NPN, 40 V, general purpose	Generic/MMBT3904
33	R1	0.020 Ω , 0805, 5%	Susumu/RL1220
34	R2	0.012 Ω , 0805, 5%	Susumu/RL1220
35	R3	634 k Ω , 1%, 1206	Generic
36	R4	1.00 M Ω , 1%, 1206	Generic
37	R5	Do not populate (DNP)	
38	R6	10.0 k Ω , 1%, 0603	Generic
39	R7	45.3 k Ω , 0603, 1%	Generic
40	R8	10 k Ω , 0603, 5%	Generic
41	R9	1.5 k Ω , 0805, 5%	Generic
42	R10	100 Ω , 0603, 5%	Generic
43	R11	Do not populate (DNP)	
44	R12	47.5 k Ω , 0603, 1%	Generic
45	R13	1.00 M Ω , 0603, 1%	Generic
46	R14	2.67 k Ω , 0603, 1%	Generic
47	R15	499 Ω , 0603, 1%	Generic
48	R16	100 k Ω , 0603, 5%	Generic
49	U1	Constant-frequency, current-mode step-up dc/dc controller	Analog Devices/ ADP1621
50	U2	Comparator and 0.6 V reference in 4-SC70 with open-drain active-high output	Analog Devices/ ADCMP354