

デュアル・チャンネル・スイッチング・コントローラを採用し 低ノイズ・デザイン向けに最適化された 降圧レギュレータ用プリント回路ボードのレイアウト・ガイドライン

著者: Scott Zheng

はじめに

「ノイズ問題」は、実験室での "犯人" 探しの長いテスト時間の開始を意味することは、すべての回路ボード設計者が知るところです。後になって、ノイズはスイッチング電源のレイアウトが原因となって発生していることが判ります。このような問題では、新しいレイアウト作業、スケジュール遅延、追加開発コストが発生します。このアプリケーション・ノートでは、これらのタイプのノイズ問題を回避するための、プリント回路ボード (PCB) のレイアウト・ガイドラインを提供します。ADP1850 デュアル・チャンネル同期スイッチング・コントローラを採用したスイッチング・レギュレータのレイアウト例を使って、レギュレータ内の電流パスを特定することから始めます。これらの電流パスにより、この低ノイズ・レイアウト・デザイン内の部品配置が決定されます。

PCBレイアウト・ガイドライン

電流パスの特定

スイッチング・コンバータ・デザインでは、高電流パスと低電流パスが接近しています。交流 (AC) パスにはスパイクとノイズがあり、大きな直流 (DC) では電圧降下が大きくなり、低電流パスはノイズに敏感になる傾向があります。正しい PCB レイアウトのために重要なことは、クリティカル・パスを特定して部品を配置し、十分な銅面積を割り当てて高電流から低電流が影響を受けないようにすることです。性能低下の症状としては、グラウンド・バウンスとして、さらに IC やシステムの他の部分へのノイズ混入として現れます。

図 1 に、スイッチング・コントローラと外付けパワー部品を持つ同期降圧レギュレータ・デザインを示します。この外付けパワー部品とは、ハイ・サイド・スイッチ、ローサイド・スイッチ、インダクタ、入力コンデンサ、出力コンデンサ、バイパス・コンデンサです。図 1 の矢印は、高スイッチング電流の向きを示しています。これらのパワー部品を注意深く配置して、大きなノイズ、オーバーシュート、リンギング、グラウンド・バウンスの原因となる寄生容量と寄生インダクタンスをなくすることが重要です。

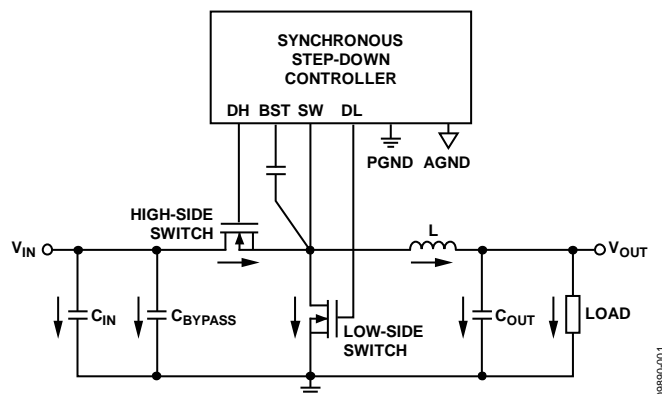


図 1. 代表的なスイッチング・レギュレータ (AC 電流パスと DC 電流パスを表示)

DH、DL、BST、SW のようなスイッチ電流パスは、コントローラを起点とするため、大きな寄生インダクタンスが生じないように配置する必要があります。これらのラインでは $\delta I/\delta t$ の大きい AC スwitching・パルス電流が発生し、数 n sec 幅で 3 A を超えることがあります。高電流ループを小さくすることは、ノイズ混入の増加を抑えて出力リンギングを小さくするために不可欠です。

補償部品や帰還部品のような、値の小さい小振幅信号パスはノイズに敏感です。これらのパスをスイッチ・ノードとパワー部品から離して配置して、ノイズ混入をなくしてください。

目次

はじめに.....	1	電流検出パス.....	5
PCBレイアウト・ガイドライン.....	1	帰還パスと電流制限検出パス.....	5
改訂履歴.....	2	スイッチ・ノード.....	5
パワー部品: MOSFETおよびコンデンサ(入力、バイパス、出力)	3	ゲート・ドライバ・パス.....	5
熱的な考慮事項とグラウンド・プレーン.....	4	まとめ.....	5

改訂履歴

5/11—Revision 0: Initial Version

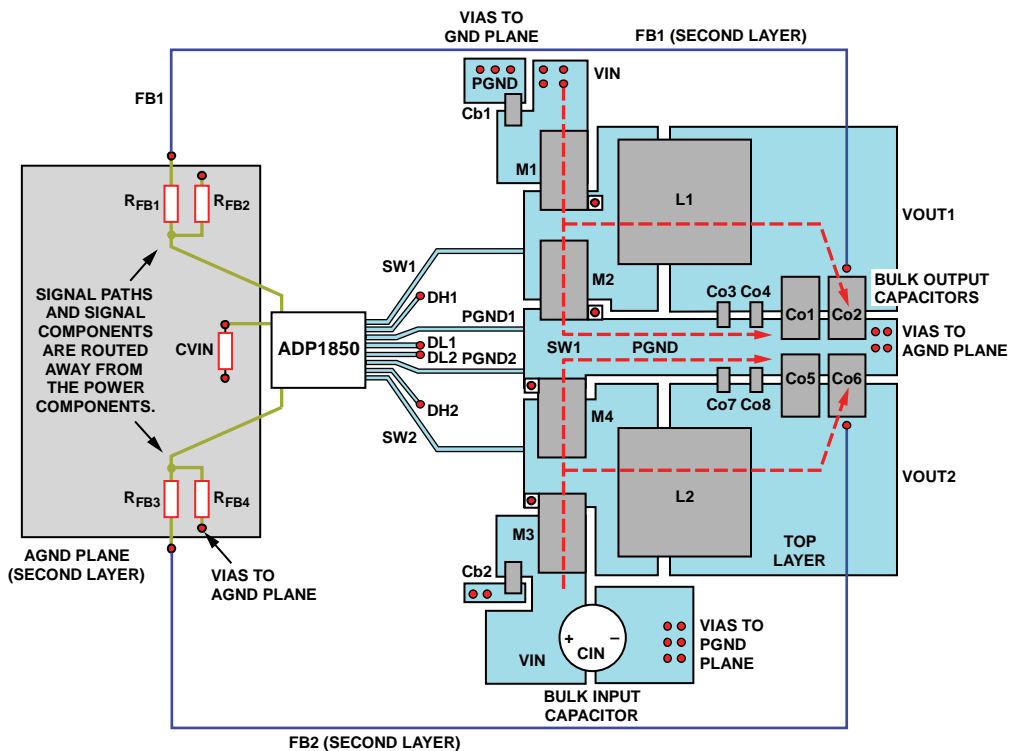
レイアウト・フロアプラン

PCBフロアプランは電流ループ面積を小さくするために重要であり、パワー部品は急角度の曲げや細いパスを回避して電流がスムーズに流れるように配置してください。これは寄生容量とインダクタンスを小さくすることに役立つため、グラウンド・バウンスがなくなります。図 2 に、ADP1850 スイッチング・コントローラを採用したデュアル出力降圧コンバータのPCBレイアウトを示します。このパワー部品の配置では、電流ループ面積と寄生インダクタンスが小さくなっていることに注意してください。点線は、高電流パスを表しています。この同じフロア・プラン技術は、同期と非同期のコントローラに使用することができます。非同期コントローラ・デザインでは、ローサイド・スイッチをショットキー・ダイオードで置換えます。

パワー部品: MOSFETおよびコンデンサ(入力、バイパス、出力)

パワー・スイッチの上側と下側の電流波形は、 dI/dt の非常に大きいパルスです。このため、各スイッチへのパスをできるだけ短くして、コントローラへのノイズ混入と誘導性ループからのノイズ伝送を小さくする必要があります。PCBの片側でDPAKまたはSO-8 パッケージのFET対を使う場合は、これらの2つを逆回りに配置することが最適です。これにより、スイッチ・ノードが対の片側になるようにすることができ、ハイ・サイド・ドレインを適切なセラミック・バイパス・コンデンサを使ってローサイド・ソースへバイパスすることができます。バイパス・コンデンサはMOSFETのできるだけ近くに配置してください(図 2 参照)。これにより、FETとコンデンサを通るループのインダクタンスが小さくなります。

入力バイパス・コンデンサと入力バルク・コンデンサの配置は、グラウンド・バウンスを制御するために重要です。出力フィルタ・コンデンサの負端子は、ローサイドMOSFETソースのできるだけ近くに接続してください。これは、グラウンド・バウンスの原因となるループ・インダクタンスを小さくすることに役立ちます。図 2 に示すCb1 とCb2 は、セラミック・バイパス・コンデンサであり、これらのコンデンサ推奨値は 1 μ F~22 μ Fの範囲です。高電流アプリケーションでは、図 2 のCINで示すように、大きな値のフィルタ・コンデンサを並列に追加してください。



- NOTES
1. LAYER 1: SIGNAL AND HIGH CURRENT PATHS.
 2. LAYER 2: AGND PLANE.
 3. LAYER 3 AND 4: PGND PLANES. M1 AND M2 ARE SUPERSO8 PACKAGES HIGH-SIDE AND LOW-SIDE MOSFETS FOR REGULATOR 1, RESPECTIVELY. SIMILARLY, M3 AND M4 ARE FOR REGULATOR 2. Co1 TO Co8 ARE OUTPUT CAPACITORS. CIN IS THE INPUT BULK CAPACITOR. Cb1 AND Cb2 ARE BYPASS MULTILAYER CERAMIC CAPACITORS (MLCC).

図 2. ADP1850 コントローラを採用したデュアル出力降圧コンバータの PCB レイアウト

0989C-002

熱的な考慮事項とグラウンド・プレーン

パワー・MOSFET、インダクタ、バルク・コンデンサの等価直列抵抗(ESR)は、負荷が大きい場合、発熱の大きな原因となります。熱を効率良く放散させるため、図 2 に示す例では、これらのパワー部品の下の銅面積を大きくしています。

多層PCBの放熱は 2 層PCBより優れています。熱と電気の伝導性を向上させるため、標準の 1 オンス銅層ではなく 2 オンス銅厚を使用してください。複数のPGNDプレーンをビアを使って相互接続することも役立ちます。図 3 に、4 層PCBデザインの表面、3 層目、4 層目の各PGNDプレーンを示します。

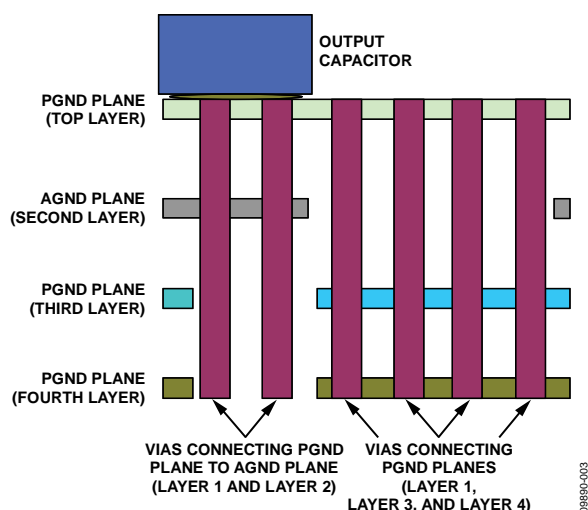


図 3. 放熱を良くする PGND プレーン接続の断面図

この複数グラウンド・プレーン手法により、ノイズに敏感な信号がアイソレーションされます。図 2 に示すように、補償部品、ソフトスタート・コンデンサ、バイアス入力バイパス・コンデンサ、出力帰還分圧器抵抗のすべての負端子がAGNDプレーンに接続されます。高電流または $\delta I/\delta t$ の大きなパスを絶縁されたAGNDプレーンへ直接接続しないでください。AGNDは、大きな電流が流れない安定したグラウンド・プレーンです。

ローサイド・スイッチ、バイパス・コンデンサ、入力/出力フィルタ・コンデンサのようなすべてのパワー部品の負端子は、PGNDプレーンへ接続します。PGNDプレーンには大きな電流が流れません。

GNDプレーン内の電圧降下は、出力精度に影響を与えるほど大きくなる場合があります。出力コンデンサの負端子を太いパターンでAGNDプレーンへ接続すると(図 4 参照)、出力精度と負荷レギュレーションが大幅に向上します。

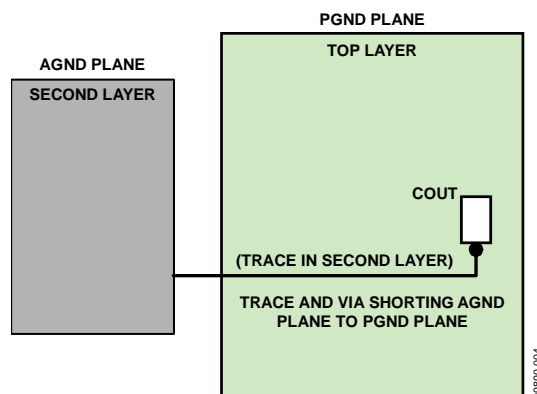


図 4. AGND プレーンと PGND プレーン間の接続

AGND プレーンは出力コンデンサまで連続して広がっており、AGNDプレーンとPGNDプレーンが出力コンデンサの負端子にあるビアに接続されています。

図 2 に、AGNDプレーンとPGNDプレーンを接続するもう 1 つの技術を示します。ここでは、AGNDプレーンが出力バルク・コンデンサ負端子の近くにあるビアによりPGNDプレーンに接続されています。図 3 に、出力バルク・コンデンサ負端子の近くにあるビアによりAGNDプレーンとPGNDプレーンが接続されている場所の断面図を示します。

電流検出パス

電流モード・スイッチング・レギュレータでの電流検出パスのレイアウトは、精度を損なうノイズをなくするために重要です。特にデュアル・チャンネル・アプリケーションでは、チャンネル間チャンネル間のクロストークをなくするために注意が必要です。

ADP1850 デュアル・チャンネル降圧コントローラでは、ローサイドMOSFETの $R_{DS(ON)}$ を制御ループ・アーキテクチャの一部として使用しています。このアーキテクチャでは、ローサイドMOSFETを流れる電流をSWxピンとPGNDxピンの間で検出しています。チャンネルのグラウンド電流ノイズが、隣接チャンネルへ混入することがあります。このため、SWxパターンとPGNDxパターンをできるだけ短くし、正確な電流検出のためにこれらをMOSFETの近くに配置します。SWxノードとPGNDxノードへの接続には必ずケルビン検出技術を使用してください(図2と図5参照)。それぞれのPGNDxパターンは、ローサイドMOSFETのソースに接続されることに注意してください。PGNDプレーンをPGNDxピンへ接続しないでください。

これに対して、**ADP1829**のようなデュアル・チャンネル電圧モード・コントローラでは、PGND1ピンとPGND2ピンは、ビアを使ってPGNDプレーンへ直接接続されます。

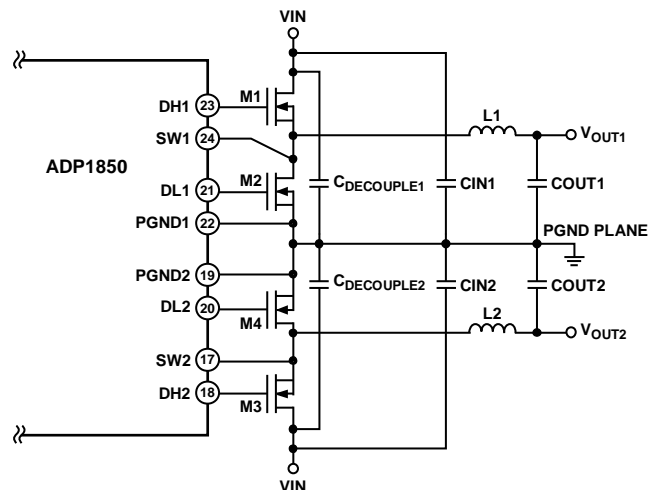


図 5.2 チャンネルに対するグラウンド接続方法

帰還パスと電流制限検出パス

帰還(FB)ピンと電流制限(ILIM)ピンは、ロー・レベル信号入力であるため、容量性と誘導性のノイズ混入に敏感です。FBパターンとILIMパターンは、 $\delta I/\delta t$ の大きいパターンから離してください。インダクタンスを大きくするループを形成するパターンには注意してください。例えば 22 pF のような小さい MLCC デカップリング・コンデンサを ILIM と PGND の間に接続すると、ノイズ・フィルタ機能の追加に役立ちます。

スイッチ・ノード

スイッチング・レギュレータ回路では AC/DC の大きな電圧/電流が発生するため、スイッチ(SW)ノードが最もノイズの大きい場所です。この SW ノードには、大きな面積の銅を使用して抵抗電圧降下を小さくする必要があります。MOSFET とインダクタは銅プレーン上で互いに近くに配置して、直列抵抗とインダクタンスを小さくする必要があります。

電磁干渉、スイッチ・ノード・ノイズ、リングングに敏感なアプリケーションでは、小型スナバを利用することができます。スナバは、図 6 の R_{SNUB} と C_{SNUB} に示すように、抵抗とコンデンサの直列接続です。SWノードとPGNDプレーンの間にスナバを接続すると、SWノードのリングングが小さくなるため、EMIレベルが小さくなります。この追加接続により、全体効率が 0.2%~0.4%だけ低下することに注意してください。

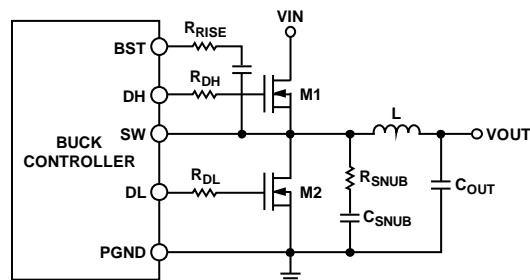


図 6.スナバとゲート抵抗回路

ゲート・ドライバ・パス

ゲート駆動パターン(DH と DL)でも $\delta I/\delta t$ が大きくなるため、リングングとオーバーシュートが発生する傾向があります。これらのパターンはできるだけ短くする必要があります。これらは、フィードスルー・ビアを使用しないで直接接続することが最適です。ビアが必要な場合は、各々に 2 個のビアを使用して、ピーク電流密度と寄生インダクタンスを小さくしてください。

DHピンまたはDLピンに直列に小さい抵抗(約 2 Ω~4 Ω)を接続してゲート駆動を低速化することも、ゲート・ノイズとオーバーシュートの軽減に役立ちます。もう 1 つのオプションは、BSTピンとSWピンの間に抵抗を接続することです(図 6 参照)。レイアウト時に 0 Ωゲート抵抗で面積を確保しておくこと、後で評価時に柔軟性を得ることができます。ゲート抵抗を追加すると、ゲート電荷の立ち上がり時間と立ち下がり時間が大きくなるので、MOSFETでのスイッチング電力損失が大きくなります。

まとめ

電流パス、感度、部品の配置を理解することは、PCBレイアウト・デザインでのノイズ問題を回避するために重要です。アナログ・デバイスすべてのパワー部品評価用ボードでは、ここで説明した最適性能を得るためのレイアウト・ガイドラインを採用しています。評価用ボードのドキュメント(UG-204 と UG-205)では、ADP1850 に固有な詳しいレイアウトを提供しています。

すべてのスイッチング電源は共通の部品と同じ電流パス感度を持っていることに注意してください。このため、電流モード降圧レギュレータの ADP1850 例で説明したガイドラインは、電圧モードおよび/または昇圧スイッチング・レギュレータのレイアウトにも直接適用することができます。