

AD9832/AD9835 の設定例

著者 : Liam Riordan

はじめに

このアプリケーション・ノートでは、AD9832/AD9835 製品の出力にサイン波をロードする方法についてご説明します。この中には AD9832/AD9835 のパワーオンからの設定、FSELECT コントロール・ビットの設定、FSELECT コントロール・ビットを使ったデバイスへの新しいデータのロードを含みます。

AD9832/AD9835 の設定

AD9832/AD9835 をパワーアップする時、デバイスをリセットする必要があります。これによって適切な内部レジスタが 0 にリセットされ、フルスケールのアナログ出力が提供されます。

AD9832 の初期化時に、スプリアスの DAC 出力が生じないように、デバイスが出力する準備ができるまで、RESET ビットを 1 に設定してください。RESET ビットは、位相レジスタ、周波数レジスタ、コントロール・レジスタをリセットしません。これらのレジスタには無効なデータが含まれるので、ユーザーはこれらを既知の値に設定する必要があります。

次に出力の生成を開始するために RESET ビットを 0 に設定してください。RESET を 0 に設定してから 7~8MCLK サイクル後にデータは DAC 出力に現れます。

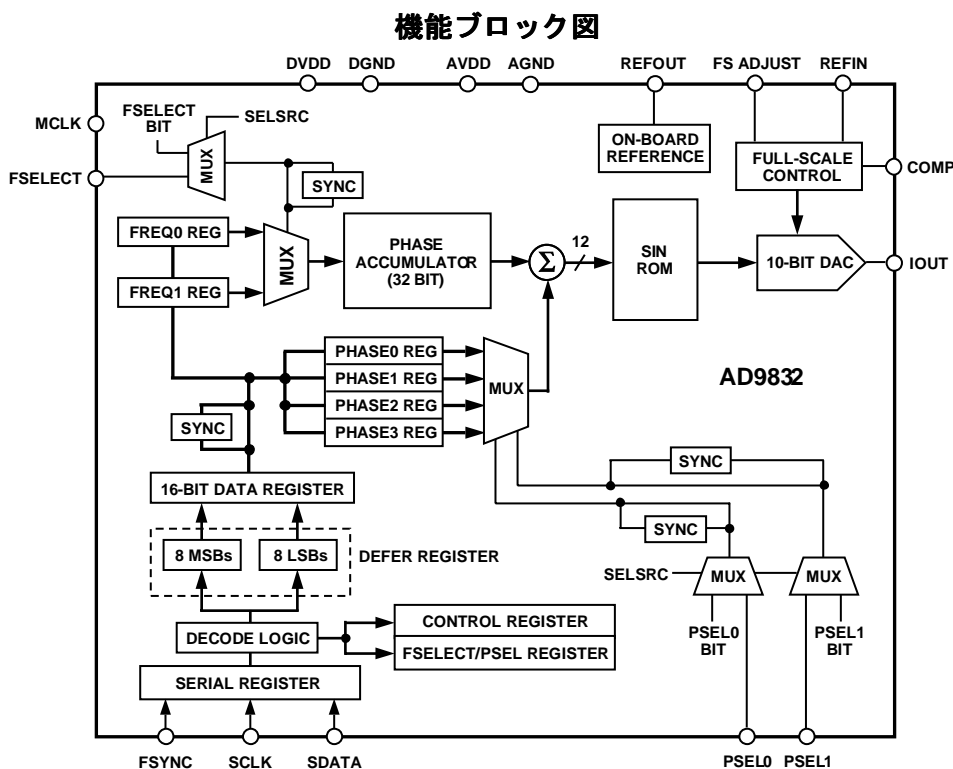


図 1. AD9832 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1	改訂履歴.....	2
AD9832/AD9835 の設定.....	1	AD9832/AD9835 の設定.....	3
機能ブロック図.....	1		

改訂履歴

2/11-Revision 0:初版

AD9832/AD9835 の設定

AD9832 と AD9835 を設定する方法を説明するためには簡単な例が最適です。さらに詳しい内容については、AN-621 アプリケーション・ノートと AD9832 又は AD9835 を参照してください。

例 1: パワーアップ後のデバイスの設定

2つの出力周波数を生成する目的のために、MCLK を 25 MHz として、3 kHz を FREQ0 レジスタにロードし、10 kHz を FREQ1 レジスタにロードします。

このための周波数レジスタの中のコードは次式によって明らかになります。

$$FreqReg = \frac{f_{OUT} \times 2^{28}}{f_{MCLK}}$$

FREQ0 = 3000 Hz については

$$FREQ0 = \frac{3000 \text{ Hz} \times 2^{32}}{25 \text{ MHz}}$$

= 515,396 decimal = 0x0007DD44

FREQ1 = 10 KHz については

$$FREQ1 = \frac{10,000 \text{ Hz} \times 2^{32}}{25 \text{ MHz}}$$

= 1,717,987 decimal = 0x001A363E

ADIsimDDS tool は希望のコードを 16 進法、10 進法あるいは 2 進法で生成する迅速で簡単な方法を提供します。

要求される初期化シーケンスを表 1 に示します。

表 1. 初期化シーケンス

16 進数	2 進数
0xD000	1101 0000 0000 0000
0x3044	0011 0000 0100 0100
0x21DD	0010 0001 1101 1101
0x3207	0011 0010 0000 0111
0x2300	0010 0011 0000 0000
0x343E	0011 0100 0011 1110
0x2536	0010 0101 0011 0110
0x361A	0011 0110 0001 1010
0x2700	0010 0111 0000 0000
0x9000	1001 0000 0000 0000
0XC000	1100 0000 0000 0000

コマンド・シーケンスの説明

参考のために AD9832 又は AD9835 の中のレジスタ表を使用します。

0xD000— AD9832 をリセットする。

RESET ビット D12 を 1 にセット。これにより内部レジスタが 0 にリセットされ、アナログ出力がフルスケールになります (図 2 参照)。Ch1 はリセットに設定されたスプリアス出力です。Ch2 は FSYNC、Ch3 は SDATA、Ch4 は SCLK です。データは SCLK の立ち下がりエッジで有効になる事に注意してください。

8SCLK サイクル後の SDATA のハイ・レベルは無視してください；これは使用される特別な SPI ドライバの固有の特長でデバイスには影響しません。

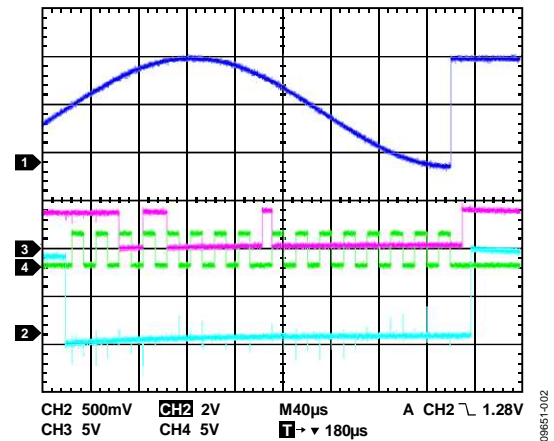


図 2. AD9832/AD9835 をリセット状態にする -0xD000

0x3044

- 8 ビットを DEFER レジスタに書き込む
- 周波数レジスタ 0, L LSB データ
- 8 ビット・データ=0x44.

0x21DD

- (8 ビット+保持された 8 ビット) を選択した周波数レジスタに書き込む。
- 周波数レジスタ 0, H LSB データ
- 8-ビット データ (0xDD) + 保持された データ = 0xDD44.

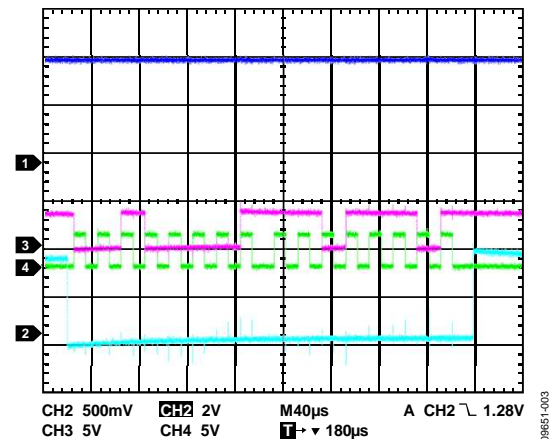


図 3. 0x21DD をロードする

0x3207—周波数レジスタ 0, L MSB データ

0x2300— 周波数レジスタ 0, H MSB データ

0x343E— 周波数レジスタ 1, L LSB データ

0x2536— 周波数レジスタ 1, H LSB データ

0x361A— 周波数レジスタ 1, L MSB データ

0x2700— 周波数レジスタ 1, H MSB データ

0x9000—コマンド・ビット C15、C14=[1:0]を使って SELSRC を 1 に設定する。

- SELSRC を 1 に設定—FSELECT はデータ・ビットにより制御されます。レイテンシは 2MCLK サイクルに増大します。

0xC000—周波数レジスタ 1, L LSB データ。

- リセット・モードを終了する。RESET ビットを 0 に設定してから 8MCLK サイクル後に、(FREQ0 レジスタからの) 3 kHz 信号が、DAC の出力に現れます。

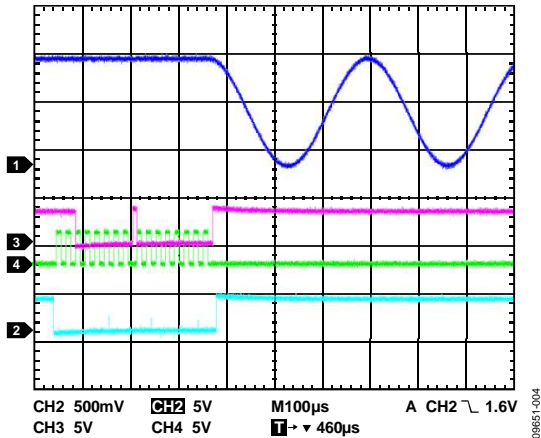


図 4. デバイスをリセットから抜け出させる—0xC000

例 2: FSELECT ビットを変更する

デバイスの出力は現在 3 kHz 信号に設定されています。そして FSELECT ピンではなく、FSELECT ビットによって制御可能となっています。この周波数を 10 kHz へ変更するには、コントロール・レジスタに書き込んで、FSELECT ビットを変更するだけです。

0x5800—FREQ1 レジスタを選択する。

- すなわち、0x5 をコマンド・ビット・C3:C0 に書き込む。
- FREQ1 レジスタを選択するために、ビット D11 に 1 を書き込む。(図 5 を参照)

3 kHz FREQ0 の出力に戻るには、FSELECT ビットを 0 にリセットする。

0x5800—FREQ0 レジスタを選択する。

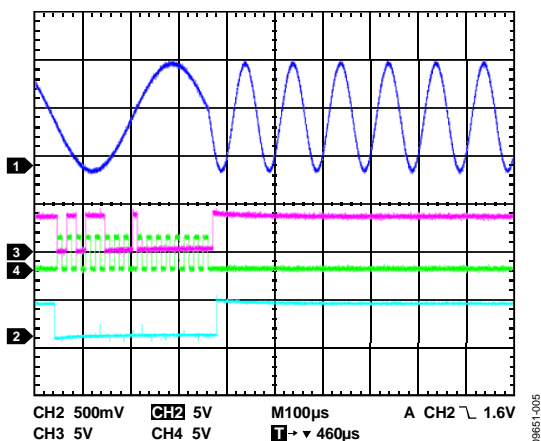


図 5. FSELECT ビットを変更する—0x5800

例 3: 必要に応じて出力を更新する。

次のステップは RESET モードにする事なしに、FREQ1 レジスタを 10 kHz から 40 kHz に変更する事です。

- FREQ1 = 40 kHz について

$$FREQ1 = \frac{40,000 \text{ Hz} \times 2^{32}}{25 \text{ MHz}}$$

$$= 6,871,948 \text{ decimal} = 0x0068DB8C$$

次のコマンド・シーケンスをロードします。

- 0x348C—周波数レジスタ 1, L LSB データ。
- 0x25DB—周波数レジスタ 1, H LSB データ。
- 0x3668—周波数レジスタ 1, L MSB データ。
- 0x2700—周波数レジスタ 1, H MSB データ。
- 0x9000—同期したデータで出力にラッチする。この場合、再びコマンド・ビット C15、C14 = [1:0] を使用して SELSRC ビットを 1 に設定。デバイスは単純に SYNC エッジの立下りでデータをラッチします。(図 6 を参照)

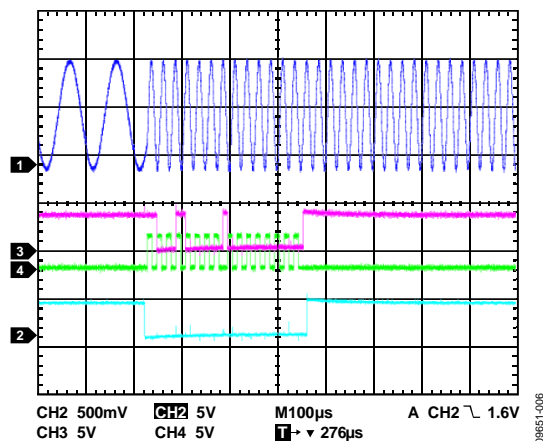


図 6. FREQ1 出力を 10 kHz から 40 kHz へ変更する