

## 2 チャンネル乗算型 DAC と単一の I/V 変換アンプを使用した AC 信号のオフセットと振幅の制御

著者: Estibaliz Sanz

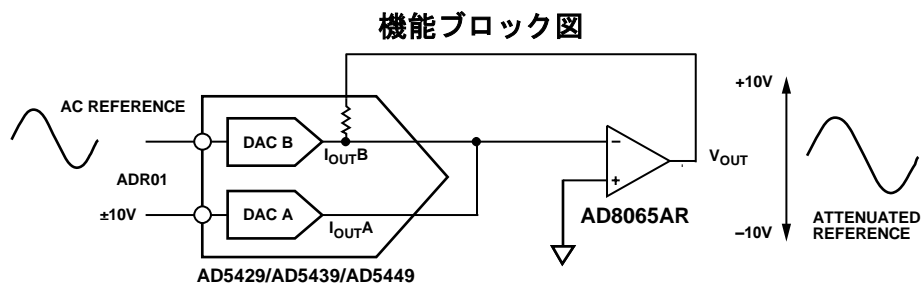
### はじめに

このアプリケーション・ノートでは、ここでご紹介する回路が AC と DC 両方の入力を可能にするために追加する加算アンプと IOUT の構成回路の必要性をどのように取り除き、データ・アキュイジション、計測に理想的な回路にするかをご説明します。

図 1 に示す回路は大信号乗算型 DAC [AD5429/AD5439/AD5449](#) で構成されていますが、チャンネル 1 に処理する AC リファレンス信号を印加し、チャンネル 2 には [ADR01](#) からこの信号のオフセットをシフトする +10 V 入力を印加して動作しています。

[ADR01](#) は高精度で高安定性の低ドリフト電圧リファレンスです。AC 信号のゲインを調整するために単一の [AD8065](#) のみが使用されています。

[AD8065](#) は AC 性能が優れており低ノイズ（この回路の目的には理想的です）なので、このアプリケーションに最適です。DAC 出力電流は加算され、[AD8065](#) により電圧に変換されます。従って AC 信号の振幅とオフセットは単一の DAC と単一のオペアンプで制御する事ができます。



NOTES  
1. ADDITIONAL PINS OMITTED FOR CLARITY.

図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2010 Analog Devices, Inc. All rights reserved.

**アナログ・デバイセズ株式会社**

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

Rev. 0 | Page 1 of 8

## 目次

はじめに.....	1	安定性の問題.....	4
機能ブロック図.....	1	出力電圧.....	5
乗算型 DAC.....	3	コードをロードした例.....	5
ゲインの追加.....	4	正しいオペアンプを選ぶ.....	6

## 改訂履歴

2/11—Revision 0:初版

## 乗算型 DAC

乗算型 DAC は従来の固定リファレンスの DAC とは違い、任意又は AC リファレンス信号を印加して動作させる事ができます。

AC 信号のゲインを調整する簡単な方法は従来の反転オペアンプ段を使う事です。十分な帯域幅をもつオペアンプを選び、次式に従ってゲインを調整します。

$$V_{OUT} = -[RDAC/RFB (V_{IN})]$$

乗算型 DAC は任意の電圧又は AC 電圧信号の乗算に理想的なビルディング・ブロックを提供します。バッファ付き電流出力 DAC 構成では、非反転ゲイン・アンプ構造を基本としています。乗算型 DAC は R-2R 構造を採用して、図 2 に示すように可変 RDAC 抵抗の機能を実現しています。V<sub>REF</sub> ピンから見た DAC の入力インピーダンスは一定ですが、出力インピーダンスはコードによって変わり、等価な可変 RDAC 値を与えます。

図 3 に示すように乗算型 DAC では、電流は I<sub>out1</sub> ノードに接続された仮想グラウンド、又はグラウンド・ノード (デバイスによっては I<sub>out2</sub>) に流れるので、出力電圧のグリッジは非常に小さくなります。

この回路構成で IOOUT DAC を使用する主な利点の 1 つは、内蔵の R<sub>FB</sub> 抵抗が RDAC の等価抵抗にマッチングしているため、ゲイン温度係数の誤差が非常に小さくなる事です。

出力アンプをユニポーラ・モードに接続した場合、出力電圧は次式で与えられます。

$$V_{OUT} = -\frac{D}{2^n} \times V_{REF}$$

ここで、  
D は、DAC にロードされるデジタル・ワードの値です。

D = 0 to 255 (8-bit DACs).

= 0 to 1023 (10-bit DACs).

= 0 to 4095 (12-bit DACs).

= 0 to 16,383 (14-bit DACs)

= 0 to 65,536 (16-bit DACs)

n はビット数です。

つまり、乗算型 DAC の出力信号はリファレンス入力とデジタル入力値の積に比例します。

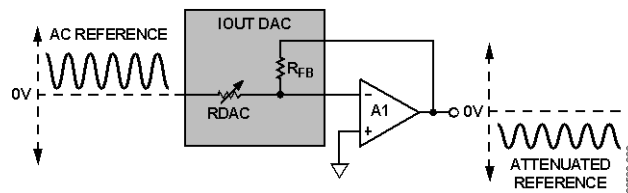


図 2.反転ゲイン回路

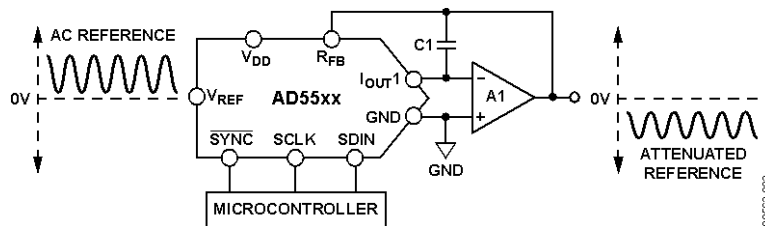


図 3.乗算型 DAC,  $V_{OUT} = 0 \sim -V_{REF}$

## ゲインの追加

$V_{IN}$ より大きい出力電圧が必要なアプリケーションでは、ゲインを上げるために外付けアンプを追加するか又は一段で実現することも可能です。

図4に示した推奨回路を使用して、回路のゲインを増やします。R1、R2、R3はすべて同じような温度係数を持つ必要がありますが、DACの温度係数に一致する必要はありません。

## 安定性の問題

目的の波形の信号処理を実現するために考慮しなければならない重要な部品は補正用コンデンサです。DACの内部出力容量によりオープン・ループ応答に極が導入されるため、閉ループ・ランプ発生回路でリングングや不安定を生ずることがあります。これを補償するために、通常

図3に示すように外付け帰還コンデンサC1をDACの内部 $R_{FB}$ と並列に接続します。

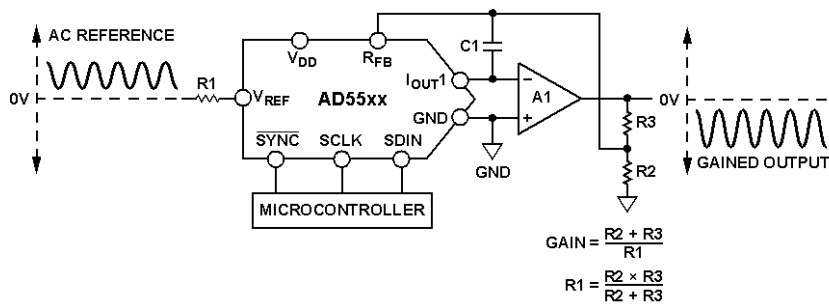
もしC1の値が小さすぎると、出力で波形歪を生じ、もしC1の値が大きすぎると、システムの帯域幅に悪影響を与える可能性があります。

DACの内部出力キャパシタンスがデジタル・コードの値によって変化するので、C1の正しい値を決めるのは困難です。そこで値は次式に従い最適に近似されます。

$$C1 = 20 \sqrt{\frac{C_o}{2\pi \times R_{FB}} \times \frac{1}{GBW}}$$

ここで、GBWは使用するオペアンプの小信号ユニティゲイン帯域幅積です。

$C_o$ はDACの出力キャパシタンスです。



09653-004

図4.乗算型DACを使用した信号ゲイン

## 出力電圧

DAC A に固定の 10 V リファレンスを入力し、DAC B の入力として 2 V オフセットのある 4 V サイン波を入力した場合、AD5449 の出力電圧はデジタル・コードと DAC にロードされる下記の値によって変化します。

DAC A: オフセットの変化 (0V~10V)

DAC B: 振幅の変化(0V~4V)

出力アンプをユニポーラ・モードに接続したので、出力電圧は次式で与えられます。

$$V_{OUT} = -V_{REF} \times D / 2^n$$

ここで、

D は、DAC にロードされるデジタル・ワードの値です; 0 から 4095 までの値になります。

n はビット数です。

### コードをロードした例

図 5、図 6、図 7 は DAC A と DAC B の両方にデジタル・コードをロードした場合の出力電圧を示します。

予想される出力オフセットは DAC A の電圧と DAC B のオフセット電圧の合計になりますが、出力信号はオペアンプにより反転されます。

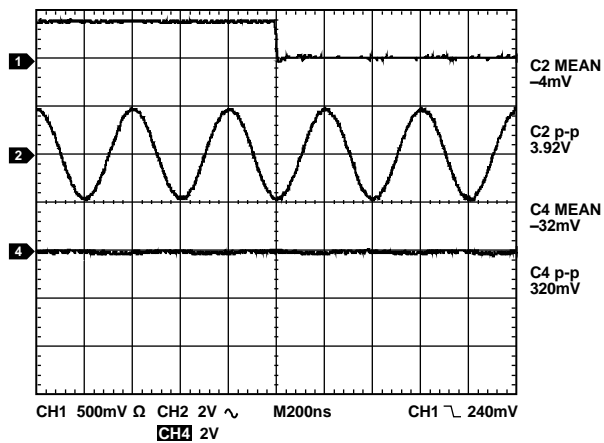


図 5.ゼロ・スケール

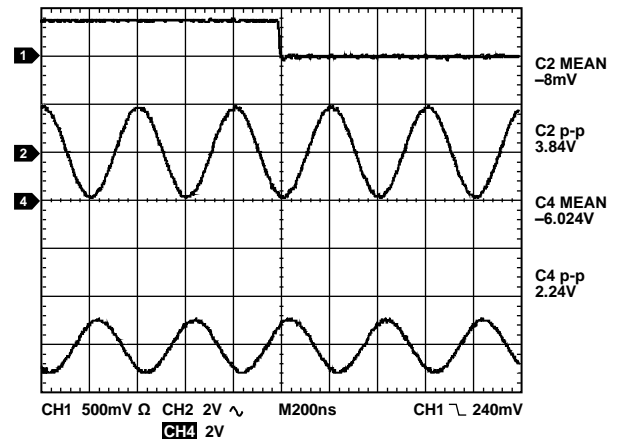


図 6.ハーフ・スケール

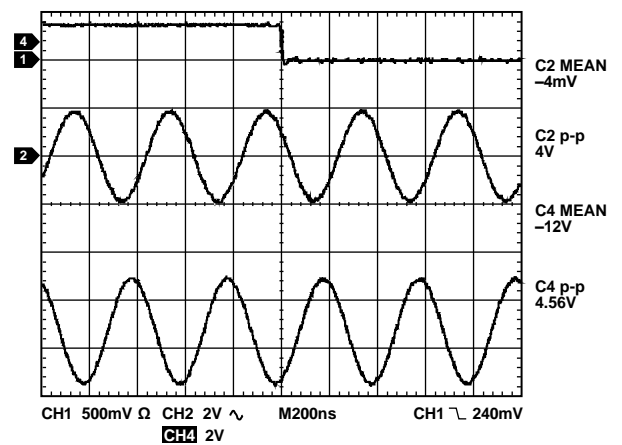


図 7.フル・スケール

09563-005

09563-006

09563-007

## 正しいオペアンプの選択

乗算型 DAC 回路の性能は、選択された電流を電圧に変換するオペアンプに大きく依存します。信号の DC 精度を保つためには、DAC 出力の最小分解能を損なわないように、低バイアス電流、低オフセット電圧のオペアンプを選ぶ事が重要です。この事についてのさらに詳しい事は適切な乗算型 DAC のデータシートに記載されています。

相対的に高速な AC 信号や任意の信号を乗算する必要のあるアプリケーションでは、オペアンプの出力信号の特性が悪化しないように広帯域幅で高スルーレートのオペアンプを使用する必要があります。

オペアンプのゲイン帯域幅積は帰還抵抗で実現する帰還負荷によって制限されます。それは又デバイスを設定するゲイン構成によっても制限されます。必要とされるゲイン帯域幅を決定するための一般的な経験による方法は、処理する信号の周波数の 10 倍の -3 dB 帯域をもつオペアンプを選ぶ事です。

オペアンプのスルーレートはもし注意深く考慮されていない場合には乗算型 DAC を制限するもう一つの仕様となりえます。AD54xx と AD55xx ファミリの製品に対しては経験から、一般的にスルーレートが 100 V/ $\mu$ s のオペアンプで十分です。

表 1.適切な ADI の高速オペアンプの選択

製品番号	電源電圧(V)	BW @ ACL (MHz)	スルーレート (V/ $\mu$ s)	V <sub>os</sub> (Max) ( $\mu$ V)	I <sub>B</sub> (Max) (nA)	パッケージ
AD8065	5 to 24	145	180	1500	0.006	SOIC-8, SOT-23-5
AD8066	5 to 24	145	180	1500	0.006	SOIC-8, MSOP-8
AD8021	5 to 24	490	120	1000	10,500	SOIC-8, MSOP-8
AD8039	3 to 12	350	425	3000	750	SOIC-8, SC70-5, SOT-23-5
ADA4899	5 to 12	600	310	35	100	LFCSP-8, SOIC-8
AD8057	3 to 12	325	850	5000	500	SOT-23-5, SOIC-8
AD8058	3 to 12	325	850	5000	500	SOIC-8, MSOP-8
AD8061	2.7 to 8	320	650	6000	350	SOT-23-5, SOIC-8
AD8062	2.7 to 8	320	650	6000	350	SOIC-8, MSOP-8
AD9631	$\pm 3$ to $\pm 6$	320	1300	10,000	7000	SOIC-8, PDIP-8

ノート

ノート