

乗算型 DAC—固定リファレンスによる波形発生アプリケーション

著者: Liam Riordan

概要

乗算型 D/A コンバータの(DAC) R-2R アーキテクチャは、十分な AC 性能を持つアンプと組み合わせて使うと、低ノイズ、低グリッチ、高速セトリング・アプリケーションに最適です。このアプリケーション・ノートでは、電流出力乗算型 DAC の原理について詳しく説明し、これらの DAC が固定 DC 入力リファレンスからの波形発生に適している理由を説明します。

原理

乗算型 DAC は、波形発生アプリケーションに対する最適なビルディング・ブロックを提供します。バッファ付き電流出力 DAC アーキテクチャでは、非反転ゲイン・アンプ構造を採用しています。乗算型 DAC は R-2R アーキテクチャを採用して、図 1 に示す可変 RDAC 抵抗の機能を実現しています。V_{REF} ピンから見た DAC の入力インピーダンスは固定ですが、出力インピーダンスは、等価な可変 RDAC 値を与えるコードに依存して変化します。www.analog.com/MultiplyingDAC も参照してください。

このアプリケーション・ノートで使用するデバイス AD55xx と AD54xx は、www.analog.com/MultiplyingDAC に掲載している乗算型 DAC を意味します。

機能ブロック図

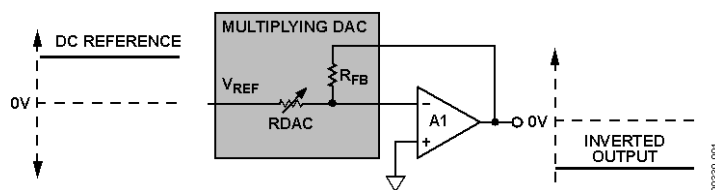


図 1.ユニポーラ反転構成

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

概要.....	1	安定性の問題.....	4
原理.....	1	波形発生用 DAC の重要仕様.....	5
機能ブロック図.....	1	セトリング・タイム.....	5
乗算型 DAC.....	3	ミッドスケール・グリッチ.....	5
バイポーラ動作.....	3	デジタル SFDR.....	6
正の電圧入力/正の電圧出力.....	3	オペアンプの選択.....	7

乗算型DAC

乗算型 DAC では、電流が I_{OUT1} ノードに接続された仮想グラウンドまたはグラウンド・ノード(デバイスによっては I_{OUT2} ノード)に流れるため、出力電圧のグリッチは非常に小さくなります(図 2 参照)。

この構成で I_{OUT} DAC を使う主要な利点の 1 つは、内蔵 R_{FB} 抵抗が RDAC の等価抵抗と一致するため、ゲイン温度係数の誤差が非常に小さくなることです。

出力アンプをユニポーラ・モードで接続した場合、図 2 に示すように、出力電圧は次式で与えられます。

$$V_{OUT} = -\frac{D}{2^n} \times V_{REF}$$

ここで、

D は、DAC に設定されるデジタル・ワード(非整数値)。

- $D = 0 \sim 255$ (8 ビット AD5450)
- $= 0 \sim 1023$ (10 ビット AD5451)
- $= 0 \sim 4095$ (12 ビット AD5452)
- $= 0 \sim 16,383$ (14 ビット AD5453)
- $= 0 \sim 65,536$ (16 ビット AD5543)

n = ビット数。

乗算型 DAC の出力信号は、リファレンス入力とデジタル入力値の積に比例します。

バイポーラ動作

アプリケーションによっては、固定入力リファレンス電圧からバイポーラ出力電圧を発生させることが必要となる場合があります。これは、2 つ目のアンプと外付け抵抗を使用することにより容易に実現できます(図 3)。

2 つ目のアンプがゲイン=2 を提供し、リファレンスからのオフセットを使って外付けアンプをバイアスすると、バイポーラ動作が得られます。

この回路の伝達関数は、入力データ(D)がゼロ・スケール($V_{OUT} = -V_{REF}$)→ミッド・スケール($V_{OUT} = 0$ V)→フルスケール($V_{OUT} = +V_{REF}$)へ増加することに対応して、負と正の出力電圧が発生することを示しています。

$$V_{OUT} = \left(V_{REF} \times \frac{D}{2^{n-1}} \right) - V_{REF}$$

正の電圧入力/正の電圧出力

正の電圧出力を発生させるときは、外付け反転オペアンプ回路を使って、入力または出力の反転信号を再度反転させることができます。乗算型 DAC によっては、一致する抵抗(温度係数トラッキング機能付き)を内蔵しているものがあり、追加オペアンプ(図 4 では A2)を接続するだけで正出力を得ることができます。このオペアンプは、デュアル・デバイスに内蔵されている 2 個組みオペアンプの片方です。

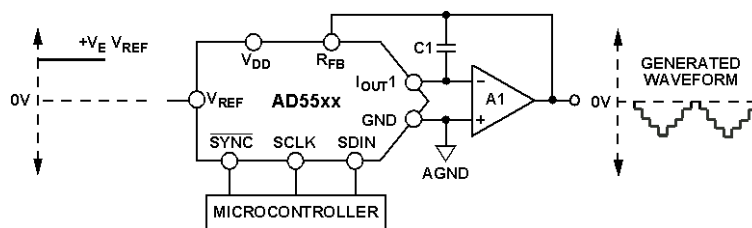
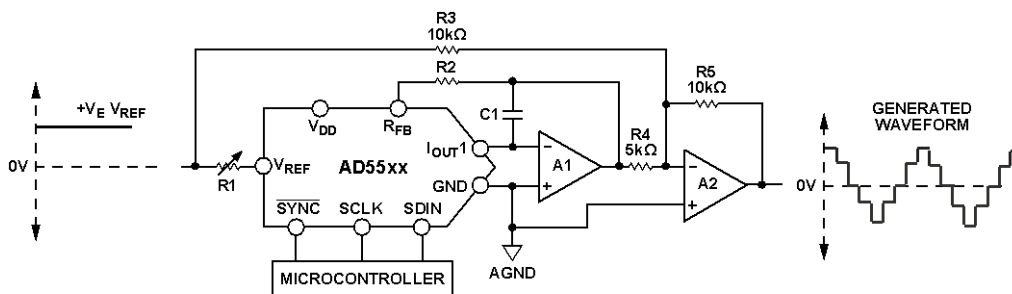


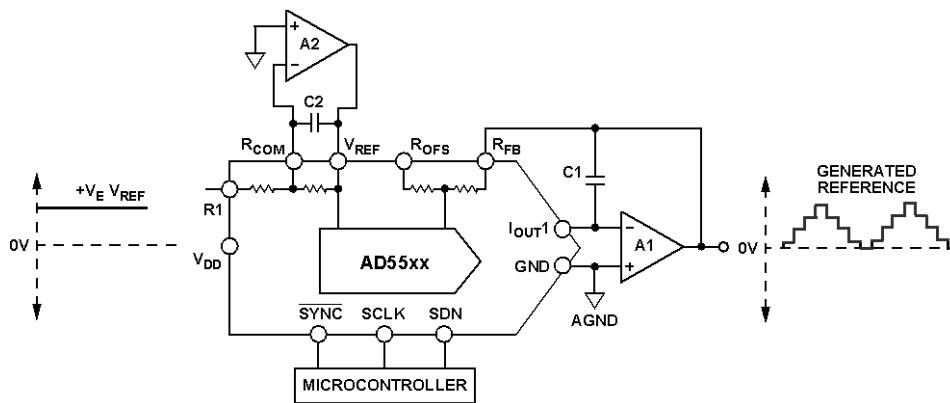
図 2. 乗算型 DAC、 $V_{OUT} = 0$ V ~ $-V_{REF}$



NOTES

1. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED. ADJUST R1 FOR $V_{OUT} = 0$ V WITH CODE HALF SCALE LOADED TO DAC.
2. MATCHING AND TRACKING IS ESSENTIAL FOR RESISTORS R3 AND R4.

図 3. 乗算型 DAC、 $V_{OUT} = -V_{REF} \sim +V_{REF}$



*UNCOMMITTED RESISTOR VERSIONS ONLY.

06339-004

図 4.乗算型 DAC、 $V_{OUT} = 0V \sim V_{REF}$

安定性の問題

目的の波形コンデショニング信号を実現するために考慮しなければならない重要部品は、補償コンデンサです。DAC の内部出力容量によりオープン・ループ応答内に極が導入されるため、クローズド・ループ・ラング発生回路でリングングや不安定が発生することがあります。これを補償するため、通常、外付け帰還コンデンサ $C1$ が DAC の内部 R_{FB} と並列に接続されます(図 2 参照)。 $C1$ が小さすぎると出力でリングングが発生し、大きすぎるとシステムのセトリング・タイムに悪影響を与えます。

DAC の内部出力容量はコードにより変化するため、 $C1$ の正確な値を決めることは困難です。この値は、次式で近似されます。

$$C1 = 2 \sqrt{\frac{C_o}{2\pi \times R_{FB}} \times \frac{1}{GBW}}$$

ここで、 GBW は使用するオペアンプの小信号ユニティ・ゲイン帯域幅積。 C_o は DAC の出力容量。

波形発生用DACの重要仕様

固定リファレンス入力電圧から波形を発生する際に考慮すべき幾つかの重要な AC 仕様としては、セトリング時間、ミッドスケール・グリッチ、デジタル SFDR などがあります。

セトリング・タイム

DAC が真の広帯域低インピーダンス・ソース(リファレンス電圧とグラウンド・ピン)から駆動される場合、セトリング時間は短くなります。したがって、乗算型 DAC のスルーレートとセトリング時間はオペアンプにより支配されます。中でもオペアンプの AC 性能を決定する仕様は、小さく維持する必要のある入力容量と 3 dB 小信号帯域幅です。オペアンプの帯域幅は、DAC の帰還抵抗内でそのオペアンプが駆動しなければならない大きな負荷により制限されることに注意してください。例えば、10 kΩ 帰還抵抗の駆動は十分大きな負荷であるため、回路構成の帯域幅を決定する支配的な極になります。

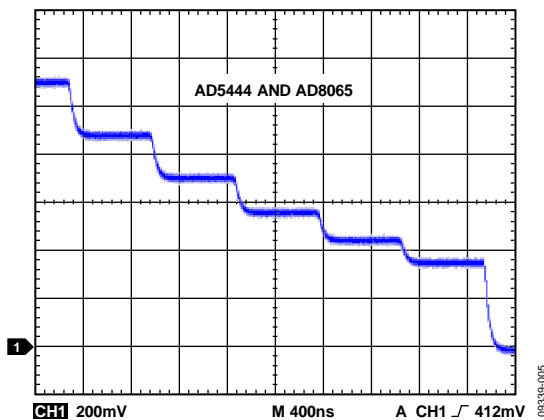


図 5. 100 ns セトリング・タイム

ミッドスケール・グリッチ

R-2R 構造の場合、コード変化により発生する大きなグリッチは、ミッドスケールを中心とする 1 LSB 変化で発生します。AD5444 のような 12 ビット・システムでは、ミッドスケール変化は、7FF_H から 800_H へのコード変化または 800_H から 7FF_H へのコード変化です。これらのグリッチが大きい場合には、モーター/バルブ/アクチュエータ制御アプリケーションで悪影響が生じます。乗算型 DAC が 7FF_H から 800_H へ変化する際、DAC 内の MSB スイッチが他のスイッチより低い速度で切り替わります。このため、DAC で数 n sec 間 000_H が続いた後に MSB スイッチが 1 に設定されます。図 6 のオレンジ色のカーブはこの例を表わしています。ここでは、出力が 0 V へ向かった後に MSB が切り替わり、DAC 出力が 800_H へ戻ります。

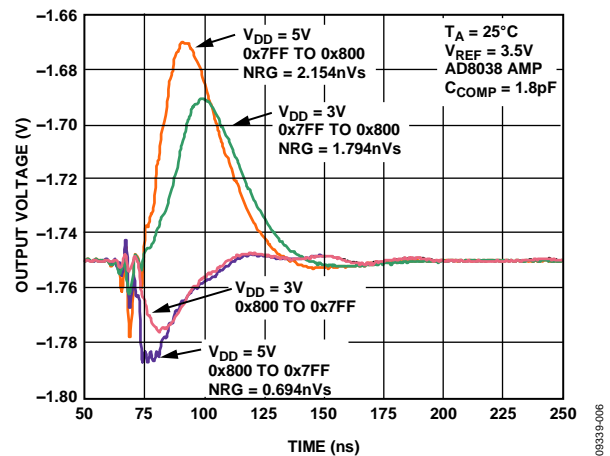


図 6. ミッドスケール・グリッチ

デジタル SFDR

スプリアス・フリー・ダイナミック・レンジ(SFDR)とは、基本波信号がスプリアス・ノイズにより干渉または歪みを受けない場合の DAC の有効ダイナミック・レンジを意味します。SFDR は、基本波の振幅と、DC からナイキスト周波数(DAC サンプルング・レートの 1/2)までの高調波または非高調波スプリアスの最大振幅との差として表されます。狭帯域 SFDR は、任意のウィンドウ・サイズで測定した SFDR を意味します。

理想正弦波は、1サイクルあたり無限のポイント数を持ちますが、デジタル的に発生された正弦波は、固定の更新レートとDACの分解能により制限されます。サイクルあたりのポイント数は次式で与えられます。

$$N = \frac{\text{Clock}}{f_{OUT}}$$

ここで、

N = サンプル・ポイント数。

Clock = DAC の更新レート。

f_{OUT} = 発生波形の出力周波数。

図7の場合、12ビットのAD5444を使って、20 kHzの正弦波を更新レート1 MHzで発生しています。これにより、1周期あたり50サンプル・ポイントが得られます。AD5444の最大更新レートは2.7 MSPSです。これより多くのサンプル・ポイントを持つ波形を発生するためには、さらに高速な更新レートが必要です。パラレル・インターフェースでAD5445を接続すると、更新レートは20 MSPSになります。

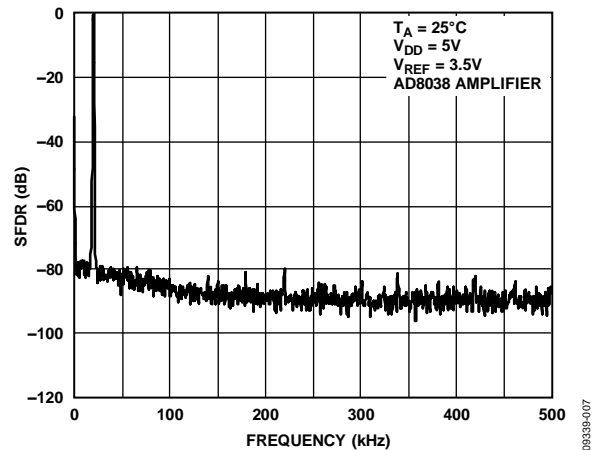


図 7.広帯域 SFDR、 $f_{OUT} = 20\text{ kHz}$ 、クロック = 1 MHz

オペアンプの選択

乗算型 DAC 回路の性能は、選択したオペアンプがラダー出力でヌル電圧を維持し、電流/電圧変換を実行する能力に強く依存します。最適 DC 精度を得るためには、DAC 分解能と釣り合った誤差を維持するために、低いオフセット電圧と低いバイアス電流を持つオペアンプを選択することが重要です。詳細なオペアンプ仕様は、デバイスのデータシートに記載されています。

デジタル波形が固定 DC リファレンスから発生されるアプリケーションの場合、高いスルーレート、広い帯域幅、低ノイズを持つオペアンプが必要です。これは、次の DAC コード変化の前に出力電圧を正確かつ迅速に安定させるために必要です。

オペアンプ回路のゲイン帯域幅は、帰還回路のインピーダンス・レベルとゲイン構成により制限されます。必要とされる GBW を求めるときの有効なガイドラインは、リファレンス信号周波数の 10 倍の -3 dB 帯域幅を持つオペアンプを選択することです。

オペアンプのスルーレートに注意を払わないと、乗算型 DAC が制限を受けることがあります。AD54xx と AD55xx デバイスに対しては、一般にスルーレート 100 V/μs のオペアンプは十分な性能です。

表 1 に、乗算アプリケーションと組み合わせて使用できるオペアンプの選択肢を示します。

表 1. アナログ・デバイセズ高速オペアンプの選択肢

Part No.	Supply Voltage (V)	BW @ ACL (MHz)	Slew Rate (V/μs)	V _{os} (Maximum) (μV)	I _B (Maximum) (nA)	Packages
AD8065	5 to 24	145	180	1500	0.006	SOIC-8, SOT-23-5
AD8066	5 to 24	145	180	1500	0.006	SOIC-8, MSOP-8
AD8021	5 to 24	490	120	1000	10,500	SOIC-8, MSOP-8
AD8038	3 to 12	350	425	3000	750	SOIC-8, SC70-5, SOT-23-5
ADA4899	5 to 12	600	310	35	100	LFCSP-8, SOIC-8
AD8057	3 to 12	325	850	5000	500	SOT-23-5, SOIC-8
AD8058	3 to 12	325	850	5000	500	SOIC-8, MSOP-8
AD8061	2.7 to 8	320	650	6000	350	SOT-23-5, SOIC-8
AD8062	2.7 to 8	320	650	6000	350	SOIC-8, MSOP-8
AD9631	±3 to ±6	320	1300	10,000	7000	SOIC-8, PDIP-8