

シンプル・シーケンサ ADM108x を使った パワーアップ・シーケンスとパワーダウン・シーケンス

著者: Naiqian Ren

概要

シンプル・シーケンサADM108xを使うと、コンデンサで設定可能な時間遅延により、パワーアップ時に2つの電圧レールに対する簡単なシーケンシングを行うことができます。同じファミリーのもう1つのデバイスを追加使用すると、別々の設定可能な時間遅延を使って、2つの電圧レールに対してパワーアップとパワーダウンのシーケンシングを行うことができます(図1参照)。このアプリケーション・ノートでは、このような回路のデザイン方法を説明します。

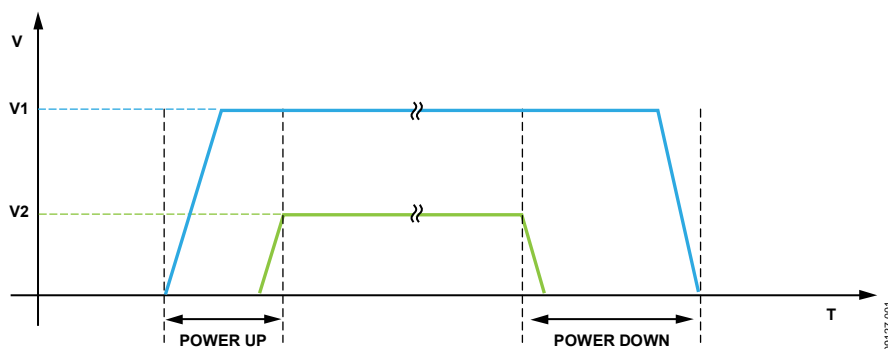


図1.パワーアップとパワーダウンの代表的なシーケンス条件

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2010 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

概要.....	1	タイミング図.....	4
改訂履歴.....	2	検証.....	5
実装.....	3	回路図.....	5
回路デザイン.....	3	テスト結果.....	6

改訂履歴

6/10—Revision 0: Initial Version

タイミング図

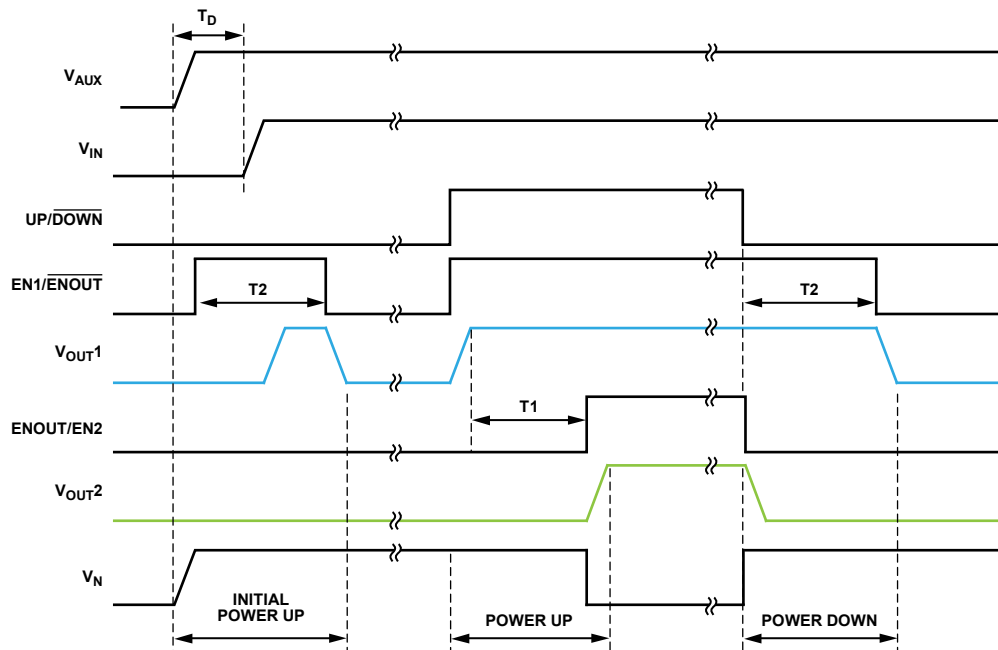


図 3.回路のタイミング図

図 3 に、回路タイミング図の概要を示します。このタイミングは、初期パワーアップ、パワーアップ・シーケンス、パワーダウン・シーケンスの3つのフェーズから構成されています。

初期パワーアップ・フェーズでは、 $\overline{\text{UP/DOWN}}$ 信号がロー・レベルに維持されます。 V_{AUX} がハイ・レベルになると、ADM1087のENOUT出力がT2時間(これはC2により制御されます)後にハイ・レベルになり、その後ロー・レベルになります。この区間中に、1つ目のレギュレータは、EN1がENOUTに接続されているため短時間イネーブルされることがあります。初期パワーアップ・フェーズで1つ目のレギュレータがイネーブルされている間、 T_{ON} は V_{AUX} と V_{IN} の間のパワーアップ遅延 T_{D} に依存します。T2は $T_{\text{ON}} = T_2 - T_{\text{D}}$ の関係を満たします。

$T_{\text{D}} > T_2$ の場合、例えば V_{AUX} が V_{IN} よりT2 sec以上前にパワーアップする場合、1つ目のレギュレータは初期パワーアップ・フェーズの間イネーブルされません。 V_{AUX} を V_{IN} で置換える場合は、 T_{D} がゼロであるため、レギュレータは初期パワーアップ・フェーズでT2時間の間イネーブルされます。

初期パワーアップ時に1つ目の電源の狭いパルスで問題を生じないシステムでは、 V_{IN} を回路電源にのみ使用することが推奨されます。

もう1つのオプションは、 $\overline{\text{UP/DOWN}}$ 信号と V_{IN} を接続する方法です。この場合、 V_{IN} が立ち上がると、1つ目のレギュレータが自動的にターンオンし、1つ目のレギュレータ出力が正常になってからT2 sec後に2つ目のレギュレータがイネーブルされます。

パワーアップ・シーケンス・フェーズでは、 $\overline{\text{UP/DOWN}}$ をハイ・レベルにするとシーケンスが開始され、これによりADM1087のENOUTがハイ・レベルになるため、1つ目のレギュレータがイネーブルされます。1つ目のレギュレータ出力がADM1085の V_{IN} ピンで検出されると、T1 sec後にENOUTピンがハイ・レベルになって、2つ目のレギュレータがイネーブルされます。T1はC1により制御され、パワーアップ時の出力電圧 V_{OUT1} と出力電圧 V_{OUT2} の間のプログラマブルな遅延が発生されます。このフェーズでのシーケンス方法は、シンプル・シーケンサADM108xの標準的な使用によります。

パワーダウン・シーケンス・フェーズでのシーケンスは、 $\overline{\text{UP/DOWN}}$ 信号をロー・レベルにすることにより開始されます。これの直接的な影響は、ADM1085のENINピンがロー・レベルになるため、ENOUTピンもロー・レベルになることです。このために、EN2ピンを介して2つ目のレギュレータがディスエーブルされ、さらにNch-MOSFETのゲートがロー・レベルに駆動されるためN-ch-MOSFETもターンオフします。FETがオフすると、ADM1087の V_{IN} ピンがハイ・レベルになり、ENINが既にロー・レベルであるため、T2 sec後にそのENOUT出力がロー・レベルになって、EN1を介して1つ目のレギュレータがターンオフします。C2によりT2が制御されて、パワーダウン時の出力電圧 V_{OUT2} と出力電圧 V_{OUT1} の間のプログラマブルな遅延が発生されます。

検証

回路図

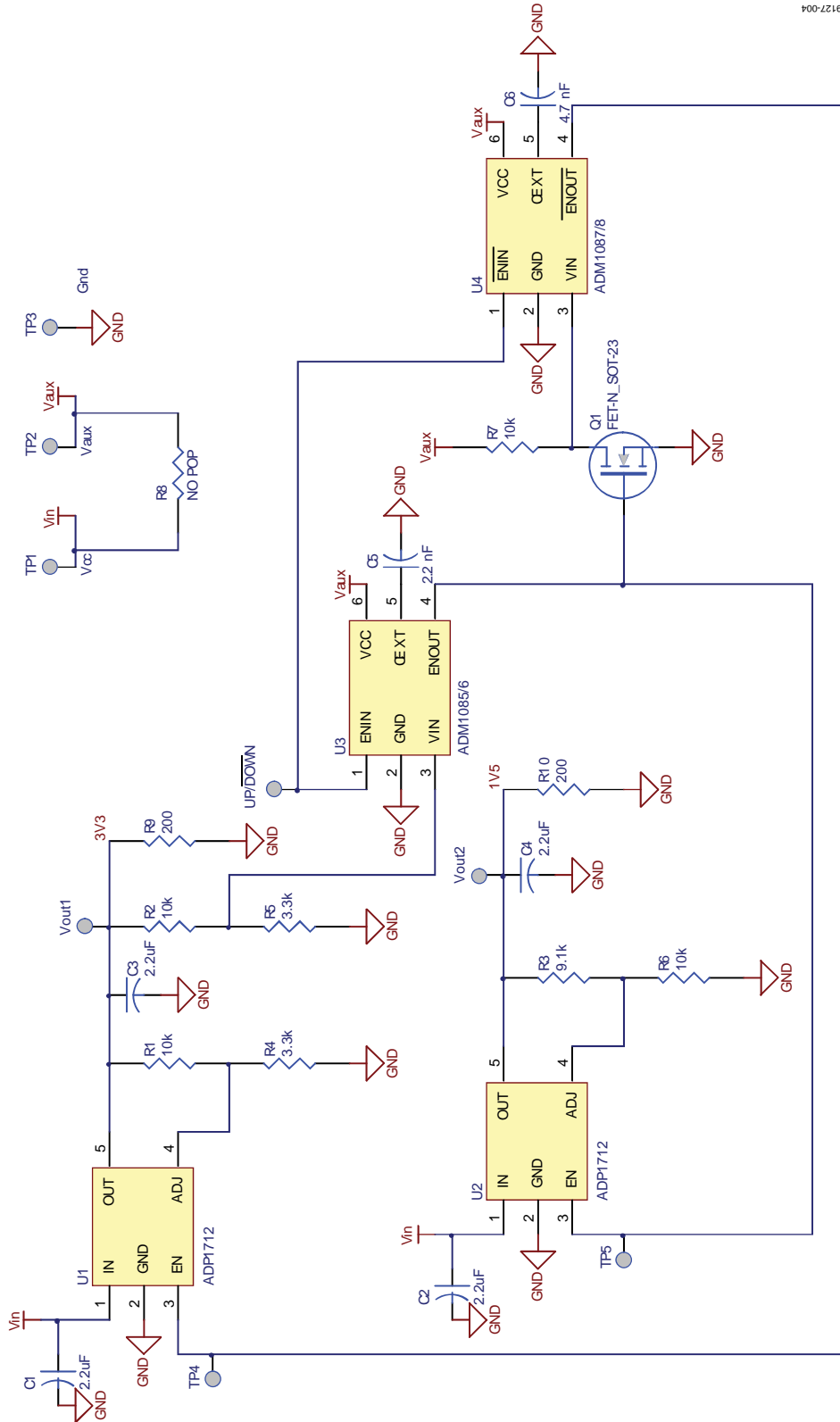


図 4. 検証回路図

テスト結果

チャンネル 1: V_{OUT1} (金色)、チャンネル 2: V_{OUT2} (ピンク色)、チャンネル 3: UP/DOWN (青色)、チャンネル 4: V_{IN} (緑色)。

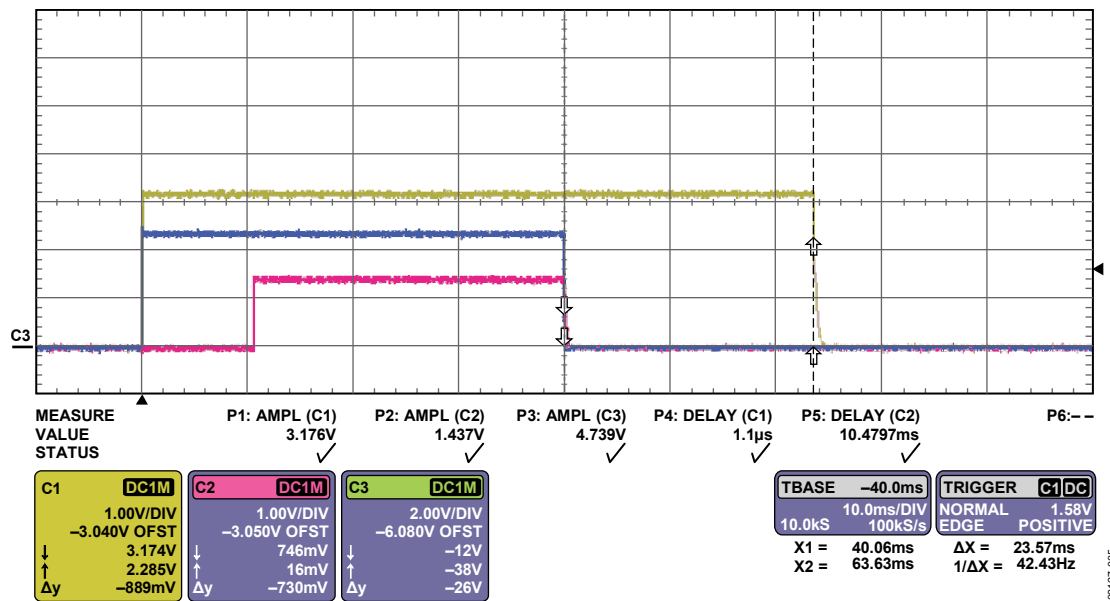


図 5.テスト・プロットの概要

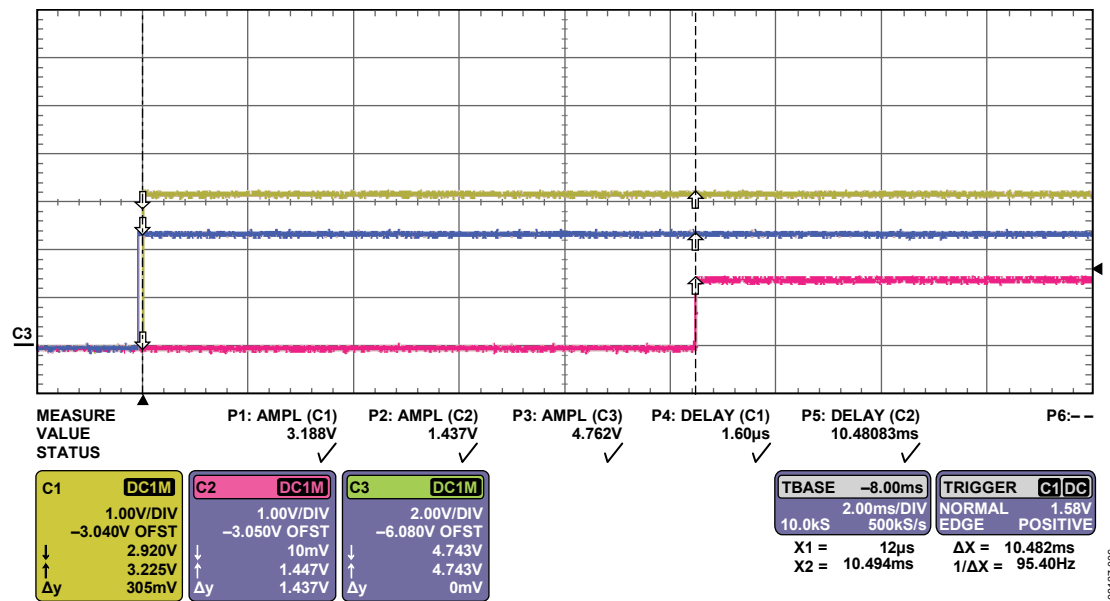


図 6.パワーダウン・フェーズの拡大

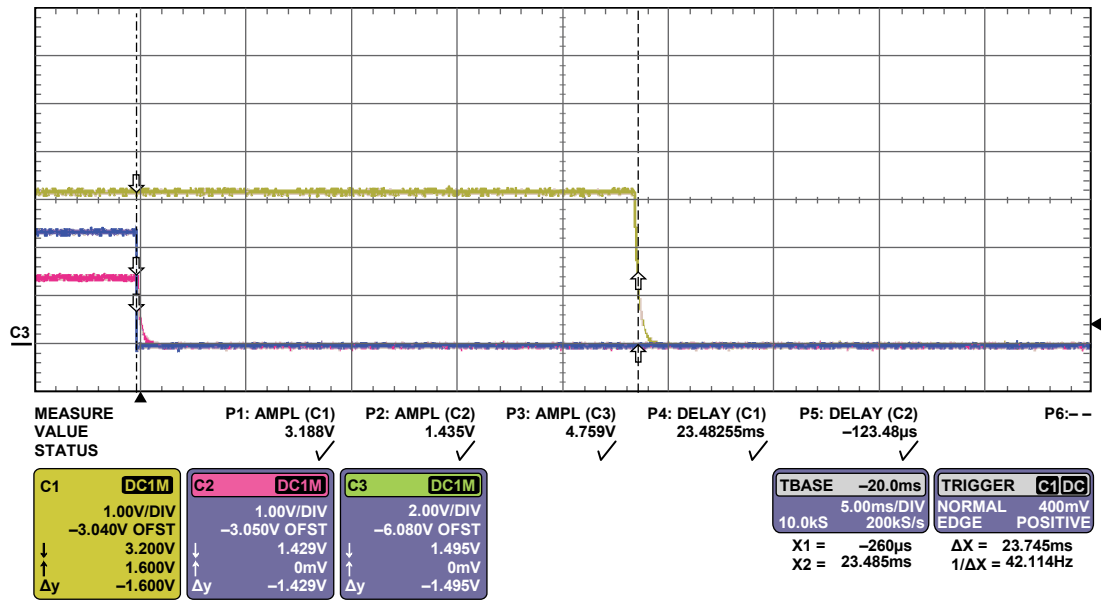


図 7.パワーアップ・フェーズの拡大

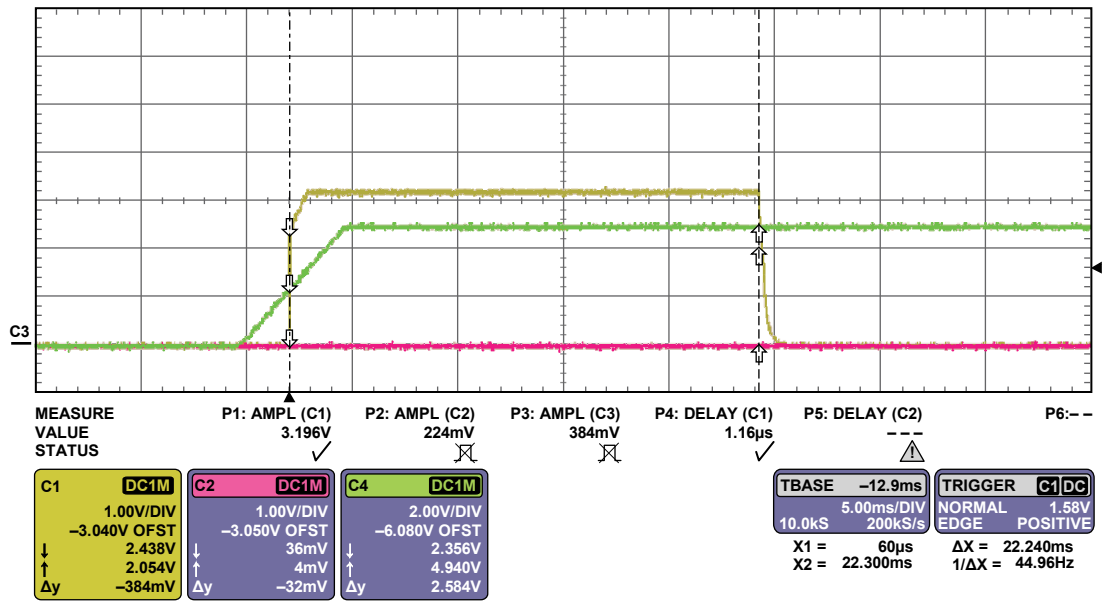


図 8.初期パワーアップ・フェーズ