



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0371> をご覧ください。

使用したリファレンスデバイス	
ADA2200	同期式復調器 + 設定可能アナログ・フィルタ
AD7192	A/D コンバータ、24 ビット、4.8kHz、超低ノイズ、PGA 内蔵、 $\Sigma\Delta$ 型
ADG794	2:1 マルチプレクサ、クワッド、アナログ HDTV オーディオ/ビデオ向け、低電圧、300MHz
ADP151	リニア・レギュレータ、200mA、超低ノイズ、CMOS

同期復調機能付きの低消費電力 LVDT シグナル・コンディショナ

評価および設計サポート環境

回路評価ボード

CN-0371 回路評価ボード (EVAL-CN0371-SDPZ)

システム・デモンストレーション・プラットフォーム

(VAL-SDP-CB1Z)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図 1 に示す回路は、機械的な基準点からの直線的な位置または直線の変位を高精度に測定可能な、全機能内蔵型リニア可変差動トランス (LVDT) シグナル・コンディショニング回路です。アナログ領域の同期復調機能を使って位置情報を抽出し、外部ノイズに対する耐性を持たせます。24 ビットの $\Sigma\Delta$

Δ A/D コンバータ (ADC) で位置出力を高精度にデジタル化します。

LVDT では、可動コアとコイル・アセンブリ間の電磁結合を利用しています。この非接触 (つまり無摩擦) 動作であることが、動作環境が過酷になる可能性があり長寿命と高信頼性を要する、航空宇宙、プロセス制御、ロボット装置、原子力、化学プラント、油圧、発電タービンなどのアプリケーションで LVDT が広く用いられている主な理由です。

LVDT 励起信号を含む回路全体の消費電力はわずか 10mW です。回路の励起周波数と出力データ・レートは SPI で設定できます。このシステムでは、設定可能な帯域幅がダイナミック・レンジとトレードオフの関係にあります。この回路は 1kHz 以上の帯域幅をサポートし、20Hz の帯域幅では 100dB のダイナミック・レンジを有するため、高精度の工業用位置計測アプリケーションに最適です。

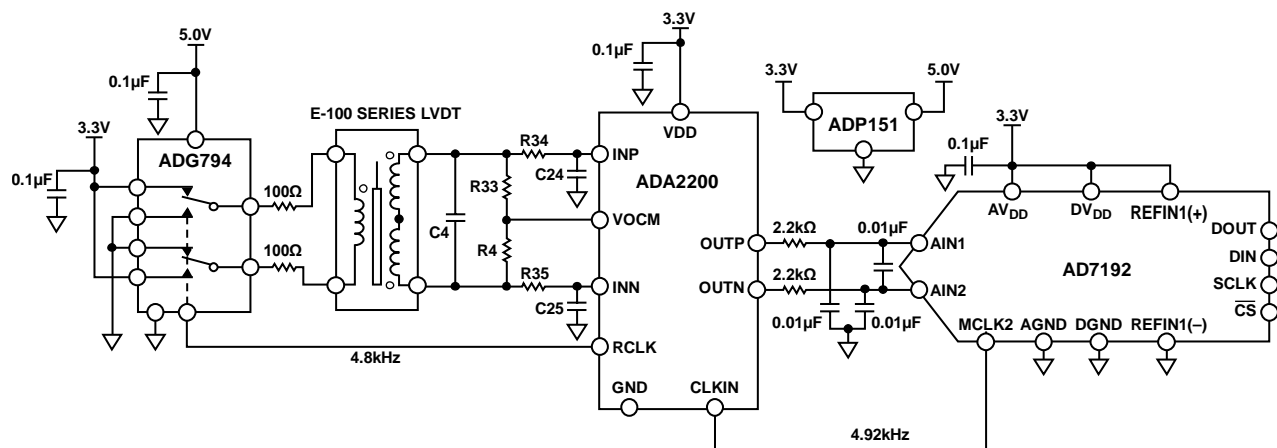


図 1. LVDT シグナル・コンディショニング回路 (簡略回路図: 全接続の一部およびデカップリングは省略されています)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

回路説明

同期復調器 ADA2200 は、LVDT の 2 次側信号をフィルタ処理することにより位置情報を抽出してから、この信号を LVDT のコアの変位に比例する低周波数の出力電圧に復調します。ADA2200 は、デジタル化と出力のフィルタ処理を行う 24 ビット Σ - Δ ADC AD7192 を駆動します。ADA2200 は LVDT の同期励起信号を生成し、スイッチ ADG794 は、CMOS レベルの励起信号を高精度の 3.3V 方形波に変換して LVDT の 1 次側巻線を駆動します。

LVDT は、直線的な変位をそれに比例する電気信号に変換する絶対変位トランスジューサで、測定箇所に取り付けられた可動コアを備えた特殊な巻線のトランスです。1 次側巻線に励起信号が与えられます。コアが動くと、2 次側巻線の電圧が動きに比例して変化し、この電圧から位置が算出されます。

LVDT には多くの種類があり、それらから位置を抽出するさまざまな方法があります。図 1 の回路では 4 線式 LVDT を使用しています。LVDT の 2 つの 2 次側出力は電圧が互いに逆になるように接続され、減算を行います。LVDT のコアが中心位置のとき、2 つの 2 次側出力の各電圧は等しく、2 本の巻線間の電圧差はゼロになります。コアが中心位置から動くと、2 次側巻線間の電圧差は大きくなります。LVDT の出力電圧の位相は移動方向によって変化します。

この回路のマスター・クロックは AD7192 ADC によって生成されます。ADA2200 は、マスター・クロックを受け取り、LVDT の励起信号として使用する基準クロックを含む内部クロックの全てを生成します。ADA2200 のクロック分周器は 4.8kHz の励起信号を供給するように構成されています。ADG794 は、励起信号を ADC の電源電圧から得られる高精度の $\pm 3.3V$ (差動) 方形波に変換します。また、3.3V 電源は ADC のリファレンス電圧としても使用されているため、励起信号と ADC のリファレンス電圧が比例することにより、回路のノイズ性能と安定性能が向上します。システム用の 3.3V は、5V 電源で駆動する低ドロップアウト・レギュレータ ADP151 から供給します。

LVDT の 2 次側巻線と ADA2200 入力間の結合回路を使って、信号の帯域制限および RCLK と ADA2200 入力間の相対位相の調整を行います。この回路は直交 (位相 = 90°) 応答が最大に、同相 (位相 = 0°) 応答が最小になるように構成します。これにより、直交出力の測定だけで位置を特定することができ、ADA2200 の出力電圧が回路内の位相変動から受ける影響が小さくなります。位相変動は、主に実効直列抵抗とインダクタンスを変化させる LVDT の温度変化に起因します。

ADA2200 出力のアンチエイリアシング・フィルタは ADC が対応する信号帯域幅を維持します。AD7192 の内部デジタル・フィルタの出力帯域幅は出力データ・レートの約 0.27 倍です。最大出力データ・レートが 4.8kHz での出力帯域幅を維持するため、出力アンチエイリアシング・フィルタの -3dB コーナ一周波数を約 2kHz に設定します。低い出力データ・レートを必要とするシステムでは、アンチエイリアシング・フィルタのコーナー一周波数をそれに応じて下げることができます。

内蔵同期復調器

ADA2200 の内蔵同期復調器は回路のコアを構成するもので、独自の電荷シェアリング技術を使ってアナログ領域内でディスクリートの時間信号処理を行います。ADA2200 の信号経路は完全差動で、高インピーダンスの入力バッファと、それに続く固定ローパス・フィルタ (FIR デシメーション・フィルタ)、プログラマブル IIR フィルタ、復調器、差動出力バッファから構成されます。入出力の同相電圧は 1.65V に等しい値 (電源電圧 3.3V の半分) です。

ADA2200 は、AD7192 ADC から 4.92MHz のクロックを受け取り、LVDT の励起信号として使用する 4.8kHz の基準クロックに加え内部クロック信号の全てを生成します。ADA2200 は設定可能なクロック分周器を備えており、さまざまな励起周波数に対応するように設定することができます。

CMOS スイッチ

CMOS スイッチ ADG794 を選択したのは、スイッチのオン抵抗が小さい、切替え時間が短い、ブレイク・ビフォア・メークの切替え動作をする、および低価格であるからです。

ADG794 は、ADA2200 の低電圧 CMOS レベルの RCLK 出力を、LVDT を駆動する低インピーダンスの差動出力方形波信号源に変換します。正の 3.3V 信号を駆動するスイッチにヘッドルームを与えるため、ADG794 の V_{DD} 入力には 5V 電源から給電します。

LVDT

図 1 の回路は少しの変更でさまざまな LVDT に対応します。Measurement Specialties 社製の E-100 LVDT を 4 線式で使用し、回路の主な特性を検証しました。E-100 はストローク範囲が $\pm 2.54mm$ 、ストローク端での出力感度が 240mV/V、フルスケール・レンジの最大直線性誤差が $\pm 0.5\%$ のデバイスです。動作周波数範囲は 100Hz ~ 10kHz です。全詳細については、E シリーズ LVDT のデータシートを参照してください。

ADA2200 の入力結合ネットワーク

ADA2200 の入力結合ネットワークはさまざまな LVDT 用に調整することができます。LVDT の 2 次側巻線のインダクタンスとシャント・コンデンサ (C4) でタンク回路を構成します。抵抗 R4 と R33 でタンク回路の Q を下げることにより、回路は LVDT 巻線のインダクタンスと抵抗の変化による影響を受けにくくなりますが、代償として消費電力が増えます。R34/C24 と R35/C25 で構成される RC フィルタ対は信号帯域幅を減らし、回路の相対位相を調整するための自由度を増やします。ADA2200 内部の位相検波器 (PSD) からの最大出力は、相対位相シフトが 0° または 180° のときに生じます。

4.8kHz の方形波を励起する E-100 LVDT の場合、最大出力にするための最適な位相は以下の部品の値で得られます。

- R4 = R33 = 2.2 kΩ
- R34 = R35 = 1 kΩ
- C24 = C25 = 3300 pF
- C4 = 0.01 μF

回路を調整するため、LVDT のコアをフルスケールに近い出力信号を生成するように配置することによって位相を測定することができます。次に、同相 (I) と直交 (Q) の出力信号を測定します。これらの測定値を使用し、相対位相は以下のように計算します。

$$A = \sqrt{I^2 + Q^2}$$

$$\theta_{REL} = \cos^{-1} \left[\frac{Q}{A} \right]$$

θ_{REL} の絶対値が約 $\pm 3^\circ$ より小さくなるまでネットワーク部品を調整すると、LVDT の電氣的パラメータの変動に対する回路の感度が改善されます。

ADC の選択と同期

出力データ・レートを設定可能で、さまざまなデジタル・フィルタ出力のオプションがあることから Σ - Δ ADC AD7192 を選択したため、帯域幅とノイズの間のトレードオフが可能です。マスター・クロックの出力機能により、ADC のサンプリング・クロックの周波数を ADA2200 の出力信号に容易にロックさせることができます。この機能はデジタル・フィルタの性能を最適化するのに必要です。LVDT 信号から位置を特定するために必要な値は、1 励起クロック周期での平均値です。したがって、AD7192 の出力データ・レートを 1 励起クロック周期に相当する 4.8kHz に設定すると、必要な平均値が得られます。励起クロック周期と ADC のサンプリング周波数がロックされていないと、位置測定の再生値に誤差が含まれます。出力データ・レートを分割することは、実質的に複数の励起クロック周期で平均することです。

デジタル・フィルタの性能は周波数領域でも解析することができます。LVDT のコアの位置を固定したときでも、ADA2200 の出力信号には励起信号周波数の倍数でのエネルギーが含まれます。これらの周波数成分はスプリアス誤差の要因になります。AD7192 は、出力データ・レートの倍数で伝達関数がゼロになる sinc^3 または sinc^4 の伝達関数を備えています。出力スプリアスは、ADC の出力データ・レートを励起信号周波数（または励起周波数の約数）に設定することによって除去されます。励起クロック周期と ADC のサンプリング周波数がロックされていないと、スプリアスは伝達関数のゼロまで減少しません。

回路図、レイアウト、部品表などが全て揃った技術文書については、www.analog.com/CN0371-DesignSupport をご覧ください。

性能解析用ユーザー・ソフトウェア

この回路は、ボード上のデバイスの設定と回路性能の評価を行うグラフィカル・ユーザー・インターフェースに対応しています。タブを使って、回路のキャリブレーションやデバイスの設定、ならびにノイズ性能、直線性能、リアル・タイム位置測定の表示を行うことができます。ソフトウェア・パッケージの詳細については、[CN-0371 ソフトウェア・ユーザー・ガイド](#) を参照してください。

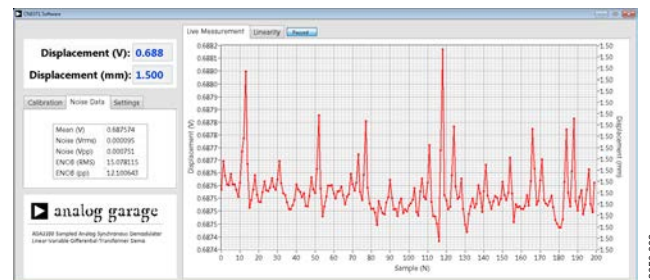


図 2. ユーザー・ソフトウェアの画面

ノイズの解析

回路の出力ノイズは ADC の出力データ・レートの関数になります。2.5V のフルスケール出力電圧を仮定した場合の、ADC のサンプリング・レートに対するデジタル化データの有効ビット数 (ENOB) を表 1 に示します。回路のノイズ性能は LVDT のコアの位置には影響されません。

表 1. 帯域幅 対 ノイズ性能

ADC Data Rate (SPS)	Output Bandwidth (Hz)	ENOBs (RMS)	ENOBs (P-P)
4800	1300	14.0	11.5
1200	325	14.9	12.4
300	80	15.8	13.3
75	20	16.2	13.6

ADA2200 の出力ノイズが周波数に依存しない場合、有効ビット数は出力データ・レートが 1/4 に低下するごとに 1 ビットだけ増えることが予想されます。低い出力データ・レートで ENOB の増加量が減っているのは、低い出力データ・レートでノイズフロアを支配し始める出力ドライバの $1/f$ ノイズに起因しています。

直線性テストの結果

直線性は、まずコアの変位を $\pm 2.0\text{mm}$ にした 2 ポイント・キャリブレーションを行うことによって測定しました。これら 2 つの測定値から勾配とオフセットを求めて予想直線を設定しました。次に、 $\pm 2.5\text{mm}$ のフルスケール・レンジでコアを変位させて測定しました。予想直線のデータから測定データを差し引いて直線性誤差を求めました。

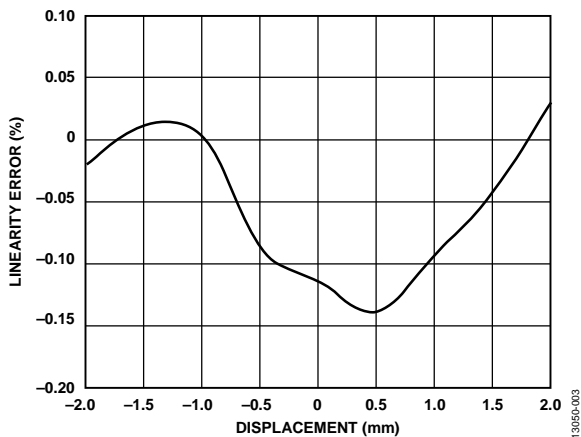


図 3. LVDT のコアの変位 対 位置の直線性誤差

測定データは、回路性能が E シリーズ LVDT のデータシートに規定された直線性より良好なことを示しています。

複数の LVDT の同期動作

多くのアプリケーションでは複数の LVDT をごく近接して使用しています。LVDT が同じようなキャリア周波数で動作すると、浮遊磁気結合によってビートが生じる可能性があります。このビートはこのような条件で行われる測定の精度に影響を与える恐れがあります。このような状況にならないようにするため、全ての LVDT を同期させる必要があります。

リセットから同時に復帰させることにより、複数の ADA2200 デバイスを同期させることができます。ADA2200 は、RST がデアサートされた後の CLKIN の最初の立上がりエッジでリセット・モードから復帰します。したがって、ADA2200 の CLKIN ピンの全てを単一のソースから駆動し、RESETB ラインの全てを単一のソースから駆動すれば、デバイスが確実に同期して動作します。デバイスが異なるクロック・エッジでリセットするのを防ぐため、RESETB を CLKIN の立上がりエッジの近くでデアサートするのは避けてください。ADA2200 デバイスの RCLK 出力をモニタして、ADA2200 デバイスが適切に同期していることを確認することができます。

バリエーション回路

システムによっては、 Σ - Δ コンバータの代わりに SAR ADC を使用した方が好ましい場合もあります。このような場合、ADC の変換クロックを ADA2200 の更新レートに同期させる必要があります。前に説明したように、ADA2200 の出力には励起周波数の倍数のスプリアスが含まれています。これらのスプリアスは、1 個の移動平均フィルタを使用するか、または複数の移動平均フィルタをカスケード接続することによって除去できます。移動平均フィルタは、実装が容易で優れた時間領域特性を示します。スプリアスを完全に除去するには、移動平均のサンプリング・サイズを 8 サンプルの整数倍にする必要があります。

超低消費電力、デュアル・チャンネル、12 ビット SAR ADC AD7091R-2 に接続した ADA2200 を図 4 に示します。ADA2200 の OUTP 出力と OUTN 出力を順次サンプリングできるようにデュアル・チャンネルの ADC を使用します。ADA2200 は離散的な時間のサンプリング結果を出力するので、2 つの連続する出力サンプルで差動動作 ($V_{OUTP} - V_{OUTN}$) をさせることにより差動測定を行うことができます。

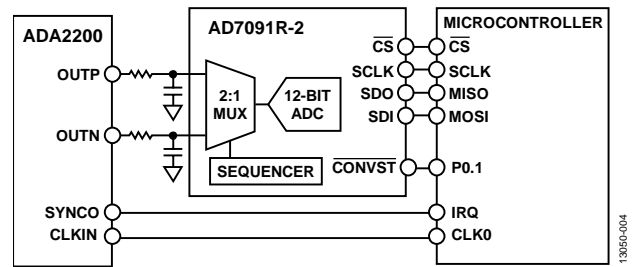


図 4. デュアル・チャンネル SAR ADC を使用した差動サンプリング

SYNC0 信号は ADA2200 の出力サンプリング周期ごとにアクティブになります。SYNC0 を使ってマイクロコントローラに割込みをかけ、1 対の ADC サンプル (OUTP および OUTN をサンプリング) を形成することができます。ここに示したケースでは、サンプリング周期は励起クロック周波数の 8 倍、つまり 38.4kHz なので、ADC は 76.8kSPS のレートでサンプリングします。

回路の評価とテスト

CN-0371 の回路は EVAL-CN0371-SDPZ 回路ボードと EVAL-SDP-CB1Z SDP-B コントローラ・ボードを使用します。これら 2 枚のボードは 120 ピン接続用コネクタを備えているので、手早く組み立てて回路の性能を評価することができます。この回路ボードは評価対象の回路を備えており、SDP-B ボードは CN-0371 評価用ソフトウェアとともに使用し、回路ボードからデータをキャプチャします。

必要な装置

以下の装置が必要です。

- USB ポート付き Windows® XP (32 ビット) 、 Windows Vista®, または Windows 7 搭載 PC
- EVAL-CN0371-SDPZ 回路ボード
- EVAL-SDP-CB1Z SDP-B コントローラ・ボード
- CN-0371 評価用ソフトウェア
- Measurement Specialties の E-100 エコノミー・シリーズ LVDT (EVAL-CFTL-LVDT)

評価開始にあたって

CN0371.zip ファイルをダウンロードして setup.exe ファイルを実行します。プログラムはデフォルトで Analog Devices のディレクトリにインストールされます。プログラム名は CN0371 です。

機能ブロック図

回路のブロック図については図 5 を参照してください。全体回路図については、CN-0371 設計サポート・パッケージに含まれている EVAL-CN0371-SDPZ-Schematic.pdf ファイルを参照してください。回路ボードの 5V 電源は、SDP-B ボードの 120 ピン・コネクタを介して USB バスから供給されます。

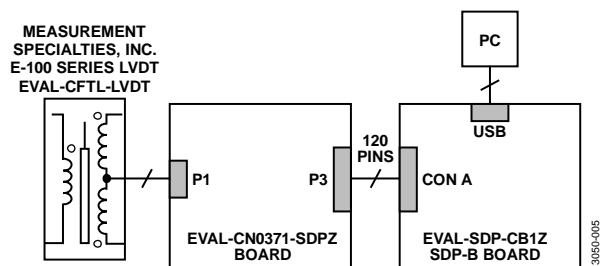


図 5. テスト・セットアップのブロック図

セットアップ

EVAL-CN0371-SDPZ 回路ボードの 120 ピン・コネクタを EVAL-SDP-CB1Z SDP-B ボードの CON A コネクタに接続します。120 ピン・コネクタの両端にある穴を利用し、ナイロン製ハードウェアを使って 2 枚の基板をしっかりと固定します。

テスト

評価用ソフトウェアを起動し、PC からの USB ケーブルを SDP-B ボードのミニ USB コネクタに接続します。

USB による通信が確立されると、SDP-B ボードで回路ボードとの間のデータの送受信およびキャプチャを行うことができます。

SDP-B ボードに接続された回路ボードの写真を図 6 に示します。SDP-B ボードに関しては、[UG-277 ユーザー・ガイド](#)を参照してください。

テスト・セットアップとキャリブレーションについての詳細、およびデータ・キャプチャ用評価ソフトウェアの使用法については、[CN-0371 ソフトウェア・ユーザー・ガイド](#)を参照してください。

プロトタイプ開発での接続

EVAL-CN0371-SDPZ 回路ボードは EVAL-SDP-CB1Z SDP-B ボードと併用するように設計されていますが、マイクロプロセッサを使用することにより、AD7192 の SPI インターフェースとインターフェースすることができます。その他のコントローラを EVAL-CN0371-SDPZ 回路ボードと併用するためには、サードパーティによるソフトウェア開発が必要になります。

アルテラやザイリンクスのフィールド・プログラマブル・ゲート・アレイ (FPGA) とのインターフェースに使用可能な既存のインターポーザ・ボードがあります。Nios ドライバを使用することにより、アルテラの BeMicro SDK ボードを BeMicro SDK/SDP インターポーザと併用することができます。FMC コネクタを備えたザイリンクスのどの評価用ボードも FMC-SDP インターポーザ・ボードと併用することができます。

EVAL-CN0371-SDPZ はディジレントの Imod インターフェース仕様とも互換性があります。

システムのテスト・セットアップの写真を図 6 に示します。回路図、レイアウト、ガーバーファイル、部品表などの技術文書は全て [CN0371 設計支援パッケージ](#)

(www.analog.com/CN0371-DesignSupport) に含まれています。

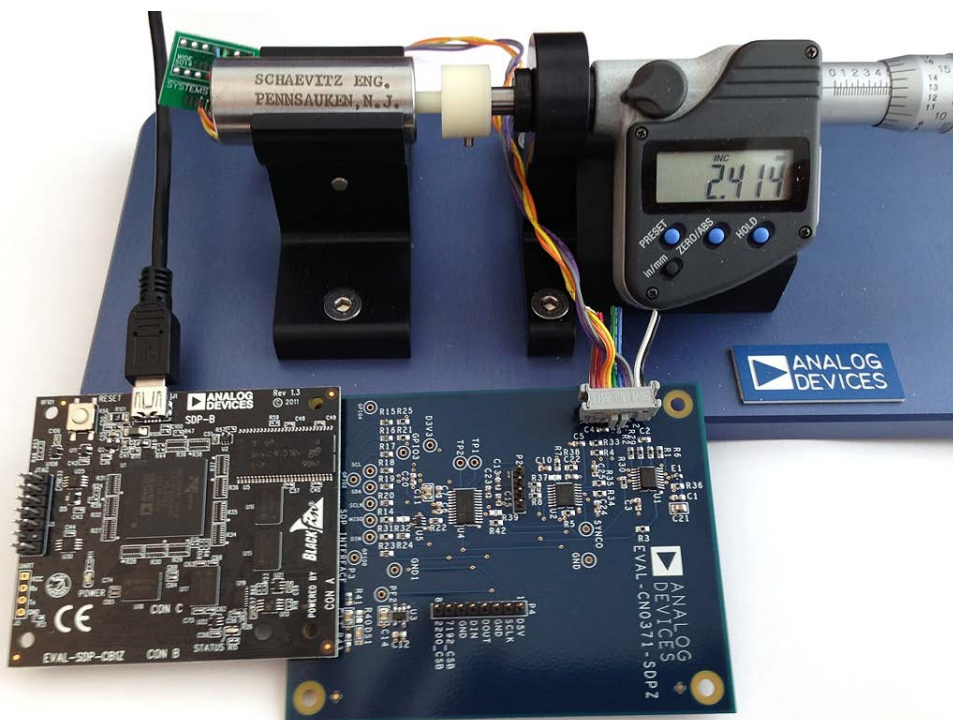


図 6. EVAL-SDP-CB1Z SDP-B ボードと、コアが高精度ゲージ・ヘッドに接続された LVDT に接続した EVAL-CN0371-SDPZ 回路ボード

13050-006

さらに詳しい資料

CN-0371 Design Support Package:
www.analog.com/CN0371-DesignSupport

SDP-B User Guide

E Series Economy Series LVDT Datasheet. Measurement
Specialties, Inc.

The LVDT: Construction and Principle of Operation. Technical
Paper. Measurement Specialties, Inc.

Subminiature LVDTs Provide Accurate Flight Control Surface
Position Feedback on UAVs. Application Note. Measurement
Specialties, Inc.

LVDT Basics. Technical Bulletin. Macro Sensors.

データシートと評価ボード

CN-0371 回路評価ボード (EVAL-CN0371-SDPZ)

システム・デモンストレーション・プラットフォーム (VAL-
SDP-CB1Z)

ADA2200 データシート

AD7192 データシート

ADG794 データシート

ADP151 データシート

改訂履歴

3/15—Revision 0: 初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセス社製品専用に作られており、アナログ・デバイセス社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセス社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセス社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセス社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。