



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0290> をご覧ください。

使用したリファレンス・デバイス

| | |
|----------|-------------------------|
| ADF4106 | PLL 周波数シンセサイザ |
| ADCLK905 | ECL 1:1 クロック / データ・バッファ |
| ADCLK925 | ECL 1:2 クロック / データ・バッファ |
| ADP150 | 3.3 V 低ノイズリニア・レギュレータ |
| ADP7102 | 5 V 低ノイズリニア・レギュレータ |

高性能フェーズ・ロック・ループの低周波数の範囲を拡大する

評価および設計サポート環境
回路評価ボード

CN-0290 回路評価ボード (EVAL-CN0290-SDPZ)
システム・デモンストレーション・プラットフォーム
(EVAL-SDP-CS1Z)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図 1 に示す回路は、高速クロック・バッファと低ノイズ LDO を使用し、基準周波数と RF 周波数が低いときでも低位相ノイズを維持する高性能フェーズ・ロック・ループ (PLL) です。

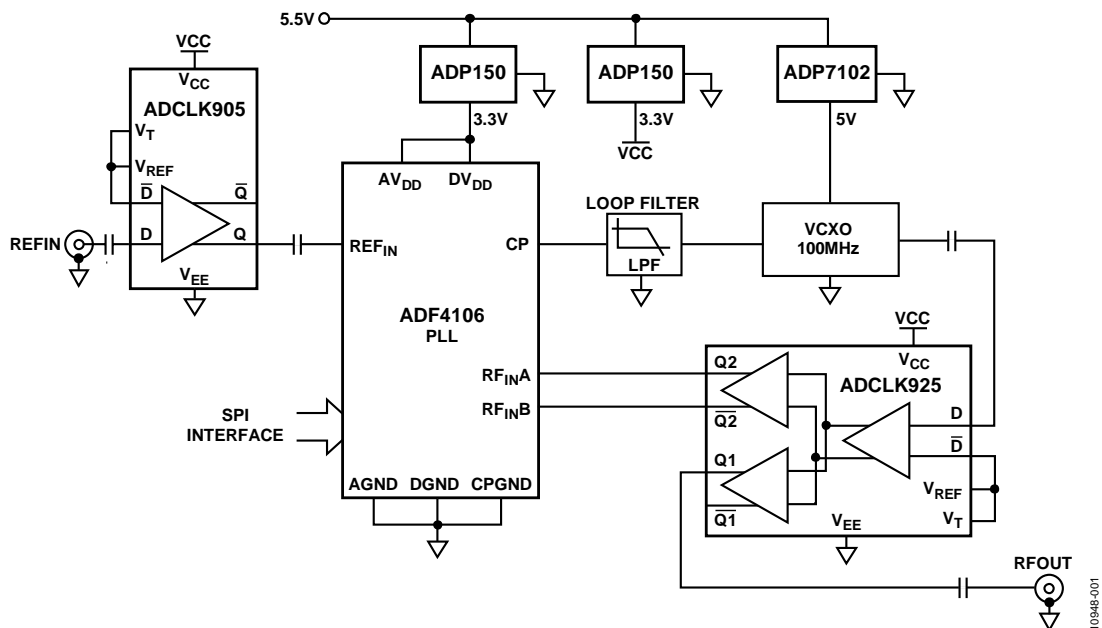


図 1. EVAL-CN0290-SDPZ のブロック図 (簡略回路図: 全接続の一部およびデカップリングは省略されています)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

たとえば、アナログ・デバイセズの ADF4106 などの PLL は最小基準周波数と RF 入力周波数を、それぞれ 20MHz と 500MHz に規定しています。図 1 のようにクロック・バッファを追加することにより、周波数範囲を基準周波数で 10MHz まで、RF 入力で 100MHz まで下げることができます。

回路説明

周波数シンセサイザ ADF4106 を使って、局部発振器の機能を必要とする RF レシーバ、トランスミッタ、シグナル・アナライザ、データ・ジェネレータなどの RF アプリケーションのアップ・コンバージョンとダウン・コンバージョンの部分に、局部発振器の機能を実装することができます。このシンセサイザに

外部のループ・フィルタと電圧制御発振器（VCO）を組み合わせることで、フェーズ・ロック・ループ（PLL）が実現します。

ADF4106 はチャンネル・ステップ・サイズが整数 N のインテグラー N PLL です。これは RF 周波数の出力範囲が最大 6GHz の使い易いデバイスで、標準 -223dBc/Hz の低位相ノイズ（正規化された位相ノイズフロア）に対し規定されています。低ノイズで単一周波数のクロック・アプリケーションに ADF4106 を使ったフェーズ・ロック・ループのブロック図を図 1 に、簡略回路図を図 2 に示します。

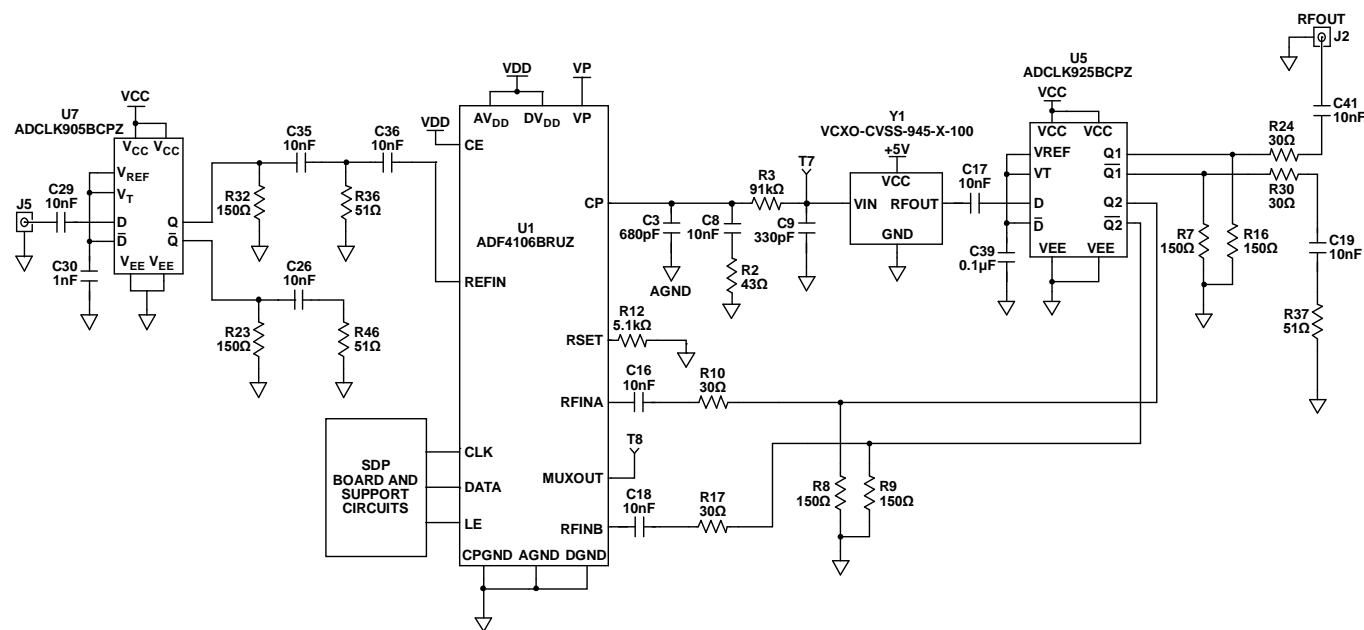


図 2. ADF4106 の基準周波数入力と RF 周波数入力にクロック・バッファを備えた、低位相ノイズのフェーズ・ロック・ループの簡略回路図

1.0945-002

低ノイズの 10MHz リファレンス・ソースを ADCLK905 でバッファし、ADF4106 PLL の REF_{IN} に AC 結合します。VCO は、出力が ADCLK925 の 50Ω 入力負荷に AC 結合された、低ノイズの 100MHz サイン波 VCXO です。VCXO と ADCLK925 の間のインターフェースは、両方のデバイスが負荷と信号レベルの条件という点で整合がとれているため、非常にシンプルです。1:2 バッファ ADCLK925 の出力段は、RFOUT 信号の供給と PLL に必要な RF 帰還信号の供給を行います。

ADF4106 PLL には専用の 3.3V 低ノイズ LDO ADP150 から給電し、2つのクロック・バッファ (ADCLK905、ADCLK925) にはもう 1つの ADP150 を使って給電します。ADP150 の出力電圧ノイズはわずか 9μV rms で、これにより PLL とクロック・バッファの両方の位相ノイズを小さくできます。

低ノイズの VCXO には低ノイズの 5V リニア電圧レギュレータ ADP7102 から給電し、VCO プッシュの影響を低減します (電源除去に相当)。

リファレンス入力クロック・バッファ

ADF4106 の条件を満たすため、PLL の REF_{IN} と RF_{IN} の入力段のクロック・バッファは付加ジッタが小さく、動作周波数でのスルーレートが十分で、信号振幅が適切でなければなりません。

ADCLK905/ADCLK925 は、広い入力スルーレート範囲で、付加されるランダム・ジッタが最小になるように特別に設計された、超高速の ECL クロック/データ・バッファです。これらはフルスイング ECL (エミッタ結合ロジック) 出力ドライバを備え、伝搬遅延が 95ps でランダム・ジッタが 60fs です。これらのデバイスの立上がり/立下がり時間 (20% から 80%/80% から 20%) は 60ps (typ) で、約 8000V/μs のスルーレートに相当します。

ADCLK905 は 10MHz の REF_{IN} 周波数ソースをバッファするのに使用します。多くのアプリケーションで 10MHz の基準周波数が一般的です。利用できる信号振幅の大きさによっては、スルーレートが ADF4106 の最小スルーレート条件の 50V/μsec を満たさない場合があります。たとえば、10MHz、0dBm サイン波のスルーレートはわずか 20V/μs です。

10MHz のソースのスルーレートを上げるため、REF_{IN} のクロック・バッファとして ADCLK905 を選択しました。ADCLK905 は付加ジッタが小さいことから、REF_{IN} のクロック・バッファによって生じる付加ジッタはごくわずかです。PLL の帯域内のリファレンス・ノイズは減衰されないため、リファレンス・ノイズを小さく抑えることが部品選択の大きな要素になります。ADCLK905 の付加ジッタが 60fs と小さいことがこれに該当します。50Ω 環境では、入出力のマッチングが性能に大きな影響を与えます。ADCLK905 の入力バッファは、両方の D 入力に 50Ω の終端抵抗を内蔵しています。これらの 50Ω 抵抗の間のセンター・タップ V_T は、相補 D 入力と V_{REF} ピンに外部で接続します。これらのピンをセラミック・コンデンサでデカップリングします。

ADCLK905 の PECL 出力段は V_{CC} - 2V に終端した 50Ω に 800mV を直接駆動します。終端はそれぞれの ADCLK905 出力への 1本の終端抵抗で行います。V_{CC} = 3.3V の場合、グラウンドに対し 150Ω を接続することを推奨します。

出力は伝送ラインを駆動するように設計されており、各出力ピンが負荷インピーダンスにマッチングしている必要があります。ADCLK905 の Q 出力は、ADF4106 の REF_{IN} の高インピーダンス入力に AC 結合する前に、50Ω 負荷に AC 結合します。使用しない相補 Q 出力は同じ負荷で終端する必要があります。

RF 入力クロック・バッファ

ADCLK925 を使って低ノイズの VCXO からの 100MHz の RF_{IN} をバッファします。RF_{IN} に必要な最小スルーレートは 320V/μsec です。ADCLK925 は RF_{IN} 入力に必要なスルーレートを備えています。ADCLK925 は付加ジッタが小さく PLL 位相ノイズ性能に、ほとんど影響しません。ADCLK925 の 1:2 の出力段は、スプリッタやマッチング部品を必要とせずに、PLL への帰還を簡素化します。

PECL の出力段は V_{CC} - 2V に終端した 50Ω に 800mV を直接駆動します。これは、図 2 に示すように、追加の電源を必要とせずに 1本の 150Ω 抵抗をグラウンドに接続することによって行います。ADF4106 の RF_{IN} 入力段は最大信号レベルが ±600mV に規定されています。30Ω の直列抵抗が、ADCLK925 の出力振幅をこの値以下に抑えます。ADCLK925 の出力は ADF4106 の 50Ω の差動入力に AC 結合し、ADCLK925 のもう一方の出力は同様に終端して RFOUT 信号を供給します。

PLL の設計と性能

ADIsimPLL™ ソフトウェアを使って、REF_{IN} が 10MHz で RF_{IN} が 100MHz という低い周波数を必要とする PLL のループ・フィルタを設計しました。このループ・フィルタの帯域幅は 818Hz で位相マージンは 45° です。

ADIsimPLL による位相ノイズのシミュレーション結果を図 3 に示します。この図から、ADF4106 の PLL ループが低周波数でロックし、位相ノイズの増加を最小限に抑えることが分かります。

PLL システムの位相ノイズの実測値を図 4 に示します。

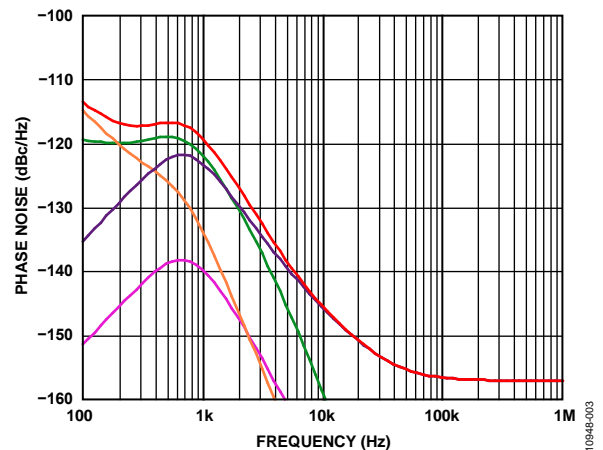


図 3. ADIsimPLL による位相ノイズ・プロットのシミュレーション結果

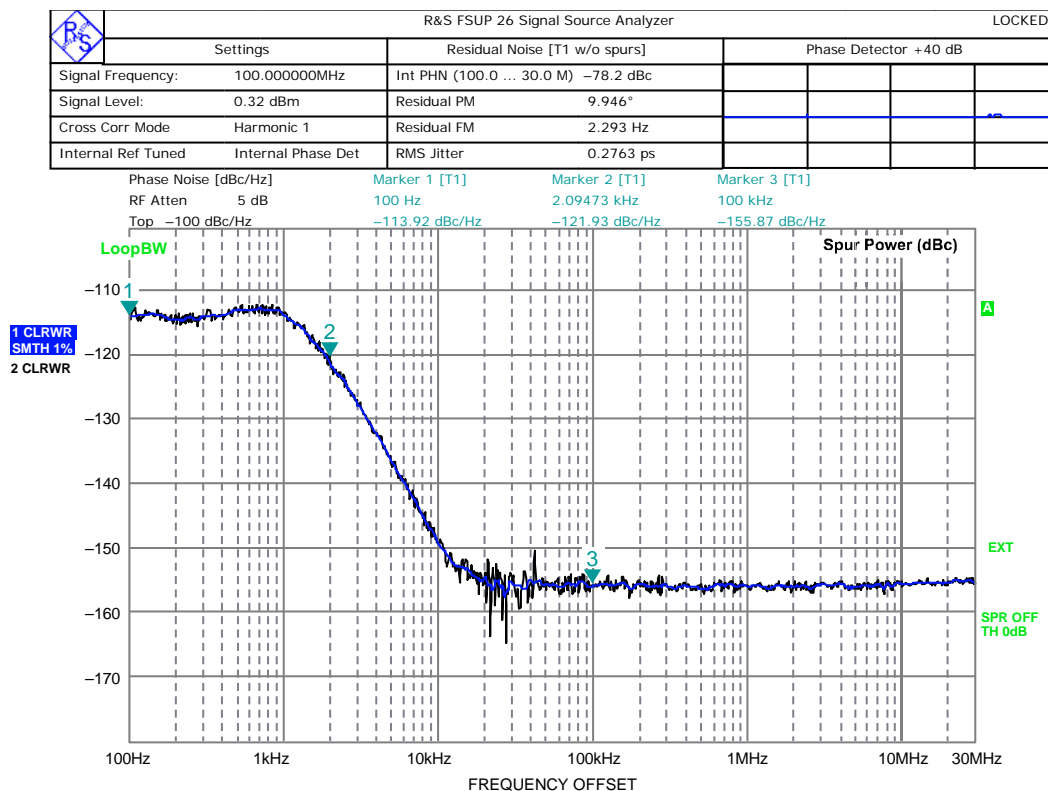


図 4. Agilent の FSSUP スペクトル・アナライザを使用した位相ノイズ・プロットの実測値

ループ・フィルタ部品の開発に用いられる ADIsimPLL ソフトウェアを使って、回路の性能をシミュレーションすることもできます。ADIsimPLL では、REF_{IN} と RF_{IN} 入力から供給される信号のスルーレートと信号振幅が適切であると仮定します。

ADIsimPLL により、ADF4106 PLL で使用するリファレンス・ソースをモデル化することができます。このセットアップに対するリファレンス・ソースは R&S の SMA100 信号発生器です。

シングルエンドの 10MHz、0dBm リファレンス入力信号の位相ノイズを、10Hz と 1MHz のオフセットでの測定値を使ってモデル化しました。Agilent の FSUP スペクトラム・アナライザを使って、これらのオフセットでのリファレンスの位相ノイズを測定しました。

ADIsimPLL を使って VCO 性能をシミュレーションするためには、表 1 に示すように、データシートに記載された ADCLK925 の位相ノイズと CVSS-945 VCXO (Crystek Crystals, 12730 Commonwealth Drive, Fort Myers, Florida 33913) の位相ノイズを統合する必要があります。

表 1. 統合した位相ノイズ

| Phase Noise Offset | ADCLK925 (dBc/Hz) | VCXO (dBc/Hz) | Total (dBc/Hz) |
|--------------------|-------------------|---------------|----------------|
| 10 Hz | -140 | -86 | -86 |
| 1 MHz | -158 | -172 | -157 |

10Hz のオフセットでの統合 1/f 位相ノイズは -86dBc/Hz です。ADCLK925 のデータシートに記載された 10Hz オフセットでの値、-140dBc は、統合 1/f 位相ノイズにほとんど影響を与えません。

1MHz のオフセットでの統合位相ノイズは -157dBc/Hz です。

ADCLK925 データシートの 1MHz のオフセットでの位相ノイズは -161dBc/Hz です。これは差動で測定されているため、シングルエンド出力を使用する場合には、データシートの測定ノイズフロアを 3dB だけ調整する必要があります。VCXO の位相ノイズ、-172dBc/Hz は統合位相ノイズにほとんど影響を与えません。

測定結果とシミュレーション結果の比較

位相ノイズと位相ジッタのシミュレーション結果と測定結果を表 2 に示します。位相ノイズは 100Hz、2kHz、および 100kHz のオフセットでの測定値です。位相ジッタは 100Hz~30MHz の範囲の位相ノイズを積分したものです。このシミュレーションでは、ADIsimPLL プログラムがポイント・フロア・モデルを使ってリファレンスと VCO を求めます。この結果、ADIsimPLL のモデルは 1/f ノイズとノイズフロアでは非常に近い値になりますが、搬送波から中間のオフセットでは数 dB の差が生じることがあります。

表 2. ADF4106 の PLL システムの位相ノイズと位相ジッタのシミュレーション結果と測定結果

| Parameter | Simulated | Measured |
|---------------------------------|-------------|-------------|
| PN Offset of 100 Hz dBc/Hz | -113 dBc/Hz | -114 dBc/Hz |
| PN Offset of 2 kHz dBc/Hz | -126 dBc/Hz | -122 dBc/Hz |
| PN Offset of 100 kHz dBc/Hz | -156 dBc/Hz | -156 dBc/Hz |
| Phase Jitter (100 Hz to 30 MHz) | 208 fs | 276 fs |

バリエーション回路

ADCMP553 のような単電源の PECL/LVPECL コンパレータは、スルーレートが $10\text{V}/\mu\text{sec}$ 未満の信号で REF_{IN} が動作する必要があります。ADCMP553 は ADCLK905/ADCLK925 と同様の出力段を使って REF_{IN}/RF_{IN} 入力を駆動しますが、コンパレータの入力は必要な信号振幅に対応する同相電圧で 50Ω の信号源インピーダンスから駆動する必要があります。

高速 CMOS コンパレータ ADCMP600 のような他のバッファを使って REF_{IN} 回路のスルーレートを上げることができますが、対象となるアプリケーションに対して付加ジッタを評価する必要があります。部品を追加することはいくらかのノイズ増加を生じ、帯域内位相ノイズと位相ノイズによるジッタを大きくする可能性があります。

これは、位相ノイズ性能の低下が許容範囲内のアプリケーションでは使用可能です。

クロック・バッファ ADCLK9xx ファミリーは付加ジッタが非常に小さいデバイスですが、低スルーレートの信号入力では、この仕様が劣化します。この劣化の評価については ADCLK9xx のデータシートを参照してください。

EVAL-CN0290-SDPZ 回路ボードの写真を図 5 に示します。

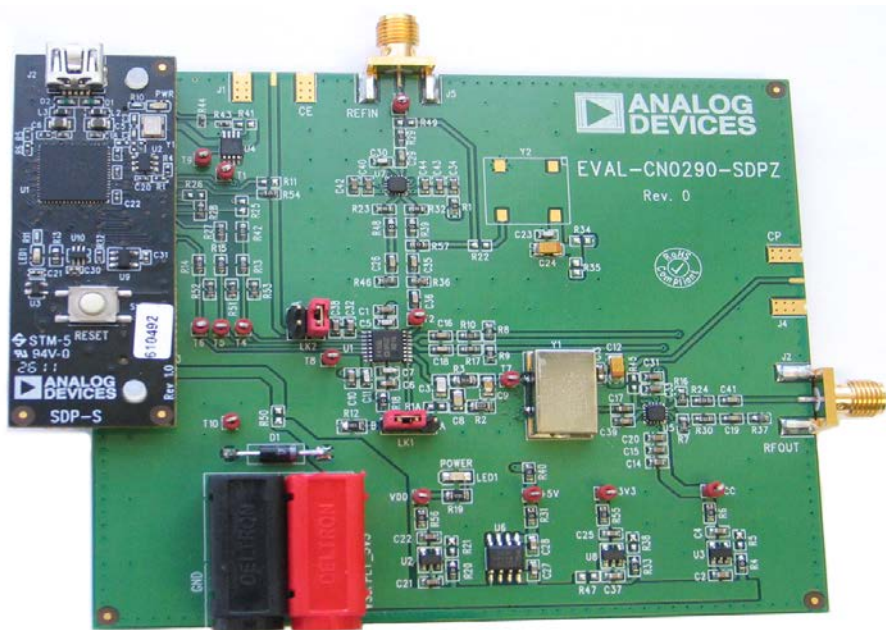


図 5. EVAL-SDP-CS1Z ボードに接続した EVAL-CN0290-SDPZ ボードの写真

10948-005

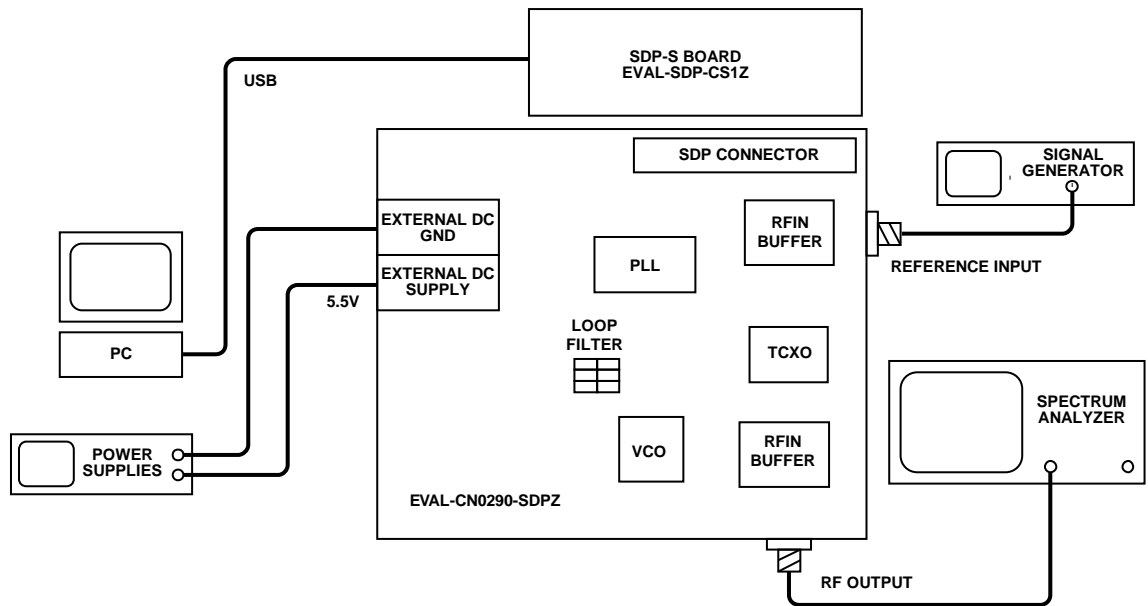


図 6. 位相ノイズと位相ジッタのテスト用測定セットアップ

回路の評価とテスト

この回路は、EVAL-CN0290-SDPZ回路ボードとEVAL-SDP-CS1Zシステム・デモンストレーション・プラットフォーム (SDP-S) 評価ボードを使用します。これら2つのボードは120ピンの嵌合コネクタを備えており、回路の迅速なセットアップと性能評価が可能です。EVAL-CN0290-SDPZボードには、この回路ノートで説明されている回路が搭載されています。SDP-S評価ボードは、インテジャ-ンNの評価用ソフトウェアと併用してADF4106の内蔵レジスタを設定します。

必要な装置

- USBポート付きPCおよびWindows® XP、Windows Vista® (32ビット) またはWindows® 7 (32ビット)
- EVAL-CN0290-SDPZ 回路評価ボード
- EVAL-SDP-CS1Z SDP 評価ボード
- インテジャ-ンNのバージョン7以上の評価用ソフトウェア
- 電源電圧: +5.5 V
- RF信号源 (R&SのSMA100または相当品)
- スペクトラム・アナライザ (AgilentのFSUPまたは相当品)
- SMAコネクタ付き同軸RFケーブル

評価開始にあたって

ソフトウェアのインストールとテスト・セットアップについては、[UG-582ユーザー・ガイド](#)を参照してください。設計サポート・パッケージ (www.analog.com/CN0290-DesignSupport) には回路図、レイアウト・ファイル、部品表が含まれています。詳細については、ADF4106、ADCLK905、およびADCLK925のデータシートを参照してください。

機能ブロック図

ブロック図についてはこの回路ノートの図1を、簡略回路図については図2を参照してください。テスト・セットアップのブロック図を図6に示します。

セットアップとテスト

装置をセットアップした後、標準のRFテスト方法を使用して回路の位相ノイズと位相ジッタを測定してください。

さらに詳しい資料

CN0290 Design Support Package : <http://www.analog.com/CN0290-DesignSupport>

UG-582, User Guide : [Evaluating the EVAL-CN0290-SDPZ](#)

MT-031 Tutorial : [Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.](#)

MT-086 Tutorial : [Fundamentals of Phase Locked Loops \(PLLs\), Analog Devices.](#)

[MT-101 Tutorial : Decoupling Techniques, Analog Devices.](#)

[ADIsimPLL Design Tool](#)

[AN-30 Application Note : Ask the Application Engineer—PLL Synthesizers, Analog Devices](#)

[AN-586 Application Note : 高速 A/D コンバータのための LVDS データ出力](#)

データシートと評価ボード

[EVAL-CN0290-SDPZ 評価ボード](#)

[EVAL-SDP-CS1Z システム開発プラットフォーム](#)

[ADF4106 データシート](#)

[ADCLK905 データシート](#)

[ADCLK925 データシート](#)

[ADP150 データシート](#)

[ADP7102 データシート](#)

[CVSS-945 VCXO, Crystek Crystals, 12730 Commonwealth Drive, Fort Myers, Florida 33913.](#)

改訂履歴

8/13—Revision 0: 初版

「[Circuits from the Lab/実用回路集](#)」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「[Circuits from the Lab/実用回路集](#)」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「[Circuits from the Lab/実用回路集](#)」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「[Circuits from the Lab/実用回路集](#)」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。