

**Circuits from the Lab™**  
Reference Circuits  
実用回路集

Circuits from the Lab™ 実用回路は今日のアナログ・ミックスド・シグナル、RF回路の設計上の課題の解決に役立つ迅速で容易なシステム統合を行うために作製、テストされました。詳しい情報と支援は[www.analog.com/jp/CN0285](http://www.analog.com/jp/CN0285)をご覧ください

接続/参考にしたデバイス

ADF4351	VCO内蔵、フラクショナル-N PLL IC
ADL5375	広帯域送信変調器
ADP150	低ノイズ、3.3V LDO
ADP3334	低ノイズ、可変出力LDO

**高帯域、低エラーベクトル振幅 (EVM)、ダイレクト・コンバージョン送信器**

評価と設計支援

回路評価基板

[CN-0285 評価用ボード \(EVAL-CN0285-EB1Z\)](#)

設計と統合ファイル

[回路図、レイアウト・ファイル、部品表](#)

回路の機能とその利点

この回路は高帯域ダイレクト・コンバージョン送信器 (入力: アナログ・ベースバンド、出力: RF) のアナログ部分の完全な構成です。500 MHz ~ 4.4 GHzのRF周波数は高帯域の内蔵電圧制御発振器 (VCO) とフェーズ・ロック・ループ (PLL) を使用してサポートされています。PLLからの局部発振器 (LO) の高周波フィルタ処理により、優れた直交精度、側波帯抑圧と低EVMが保証されています。

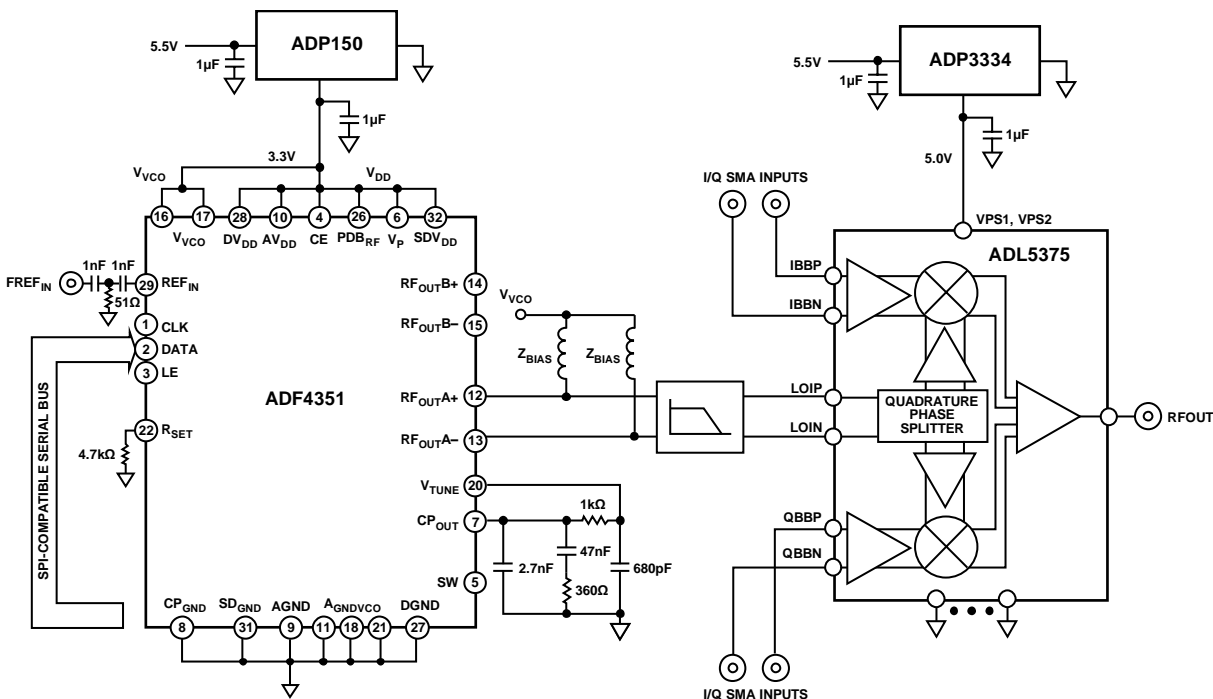


図1. ダイレクト・コンバージョンの送信器 (簡略化された回路図: 接続及びデカップリングの全ては示されていません。)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

©2013 Analog Devices, Inc. All rights reserved.

Rev. 0

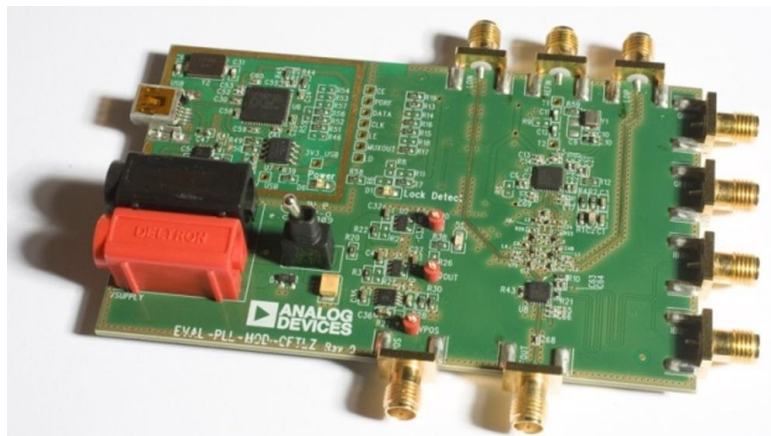


図2. CN-0285ダイレクト・コンバージョン送信器の評価用ボード

低ノイズ、低ドロップアウトのレギュレータ (LDOs) を使用しているため、パワー管理回路は位相ノイズとEVMに悪影響を及ぼしません。このデバイスの組み合わせにより500 MHz ~ 4.4 GHzの周波数範囲にわたって業界最先端のダイレクト・コンバージョン送信器の性能を表します。

### 回路の説明

図1. に示す回路では全機能内蔵のフラクショナル-N PLL IC AD F4351と高帯域送信変調器ADL5375を使用します。ADF4351は送信直交変調器ADL5375にLO信号を供給し、このLO信号はアナログI/QをRFにアップコンバートします。2つのデバイスは各々の長所が組み合わさり、高帯域、ベースバンドIQ to RF送信回路を提供します。LO位相ノイズ性能を最適にするために、ADF4351の電源は超低ノイズ3.3 V レギュレータADP150で分けて駆動されます。ADL5375は5V LDO ADP3334で分けて駆動されます。LDO ADP150の出力電圧ノイズはわずか9  $\mu\text{V rms}$ なので、VCOの位相ノイズを最適化し、VCO pushingの影響（電源除去と同等）を低減するのに役立っています。

ADL5375の直交発信器回路の誤差を最小にするために、ADF4351 RF出力には高調波レベルを減衰するためのフィルタ処理が必要です。測定とシミュレーションの結果より、直交誤差には偶数次高調波より奇数次高調波の方が影響しますが、もし-30 dBc以下に減衰すれば、サイドバンド除去比特性は-40 dBc以上になります。ADF4351の2次高調波(2H)と3次高調波(3H)のレベルはデータシートに記載されており、Table 1に示します。

-30 dBc以下の3次高調波を得るには約20dBの減衰が必要です。

Table 1. ADF4351 RF出力高周波レベル (フィルタ無し)

Harmonic Content	Value (dBc)	Description
Second	-19	Fundamental VCO output
Third	-13	Fundamental VCO output
Second	-20	Divided VCO output
Third	-10	Divided VCO output

この回路は4つの異なる帯域をカバーするために、4種類のフィルタ・オプションを提供します。フィルタは100  $\Omega$ の差動入力 (ADF4351 RF出力と適切なマッチングがとれている) と50  $\Omega$ の差動出力 (ADL5375の LOIN差動インピーダンス) で設計されました。通過帯域リップルが増えますが最適なフィルタのロールオフを得るためにチェビシェフ応答を採用しました。

フィルタ回路を図 3に示します。この回路構成は部品点数を最小限にする完全差動フィルタ、各出力に接続するシングル・エンド・フィルタ又はそれら2つの組み合わせ回路のいずれでも使用できます。高い周波数 (>2 GHz) には2つのシングル・エンド・フィルタが最高性能を得られると判断しました。なぜなら直列インダクタの値は完全差動フィルタに比べ2倍の値になり、部品の寄生容量の影響が減少するからです。低い周波数 (<2 GHz) には、完全差動フィルタで十分な結果が得られます。

表 2. ADF4351 RF出力フィルタの部品の値 (DNI = Do Not Insert)

周波数範囲 (MHz)	$Z_{BIAS}$	L1 (nH)	L2 (nH)	C1a (pF)	C1c (pF)	C2a (pF)	C2c (pF)	C3a (pF)	C3c (pF)
500 to 1300 (Filter Type A)	27 nH    50 $\Omega$	3.9	3.9	DNI	4.7	DNI	5.6	DNI	3.3
850 to 2450 (Filter Type B)	19 nH    (100 $\Omega$ in Position C1c)	2.7	2.7	3.3	100 $\Omega$	4.7	DNI	3.3	DNI
1250 to 2800 (Filter Type C)	50 $\Omega$	0 $\Omega$	3.6	DNI	DNI	2.2	DNI	1.5	DNI
2800 to 4400 (Filter Type D)	3.9 nH	0 $\Omega$	0 $\Omega$	DNI	DNI	DNI	DNI	DNI	DNI

ADF4351の出力マッチング回路は $Z_{BIAS}$  ブルアップと、多少の電源ノードのデカップリング・コンデンサで構成されます。高帯域のマッチングを得るために、抵抗性負荷( $Z_{BIAS} = 50 \Omega$ )を使用するか、あるいは $Z_{BIAS}$ としてリアクタンス性負荷と抵抗の並列回路を推奨します。後者は選択したインダクタの値によって、わずかに高い出力電力が得られます。基板面積を最小にするために、位置C1cに差動部品として並列の抵抗(すなわち $100 \Omega$ )を配置できる事に注意してください(表 2のフィルタ・タイプBをご覧ください)。

対象周波数の中の最も高い周波数の約1.2倍~1.5倍のカットオフ周波数でフィルタを設計してください。このカットオフ周波数であれば設計に余裕が出来ますが、一般的にカットオフは寄生容量により設計された数字よりも低くなってしまいます。精度を向上するためにプリント回路基板(PCB)の寄生容量の影響を電磁(EM)シミュレーション・ツールでシミュレーションする事ができます。

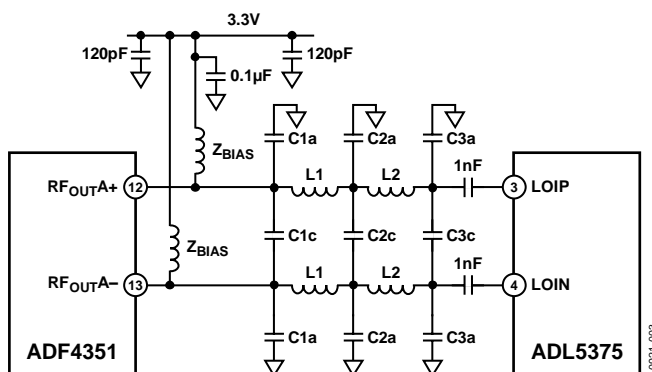


図 3. ADF4351 RF出力フィルタ回路

表 2からわかるように、1250 MHzより低い周波数では5次フィルタが必要です。1.25 GHz ~ 2.8 GHzの周波数には3次のフィルタ処理で十分です。2.8 GHz以上の高い周波数では高調波レベルが十分低く、サイドバンド除去仕様を満たすのでフィルタ処理は必要ではありません。

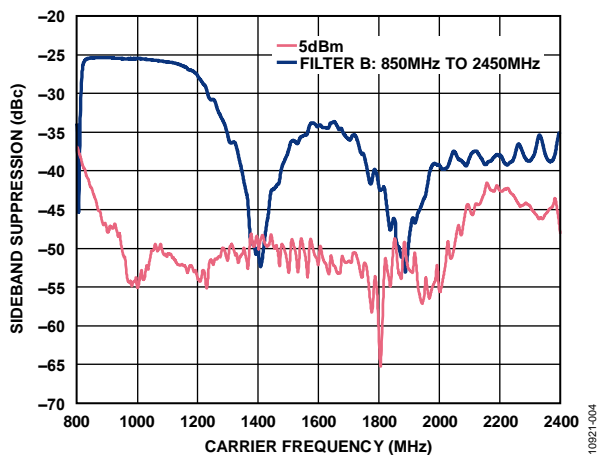


図 4. フィルタ・タイプBのサイドバンド除去比、850 MHz ~ 2450 MHz

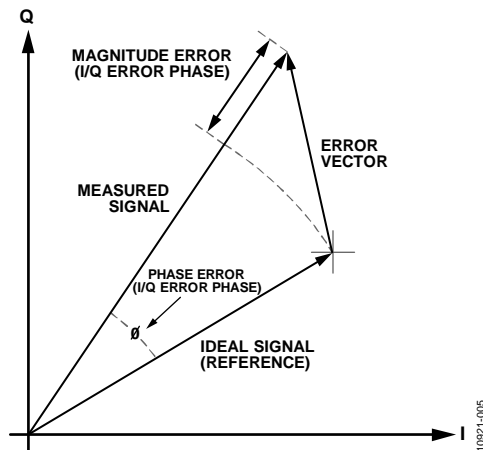


図 5. EVM 図

図 4にフィルタ・タイプB (800 MHz ~ 2400 MHz) を使った回路のサイドバンド除去比 対 周波数のグラフを示します。このグラフのテスト条件を次に示します：

- ベースバンドI/Qの振幅=500mV(ADL5375-05)DCバイアスと直交する1 V p-p差動サイン波
- ベースバンド I/Qの周波数( $f_{BB}$ ) = 1 MHz

EVMはデジタル送信器あるいはデジタル受信器の性能の品質のレベルで、振幅の誤差と位相の誤差(図 5を参照)で表した理論位置から実際のコンステレイン・ポイントの偏差です。

EVMの測定値を表 3に示しますが、フィルタ有りとフィルタ無しの場合の結果を比較しています。この場合、ベースバンドI/Q信号を差動I/Qアナログ出力のあるRohde & Schwarz 社のAM IQ I/Q変調信号発生器を使用し、3GPPテストモード4で生成しました。フィルタ・タイプBも使用しました。図 6にEVMのテスト・セットアップの機能ブロック図を示します。比較する目的でADF4350も測定します。表 3に示すように、ADF4351は帯域内PLLノイズが改善されているのでEVMがより低くなっているのがわかります。EVMの改善に寄与している他の要素はADF4351の位相周波数検出器(PFD)のスプリアス・レベルが低い事です。

表 3. ADF4351のRF出力にフィルタを接続した場合と接続しない場合を比較したシングルキャリアW-CDMAコンボジットのEVM結果 (3 GPP仕様テストモード4に基づいて測定)

Frequency (MHz)	ADF4350 Composite EVM No LO Filtering	ADF4350 Composite EVM with LO Filtering, Filter B	ADF4351 Composite EVM with LO Filtering, Filter B
2140	3.27%	1.31%	1.02%
1800	1.46%	1.13%	0.95%
900	10.01%	1.03%	0.96%

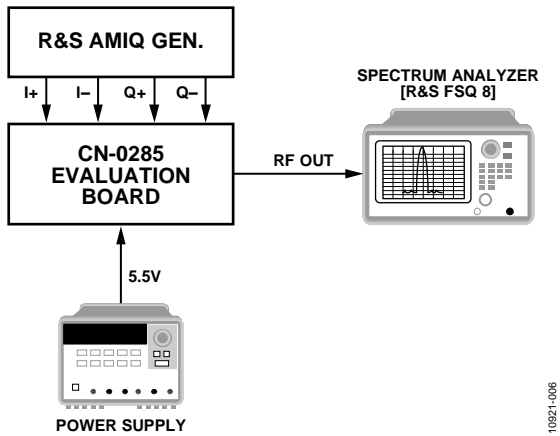


図 6. EVM測定のセットアップ (簡略化した回路)

ADL5375の LO入力を差動に駆動する事は、サイドバンド除去とEVMの改善に加え、性能上の利点があります。この利点によってシングル・エンドのLO駆動に比べ変調出力IP2の性能は2 dB ~ 5 dB改善します。ほとんどの外付けVCOはシングル・エンドのみで出力するので、この場合外付けVCOすべてについてADF4351の差動出力を使用するメリットがあります。

図 7は850 MHz ~ 2450 MHz フィルタ (フィルタ・タイプ B) を使用したサイドバンド除去比の結果を示します。

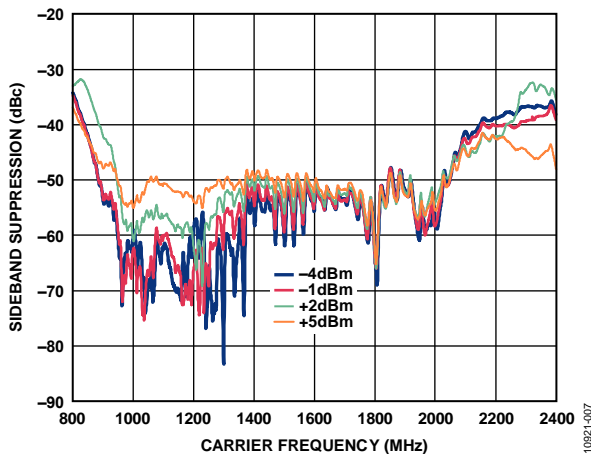


図 7. 850 MHz ~ 2450 MHz フィルタ・タイプ B を使用したサイドバンド除去比の結果

この回路ノートのための完全な設計支援パッケージは<http://www.analog.com/CN0285-DesignSupport>に載っております。

### バリエーション回路

1つのフィルタで可能な範囲を超える高帯域動作が要求されるアプリケーションでは、ADF4351の補助出力を使用して2つのフィルタ・タイプを切り替える事ができます (図 8を参照)。フィルタ1又はフィルタ2の差動出力を選択するためにRF2極、4投スイッチ (DP4T) を使用します。

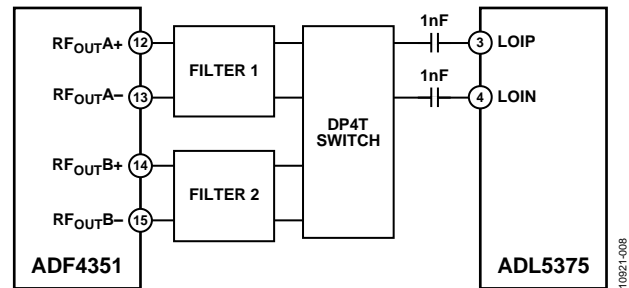


図 8. ADF4351のメイン出力と補助出力を使いフィルタで切り替える方法を示すアプリケーション図

### 回路の評価とテスト

EVAL-CN0285-EB1Z評価用ボードにはCN-0285に記述されている回路を含んでおり、回路のセットアップと性能評価を迅速に行えます。EVAL-CN0285-EB1Zのコントロール・ソフトウェアには評価ボードに付いているCDに入っている標準のADF4351プログラミング・ソフトウェアを使用します。

### 必要な装置

下記の装置が必要です:

- Windows® XP, Windows Vista®(32ビット)又は Windows® 7 で動作しUSBポートを有する標準PC
- The EVAL-CN0285-EB1Z 回路評価用ボード
- ADF435xのプログラミング・ソフトウェア
- 電源電圧: 5.5 V
- I-Q信号源: Rohde & Schwarz 社AMIQなど
- スペクトラム・アナライザ: Rohde & Schwarz社 FSQ8など

さらに詳しい情報についてはUG-521 User Guide、ADF4351データシート、ADL5375データシートをご覧ください。

## 始めてみよう

ソフトウェアのインストールとテスト・セットアップはUG-521 User Guideを参照してください。ユーザーガイドにはブロック図、アプリケーション回路、部品表とさらにレイアウトとアセンブリの情報も含まれています。追加の情報についてはADF4351データシートとADL5375 データシートをご覧ください。

## 機能ブロック図

この資料の図1. と図 6そしてユーザーガイドUG-521もご覧ください。

## セットアップとテスト

装置をセットアップした後、標準のRFテスト方法を使用して回路のサイドバンド除去比を測定してください。

## さらに詳しくは

CN0285 Design Support Package:<http://www.analog.com/CN0285-DesignSupport>

[ADIsimPLL Design Tool](#)

[ADIsimPower Design Tool](#)

[ADIsimRF Design Tool](#)

AN-0996 Application Note. *The Advantages of Using a Quadrature Digital Upconverter (QDUC) in Point-to-Point Microwave Transmit Systems.* Analog Devices.

AN-1039 Application Note. *Correcting Imperfections in IQ Modulators to Improve RF Signal Fidelity.* Analog Devices.

## データシートと評価用ボード

[ADF4351 データシート／評価用ボード](#)

[ADL5375 データシート／評価用ボード](#)

[ADP150 データシート](#)

[ADP3334 データシート](#)

## 改訂履歴

2/13-Revision 0:初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客様は製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2013 Analog Devices, Inc. All rights reserved. 商標および登録商標は、それぞれの所有者の財産です。

CN10921-0-1/13 (0)