



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0273> をご覧ください。

使用したリファレンスデバイス

ADA4817-2	18V、高精度、マイクロパワー、CMOS、レール to レール I/O、デュアル・オペアンプ
ADA4830-1	TSOT パッケージ収納、高精度、マイクロパワー、LDO、電圧リファレンス

## 低入力バイアス電流で高 AC 同相除去比の高速 FET 入力計装アンプ

### 評価および設計サポート環境

#### 回路評価ボード

CN-0273 回路評価ボード (EVAL-CN0273-EB1Z)

#### 設計と統合ファイル

回路図、レイアウト・ファイル、部品表

#### 回路の機能とその利点

図 1 に示す回路は、帯域幅が広く (35MHz) AC 同相除去比 CMR が優れた (10MHz で 55dB)、利得が 5 の高速 FET 入力計装アンプです。この回路は、RF、ビデオ、光信号検出、高速計測など、高入力インピーダンスで高速の計装アンプを必要とするアプリケーションに最適です。高い CMR と広い帯域幅により広帯域差動ライン・レシーバとしても最適です。

ほとんどのディスクリート計装アンプでは、高い CMR を実現するためにマッチング (値が一致) した高価な抵抗ネットワークを必要としますが、この回路では、マッチングした抵抗を内蔵したディファレンス・アンプを使って、性能向上、コスト低減、プリント回路ボード (PCB) レイアウト面積の最小化を図っています。

図 1 に示す複合計装アンプ回路は以下の性能を備えています。

- オフセット電圧：4 mV (max)
- 入力バイアス電流：2pA (typ)
- 入力同相電圧：-3.5V ~ +2.2V (max)
- 入力差動電圧：±3.5V/G1 (max) (G1 は初段のゲイン)
- 出力電圧振幅：0.01V ~ 4.75V (typ) (150Ω 負荷)
- 帯域幅 (-3dB)：35MHz (typ) (G = 5)
- 同相除去比：55dB (typ) (10MHz)
- 入力電圧ノイズ：10nV/√Hz (typ) (100kHz RTI)
- 高調波歪み：-60dBc (10MHz、G = 5、V<sub>OUT</sub> = 1 V p-p、R<sub>L</sub> = 1 kΩ)

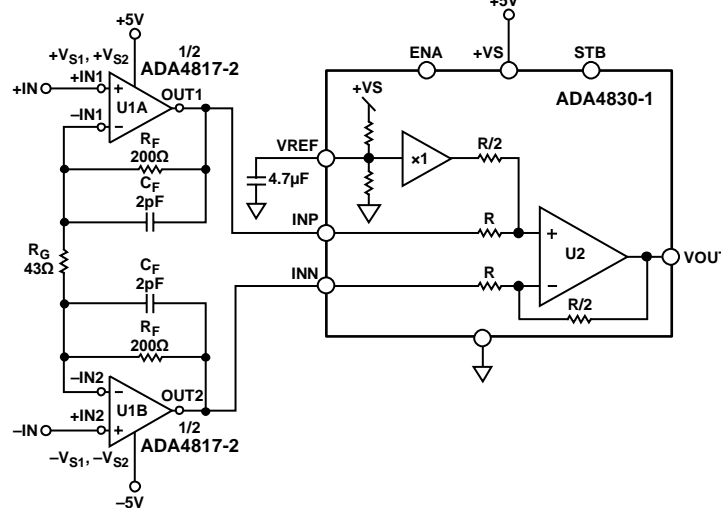


図 1. 高速 FET 入力計装アンプ (注：電源のデカップリングは省略されています)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

全機能内蔵の計装アンプのほとんどはバイポーラ・プロセスまたは相補型バイポーラ・プロセスで製造され、50Hzまたは60HzでのCMR値が高い低周波数アプリケーション用に最適化されています。しかし、ビデオ・システムやRFシステムにおいて、高速信号の増幅や不要な高周波信号の同相除去を行なう広帯域計装アンプの必要性が高まっています。

超高速で広帯域幅の計装アンプが必要な場合、一般的な方法として、初段に高入力インピーダンスの2つのディスクリート・オペアンプを使って差動入力信号のバッファと増幅を行い、2段目にディファレンス・アンプとして1個のアンプを構成することで、差動/シングルエンド変換を実現します。この構成は、一般的に3オペアンプ計装アンプとして知られています。この方法では、良好なCMRを得るのに、比較的高価で高精度にマッチングした4本の抵抗が必要です。マッチングの誤差は最終出力に誤差を生じます。

図1に示す回路は、高速ディファレンス・アンプ集積回路ADA4830-1を使用することによりこの問題を解決しています。レーザー・トリミングされた薄膜抵抗は非常に高精度にマッチングしているので、この比較的高価で高精度にマッチングした4本の外付け抵抗は不要です。

さらに、高速のデュアル・オペアンプADA4817-2を入力段アンプとして使用することにより、複合計装アンプで回路の総合ゲインが2.5のときに最大80MHzの帯域幅を実現できます。

単一の4mm×4mm LFCSPパッケージのデュアル・アンプADA4817-2と集積化されたディファレンス・アンプADA4830-1でボード面積が大幅に低減されるため、大規模システムの設計コストが抑えられます。

ADA4817-2とADA4830-1のどちらも高い周波数で低ノイズと優れたCMR性能を提供するため、この回路はノイズの多い環境で使用することができます。

## 回路説明

この回路は、入力ゲイン段に2つのオペアンプ、出力段にディファレンス・アンプを使った従来型の3オペアンプ計装アンプ・トポロジーに基づいています。回路のゲインは5で帯域幅は35MHzです。

## FETアンプの入力ゲイン段

FastFETアンプADA4817-2（デュアル）は、ユニティ・ゲインで安定した、FET入力の超高速電圧帰還アンプです。このアンプは、アナログ・デバイス独自のeXtra高速相補バイポーラ（XFCB）プロセスで製造されているため、超低ノイズとともに非常に高い入力インピーダンスと高速動作を実現できることから、高速動作と高ソース・インピーダンスを必要とするアプリケーションに最適です。

オペアンプADA4817-2はゲイン抵抗 $R_G$ を共有するように構成されています。この回路の差動入力に対するゲインは $1 + 2R_F/R_G$ です。入力が同相の場合、ゲイン抵抗 $R_G$ には電流が流れません。このように、この回路は同相入力に対するバッファとして機能します。したがって、同相入力は実質的に2段目のディファレンス・アンプによって除去されます。

ADA4817-2のユニティ・ゲイン帯域幅積 $f_u$ は410MHzです。クロードループ帯域幅は次式で概算できます。

$$f_{-3dB} = f_u/GI$$

ここで、 $GI$ は初段のゲインです。

この回路では、初段のクロードループ・ゲインが10のときの-3dB帯域幅は41MHzと推定されます。この値はテスト結果の35MHzの帯域幅に非常に近い値です。

PCボードの寄生容量と容量性負荷によって最初のゲイン段に発振が生じる可能性があります。この問題は、小さい値の帰還抵抗を使用することと、帰還容量を使用することによって軽減することができます。

この回路では、200Ωの帰還抵抗を選択しました。帯域幅を最も平坦にするための帰還コンデンサ $C_F$ は2pFになりました。

## ディファレンス・アンプとCMR

ADA4830-1は、同相電圧範囲が広い高速ディファレンス・アンプです。このデバイスは高速かつ高精度で、0.5V/Vの固定ゲインと84MHzの-3dB帯域幅を提供します。内蔵のレーザー・トリミングされた抵抗の代表的なCMRは10MHzで55dBです。

CMRは計装アンプにとって非常に重要な仕様であり、図2に示すように、2段目のディファレンス・アンプに使われる4本の抵抗比のマッチングに大きく依存します。

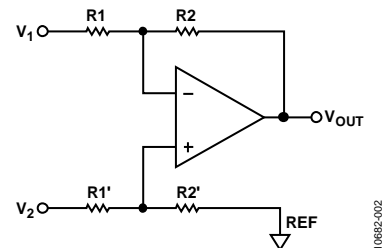


図2. ディファレンス・アンプ

一般に、ワーストケースのCMRは次式で与えられます。

$$CMR (dB) = 20 \log \left[ \frac{1 + R2/R1}{4Kr} \right]$$

ここで、 $Kr$ は分数で表した個々の抵抗の許容誤差です。上の式は、公称値が同じ値（許容誤差1%）の4本の抵抗に対するワーストケースのCMRが34dBであることを示しています。単体の抵抗を使用する代わりに、この回路はレーザー・トリミングされた薄膜抵抗を内蔵したモノリシック・ディファレンス・アンプADA4830-1を使用しているため、優れたCMRを実現し、PCB面積を低減します。CMRはDCで65dB、10MHzで55dBになります。

差動電圧と同相電圧に関する検討事項

入力電圧範囲を最大にし、電源条件を緩和するため、回路の初段を±5Vで動作させ、2段目を+5Vで動作させます。最大差動入力範囲はADA4817-2の出力振幅によって決まります。±5Vの電源では、ADA4817-2の出力振幅は±3.5Vです。したがって、最大許容差動入力 $\pm 3.5V/G1$ になります。ここで、G1は初段のゲインです。最大許容差動入力と初段のクローズドループ・ゲインはトレードオフの関係にあることに注意してください。

次に、同相電圧の制約について解析します。ADA4817-2の入力での同相電圧は、 $-V_s$  to  $+V_s - 2.8V$ 、つまり±5V電源では-5V～+2.2Vの範囲でなければなりません。ADA4817-2の±5V電源での動作時の出力振幅は±3.5Vに制限されます（ADA4817-2のデータシートを参照してください）。このため、回路の負側の入力同相電圧は、ADA4817-2の出力振幅によって-3.5Vに制限されます。したがって、複合回路の許容入力同相電圧範囲は-3.5V～+2.2Vになります。

この回路で高性能を実現するには、優れたレイアウト、グラウンディング、およびデカップリング技術を駆使する必要があります。PCBレイアウトの詳細については、チュートリアルMT-031、チュートリアルMT-101、および技術記事「高速プリント回路ボード・レイアウトの実務ガイド」を参照してください。さらに、ADA4817-2のデータシートとADA4830-1のデータシートにはレイアウトのガイドラインも記載されています。

回路の性能

この複合回路の4つの非常に重要なパラメータであるCMR、-3dB帯域幅、入力換算ノイズ、高調波歪みをテストした結果を図3～図6に示します。

図3は、複合回路のCMRがDCで-65dB、10MHzで-55dBであることを示しています。図4は、ゲインが5で出力負荷が100Ωのときの帯域幅が35MHzであることを示しています。図5は、100kHzでの入力換算ノイズがわずか10nV/√Hz、それより高い周波数では8nV/√Hzのフラットバンド・ノイズであることを示しています。図6は、この回路の全高調波歪みが、 $V_{OUT} = 1V$  p-pと $R_L = 1k\Omega$ のときに10MHzで60dBcであることを示しています。

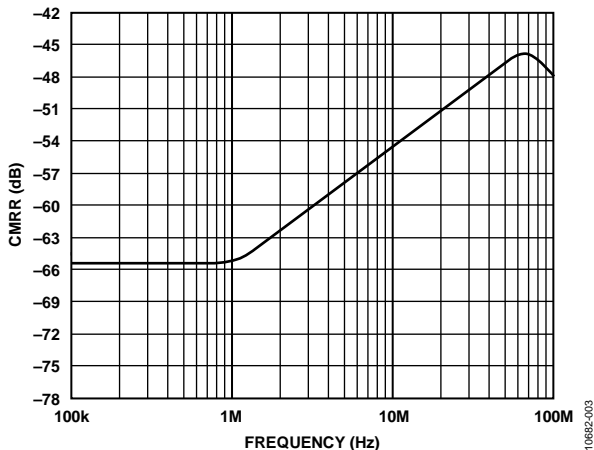


図 3. CN-0273 の CMR

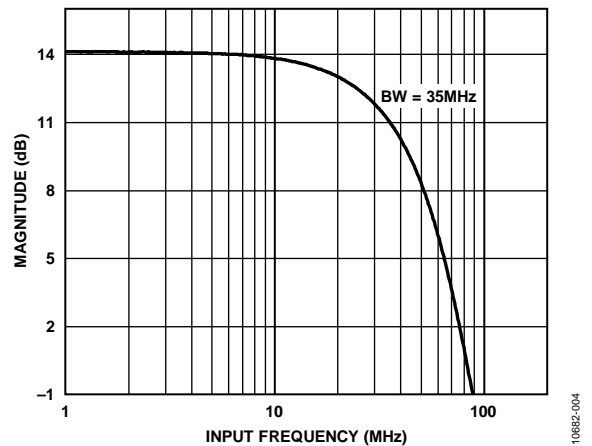


図 4. 複合回路の周波数応答 ( $V_{OUT} = 1V$  p-p、 $R_L = 100\Omega$ )

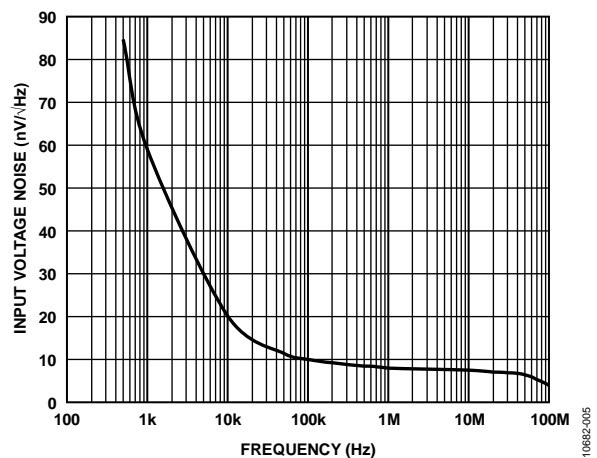


図 5. 複合回路の入力換算電圧ノイズ

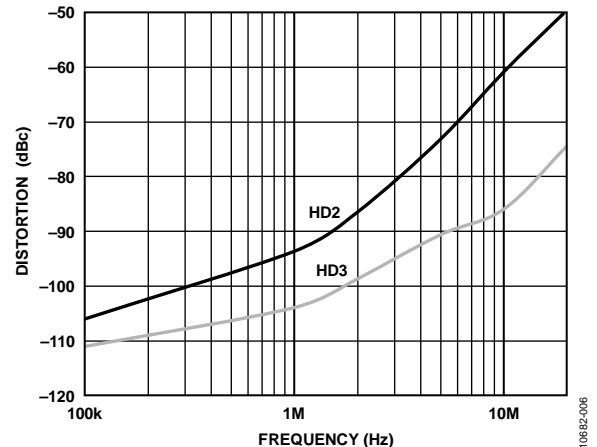


図 6. 2次高調波歪み (HD2) と 3次高調波歪み (HD3) ( $V_{OUT} = 1V$  p-p、 $R_L = 1k\Omega$ )

## バリエーション回路

この回路の総ゲインは、図 1 に示すゲイン抵抗  $R_G$  の値によって容易に設定することができます。総ゲインを大きくすると、この回路の帯域幅が狭くなることに注意してください。

低速のアプリケーションでは、2 段目のディファレンス・アンプを AD8274 で置き換えることができます。ディファレンス・アンプ AD8274 は 2 の固定ゲインを与えます。これにより、より大きな総ゲインが得られます。

同相と差動の入力範囲を広げるため、 $\pm 12V$  電源で動作し 145MHz のユニティ・ゲイン帯域幅を持つ AD8065/AD8066 などの、レール to レールの高速 FET 入力アンプを使用することができます。

## 回路の評価とテスト

この回路は、信号発生器とオシロスコープを使って容易に評価することができます。このボードは、ネットワーク・アナライザを使った従来のアンプ・テスト方法でテストします。全体回路図と PCB レイアウトについては、[CN0273 設計サポート・パッケージ](#)を参照してください。ボードの写真を図 7 に示します。

図 3 の CMRR のデータは 0V の差動入力電圧に対して得られたものであることに注意してください。図 4 の帯域幅のデータと図 6 の歪みのデータは同相電圧が 0V の平衡型差動ドライブ・ソースを使って得られました。

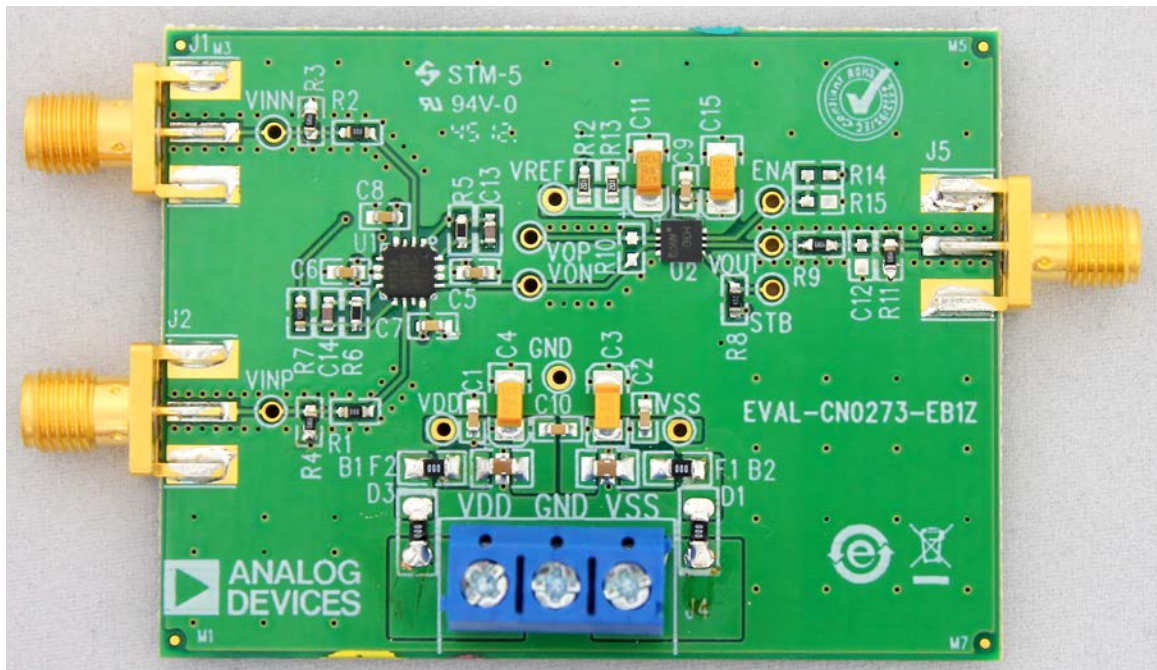


図 7. EVAL-CN0273-EB1Z 評価ボードの写真

## さらに詳しい資料

CN-0273 Design Support package: <http://www.analog.com/CN0273-DesignSupport>

Analog Dialogue 39-09 : 高速プリント回路ボード・レイアウトの実務ガイド

MT-031 Tutorial, Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.

MT-061 Tutorial, Instrumentation Amplifier (In-Amp) Basics, Analog Devices.

MT-063 Tutorial, Basic Three Op Amp In-Amp Configurations, Analog Devices.

MT-064 Tutorial, In-Amp DC Sources, Analog Devices.

MT-068 Tutorial, Difference and Current Sense Amplifiers, Analog Devices.

MT-101 Tutorial, Decoupling Techniques, Analog Devices.

A Designer’s Guide to Instrumentation Amplifiers, Analog Devices.

## データシートと評価ボード

CN-0273 回路評価ボード (EVAL-CN0273-EB1Z)

ADA4817-2 データシート

ADA4830-1 データシート

## 改訂履歴

**8/13—Rev. A to Rev. B**  
Changes to Figure 7..... 4

**5/13—Rev. 0 to Rev. A**  
Changes to Circuit Evaluation and Test Section ..... 4

**10/12—Rev. 0: 初版**

「Circuits from the Lab/実用回路集」はアナログ・デバイセス社製品専用で作られており、アナログ・デバイセス社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセス社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセス社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセス社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。